

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6147992号
(P6147992)

(45) 発行日 平成29年6月14日(2017.6.14)

(24) 登録日 平成29年5月26日(2017.5.26)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 T
HO 1 L 29/41 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 6 V
HO 1 L 29/417 (2006.01)	HO 1 L 29/44	L
GO 2 F 1/1368 (2006.01)	HO 1 L 21/28	3 0 1 B
請求項の数 2 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2012-255559 (P2012-255559)	(73) 特許権者	000153878
(22) 出願日	平成24年11月21日(2012.11.21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-138185 (P2013-138185A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年7月11日(2013.7.11)	(72) 発明者	津吹 将志
審査請求日	平成27年10月19日(2015.10.19)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-262234 (P2011-262234)		半導体エネルギー研究所内
(32) 優先日	平成23年11月30日(2011.11.30)		
(33) 優先権主張国	日本国(JP)	審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の酸化物半導体層と、
前記酸化物半導体層上のソース電極及びドレイン電極と、を有し、
前記酸化物半導体層全体は、前記ゲート電極と重なり、
前記ソース電極及び前記ドレイン電極の一方の内側に、前記ソース電極及び前記ドレイン電極の他方が配置され、
前記ソース電極及び前記ドレイン電極の一方は、間隙を有し、
前記ソース電極及び前記ドレイン電極の他方に電氣的に接続される導電層は、前記間隙と重なり、且つ、前記ソース電極及び前記ドレイン電極の一方と重ならないように配置され、
前記ソース電極及び前記ドレイン電極の他方は前記酸化物半導体層の側面と接しないことを特徴とする半導体装置。

【請求項2】

ゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の酸化物半導体層と、
前記酸化物半導体層上のソース電極及びドレイン電極と、を有し、

10

20

前記酸化物半導体層全体は、前記ゲート電極と重なり、
前記ソース電極及び前記ドレイン電極の一方の内側に、前記ソース電極及び前記ドレイン電極の他方が配置され、
前記ソース電極及び前記ドレイン電極の一方は、間隙を有し、
前記ソース電極及び前記ドレイン電極の他方に電氣的に接続される導電層は、前記間隙と重なり、且つ、前記ソース電極及び前記ドレイン電極の一方と重ならないように配置され、
前記ソース電極及び前記ドレイン電極の他方は前記酸化物半導体層の上面のみと接することを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、トランジスタに関する。特に、チャンネルが酸化物半導体層に形成されるトランジスタに関する。また、本発明は、当該トランジスタを有する半導体装置に関する。例えば、当該トランジスタを各画素に有するアクティブマトリクス型の表示装置に関する。なお、本明細書において半導体装置とは、半導体特性を利用して機能する全ての装置を指す。

【背景技術】

【0002】

近年、トランジスタの構成材料として、酸化物半導体と呼ばれる半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられている。例えば、酸化インジウムは、液晶表示装置において画素電極の材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物層にチャンネルが形成されるトランジスタが、既に知られている（特許文献1及び特許文献2）。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

酸化物半導体層にチャンネルが形成されるトランジスタは、加工条件又は熱処理条件によって電氣的特性が変化することがある。当該変化は、当該酸化物半導体層の形成工程時に低抵抗化元素（塩素（Cl）、フッ素（F）、硼素（B）、又は水素（H）など）が混入する、又は当該酸化物半導体層から酸素（O）が脱離することなどに起因するものと考えられる。そして、当該変化は、酸化物半導体層の端部において顕在化しやすいことが分かった。すなわち、酸化物半導体層にチャンネルが形成されるトランジスタにおいては、当該酸化物半導体層の端部が低抵抗領域となり、当該領域にトランジスタの寄生チャンネルが形成されやすいことが分かった。なお、当該トランジスタにおいては、ゲートとソース間の電圧に応じて形成されるチャンネル（第1のチャンネルともいう）と、当該寄生チャンネル（第2のチャンネルともいう）との2種のチャンネルが形成されうることになる。

40

【0005】

2種のチャンネルが形成されうるトランジスタにおいては、多くの場合、それぞれのチャンネルが形成されるゲートとソース間のしきい値電圧が異なる。典型的には、第1のチャンネルが形成されるしきい値電圧は、第2のチャンネルが形成されるしきい値電圧よりも高い。そして、第1のチャンネルの電流駆動能力は、第2のチャンネルの電流駆動能力よりも高い。よって、オフ状態にある当該トランジスタのゲートとソース間の電圧を上昇させていった場合、ソースとドレイン間の電流が2段階の変化をすることになる。具体的には、第2の

50

チャンネルが形成されるしきい値電圧の近傍において１段階目の変化（ソースとドレイン間の電流の増加）が確認され、さらに、第１のチャンネルが形成されるしきい値電圧の近傍において２段階目の変化（ソースとドレイン間の電流の増加）が確認される。

【 0 0 0 6 】

デジタル回路において、トランジスタはスイッチとして活用されている。当該スイッチとして２段階の変化をする素子が好ましくないことは言うまでもない。この点に鑑み、本発明の一態様では、酸化物半導体層にチャンネルが形成されるトランジスタのスイッチング特性を改善することを目的の一とする。

【課題を解決するための手段】

【 0 0 0 7 】

酸化物半導体層の端部に寄生チャンネルが形成されるのは、当該端部と電氣的に接続されるトランジスタのソース及びドレインが存在するからである。すなわち、当該端部とトランジスタのソース及びドレインの少なくとも一方が電氣的に接続されていなければ当該端部に寄生チャンネルは形成されない。よって、本発明の一態様は、トランジスタのソース及びドレインの少なくとも一方と、酸化物半導体層の端部とが電氣的に接続されない又は接続される蓋然性を低減することが可能な構造のトランジスタを提供することを要旨とする。

【 0 0 0 8 】

例えば、本発明の一態様は、トランジスタのソース及びドレインの少なくとも一方が酸化物半導体層の端部と接していないトランジスタである。さらに、本発明の一態様においては、酸化物半導体層の端部と接していないソース及びドレインの少なくとも一方と酸化物半導体層の端部間の距離が、ソースとドレイン間の距離よりも長い構成とすることが好ましい。

【発明の効果】

【 0 0 0 9 】

本発明の一態様のトランジスタにおいては、トランジスタのソース及びドレインが酸化物半導体層の端部を介して電氣的に接続されない又は接続される（当該端部に寄生チャンネルが形成される）蓋然性を低減することが可能である。よって、当該トランジスタにおいては、ゲートとソース間の電圧に応じてソースとドレイン間の電流が２段階に変化することがない又は変化する蓋然性を低減することが可能である。すなわち、本発明の一態様においては、酸化物半導体層にチャンネルが形成されるトランジスタのスイッチング特性を改善することが可能である。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】トランジスタの構造例を示す（A）平面図、（B）断面図。

【図 2】トランジスタの構造例を示す平面図。

【図 3】トランジスタの構造例を示す（A）平面図、（B）断面図。

【図 4】（A）液晶表示装置の構成例を示す図、（B）画素の構成例を示す図、（C）画素が有するトランジスタの構造例を示す図。

【図 5】トランジスタの $V_g - I_d$ 曲線を示す図。

【図 6】トランジスタの構造例を示す平面図。

【図 7】トランジスタの $V_g - I_d$ 曲線を示す図。

【発明を実施するための形態】

【 0 0 1 1 】

以下では、本発明の一態様について詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態を様々に変更し得る。したがって、本発明は以下に示す記載内容に限定して解釈されるものではない。

【 0 0 1 2 】

<トランジスタの構造例>

本発明の一態様に係るトランジスタの構造について図 1 を参照して説明する。図 1（A

10

20

30

40

50

)は、本発明の一態様に係るトランジスタの平面図であり、図1(B)は、図1(A)に示す平面図中のA-B線における断面図である。

【0013】

図1(A)、(B)に示すトランジスタは、絶縁表面を有する基板10上に設けられたゲート11と、ゲート11上に設けられたゲート絶縁層12と、ゲート絶縁層12を介してゲート11と重畳する酸化半導体層13と、酸化半導体層13上のソース14及びドレイン15とを有する。さらに、当該トランジスタ上には、絶縁層16と、絶縁層16に設けられた開口部においてドレイン15と接する導電層17とが設けられている。なお、ソース14及びドレイン15は、置換することが可能である。すなわち、本発明の一態様は、図1(A)、(B)に示すようにドレイン15がソース14に囲まれる構成に限定されず、ソースがドレインに囲まれる構成とすることも可能である。

10

【0014】

図1(A)、(B)に示すトランジスタにおいては、ソース14と接触する領域における酸化半導体層13及びドレイン15と接触する領域における酸化半導体層13の少なくとも一方に含まれる低抵抗化元素の濃度が、酸化半導体層13の端部に含まれる当該低抵抗化元素の濃度よりも低くなることがある。なお、当該低抵抗化元素としては、塩素(Cl)、フッ素(F)、硼素(B)、水素(H)などが挙げられる。

【0015】

また、図1(A)、(B)に示すトランジスタにおいては、ソース14と接触する領域における酸化半導体層13及びドレイン15と接触する領域における酸化半導体層13の少なくとも一方に含まれる酸素の濃度が、酸化半導体層13の端部に含まれる酸素の濃度よりも高くなることがある。

20

【0016】

ただし、図1(A)、(B)に示すトランジスタにおいては、ソース14及びドレイン15の双方が酸化半導体層13の端部に接することがない。具体的には、当該トランジスタにおいては、ソース14が開口部を有する円形状(内周及び外周が共に円状)であり、ドレイン15が当該開口部に存在する。よって、図1(A)、(B)に示すトランジスタにおいては、酸化半導体層13の端部が低抵抗化した場合であっても当該端部に寄生チャンネルが形成されることがない。その結果、図1(A)、(B)に示すトランジスタにおいては、寄生チャンネルの存在に起因するスイッチング特性の劣化が生じない。

30

【0017】

なお、このことは、ソース及びドレインの一方によってソース及びドレインの他方が囲まれている構造を有するトランジスタにおいて共通する。すなわち、ソース及びドレインの一方の内周及び外周が閉曲線若しくは多角形又は一部が曲線且つ残部が折れ線であり、且つソース及びドレインの他方がソース及びドレインの一方の内側に存在するトランジスタにおいては、酸化半導体層13の端部が低抵抗化した場合であっても当該端部に寄生チャンネルが形成されることがない。

【0018】

(基板)

絶縁表面を有する基板10としては、後の熱処理に耐えうる程度の耐熱性を有している基板であればどのような基板を適用してもよい。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、基板10として、可撓性基板を用いてもよい。なお、基板10に含まれる元素が後に形成される酸化半導体層に混入することを防ぐため、基板10上に絶縁層を形成することも可能である。

40

【0019】

(導電体)

ゲート11、ソース14、及びドレイン15、並びに導電層17としては、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジウム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適

50

用することができる。また、これらの材料の積層構造を適用することもできる。

【0020】

(絶縁体)

ゲート絶縁層12及び絶縁層16としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、シリコンが25～35原子%、水素が15～25原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。

10

【0021】

(半導体)

酸化物半導体層13としては、少なくともインジウム(In)又は亜鉛(Zn)を含む酸化物を適用することができる。特に、インジウム(In)及び亜鉛(Zn)を含む酸化物を適用することが好ましい。また、酸化物半導体層13中の酸素欠損を減らすためのスタビライザーとして、酸化物半導体層13にガリウム(Ga)が含まれることが好ましい。また、酸化物半導体層13が、スタビライザーとして、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、若しくはジルコニウム(Zr)、又は、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、若しくはルテチウム(Lu)のいずれか一種あるいは複数種を含む構成としてもよい。

20

【0022】

例えば、酸化物半導体層13としては、酸化インジウム、酸化スズ、若しくは酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、若しくはIn-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、若しくはIn-Lu-Zn系酸化物、又は四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、若しくはIn-Hf-Al-Zn系酸化物を用いることができる。

30

40

【0023】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0024】

酸化物半導体層13は、単結晶、多結晶(ポリクリスタルともいう)、微結晶又は非晶質などの状態をとる。

【0025】

好ましくは、酸化物半導体層13は、CAAC-OS(C Axis Aligned

50

Crystalline Oxide Semiconductor)層とする。

【0026】

CAAC-OS層は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS層は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体層である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS層に含まれる非晶質部と結晶部との境界は、明確ではない。また、TEMによってCAAC-OS層には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS層は、粒界に起因する電子移動度の低下が抑制される。

10

【0027】

CAAC-OS層に含まれる結晶部は、c軸がCAAC-OS層の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形又は六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0028】

なお、CAAC-OS層において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS層の形成過程において、酸化物半導体層13の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS層へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

20

【0029】

CAAC-OS層に含まれる結晶部のc軸は、CAAC-OS層の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、CAAC-OS層の形状(被形成面の断面形状又は表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS層が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

30

【0030】

CAAC-OS層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0031】

なお、酸化物半導体層13を構成する酸素の一部は窒素で置換されてもよい。

【0032】

さらに、酸化物半導体層13において、銅(Cu)、アルミニウム(Al)、塩素(Cl)などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの製造工程において、これらの不純物が混入または酸化物半導体層13表面に付着する恐れのない工程を適宜選択することが好ましく、酸化物半導体層13表面に付着した場合には、リン酸、シュウ酸、又は希フッ酸などに曝す、またはプラズマ処理(N₂Oプラズマ処理など)を行うことにより、酸化物半導体層13表面の不純物を除去することが好ましい。具体的には、酸化物半導体層13の銅(Cu)濃度は 1×10^{18} atoms/cm³以下、好ましくは 1×10^{17} atoms/cm³以下とする。また、酸化物半導体層13のアルミニウム(Al)濃度は 1×10^{18} atoms/cm³以下とする。また、酸化物半導体層13の塩素(Cl)濃度は 2×10^{18} atoms/cm³以下とする。

40

【0033】

酸化物半導体層13は水素などの不純物が十分に除去されることにより、または、十分

50

な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体層13の水素濃度は 5×10^{19} atoms/cm³以下、望ましくは 5×10^{18} atoms/cm³以下、より望ましくは 5×10^{17} atoms/cm³以下とする。なお、上述の酸化物半導体層13中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。また、十分な酸素が供給されて酸素が過飽和の状態とするため、酸化物半導体層13を包みこむように過剰酸素を含む絶縁層(SiO_xなど)を接して設ける。

【0034】

また、過剰酸素を含む絶縁層の水素濃度もトランジスタの特性に影響を与えるため重要である。

10

【0035】

<トランジスタの変形例>

本発明の一態様に係るトランジスタは、図1(A)、(B)に示すトランジスタの構造に限定されない。例えば、図2、3に示すトランジスタも本発明の一態様のトランジスタである。なお、図2及び図3(A)は、トランジスタの平面図であり、図3(B)は、図3(A)に示す平面図中のC-D線における断面図である。

【0036】

(変形例1)

図2に示すトランジスタは、図1(A)、(B)に示すトランジスタが有するソース14が導電層17と重畳する領域に間隙が設けられているソース24に置換されている点を除き、図1(A)、(B)に示すトランジスタと同様の構造を有する。図2に示すトランジスタは、図1(A)、(B)に示すトランジスタと同様の作用を奏するとともにソース24と導電層17の間に生じる寄生容量に起因する負荷を緩和することが可能である。

20

【0037】

なお、このことは、間隙を有するソース及びドレインの一方によってソース及びドレインの他方が囲まれ、且つ当該間隙が設けられている領域にソース及びドレインの他方と電氣的に接続する導電層が存在する構造のトランジスタにおいて共通する。すなわち、ソース及びドレインの一方が間隙を有し且つ内壁の描線及び外壁の描線が曲線若しくは折れ線又は一部が曲線且つ残部が折れ線であり、且つソース及びドレインの他方がソース及びドレインの一方の内側に存在し、且つ、ソース及びドレインの他方に電氣的に接続する導電層が当該間隙が設けられている領域に存在するトランジスタにおいては、図1(A)、(B)に示すトランジスタと同様の作用を奏するとともにソース及びドレインの一方と当該導電層の間に生じる寄生容量に起因する負荷を緩和することが可能である。

30

【0038】

また、ソース24としては、上述したゲート11、ソース14、及びドレイン15、並びに導電層17と同様の導電体を適用することができる。

【0039】

(変形例2)

図3に示すトランジスタは、絶縁表面を有する基板30上に設けられたゲート31と、ゲート31上に設けられたゲート絶縁層32と、ゲート絶縁層32を介してゲート31と重畳する酸化物半導体層33と、酸化物半導体層33の端部に設けられたソース34と、酸化物半導体層33上の絶縁層35に設けられた開口部において酸化物半導体層33と接するドレイン36とを有する。図3(A)、(B)に示すトランジスタにおいては、ドレイン36が酸化物半導体層33の端部と接することがない。よって、図1(A)、(B)に示すトランジスタと同様に酸化物半導体層33の端部に寄生チャネルが形成されることがない又は当該端部に寄生チャネルが形成される蓋然性を低減することが可能である。その結果、図3(A)、(B)に示すトランジスタにおいては、スイッチング特性の改善を図ることが可能である。

40

【0040】

50

なお、ソース34及びドレイン36は、置換することが可能である。すなわち、本発明の一態様は、図3(A)、(B)に示すようにソース34が酸化物半導体層33の端部上に設けられ、且つドレイン36が絶縁層35に設けられた開口部において酸化物半導体層33と接する構成に限定されず、ソースが絶縁層35に設けられた開口部において酸化物半導体層33と接し、且つドレインが酸化物半導体層33の端部上に設けられる構成とすることも可能である。

【0041】

また、基板30としては、上述した基板10と同様の基板を適用することができる。また、ゲート31、ソース34、及びドレイン36としては、上述したゲート11、ソース14、及びドレイン15、並びに導電層17と同様の導電体を適用することができる。また、ゲート絶縁層32及び絶縁層35としては、上述したゲート絶縁層12及び絶縁層16と同様の絶縁体を適用することができる。また、酸化物半導体層33としては、上述した酸化物半導体層13と同様の半導体を適用することができる。

【0042】

<応用例>

上述したトランジスタは、各種半導体装置を構成する素子として適用することが可能である。例えば、当該トランジスタをアクティブマトリクス型の表示装置の各画素に設けられるトランジスタとして適用することが可能である。以下では、アクティブマトリクス型の液晶表示装置について図4を参照して説明する。

【0043】

図4(A)は、液晶表示装置の構成例を示す図である。図4(A)に示す液晶表示装置は、画素部100と、走査線駆動回路110と、信号線駆動回路120と、各々が平行又は略平行に配設され、且つ走査線駆動回路110によって電位が制御されるm本の走査線130と、各々が平行又は略平行に配設され、且つ信号線駆動回路120によって電位が制御されるn本の信号線140と、を有する。さらに、画素部100は、マトリクス状に配設された複数の画素150を有する。なお、各走査線130は、画素部100においてm行n列に配設された複数の画素150のうち、いずれかの行に配設されたn個の画素150に電氣的に接続されている。また、各信号線140は、m行n列に配設された複数の画素150のうち、いずれかの列に配設されたm個の画素150に電氣的に接続されている。

【0044】

図4(B)は、図4(A)に示す液晶表示装置が有する画素150の回路図の一例を示す図である。図4(B)に示す画素150は、ゲートが走査線130に電氣的に接続され、ソース及びドレインの一方が信号線140に電氣的に接続されているトランジスタ151と、一方の電極がトランジスタ151のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線(容量線ともいう)に電氣的に接続されている容量素子152と、一方の電極がトランジスタ151のソース及びドレインの他方及び容量素子152の一方の電極に電氣的に接続され、他方の電極が共通電位を供給する配線(共通電位線ともいう)に電氣的に接続されている液晶素子153と、を有する。なお、容量電位と共通電位は、同一の電位とすることが可能である。

【0045】

上述したトランジスタは、図4(B)に示すトランジスタ151として適用することが可能である。図4(C)は、トランジスタ151として、図1(A)、(B)に示すトランジスタを適用した場合の構造例を示す平面図である。図4(C)に示すトランジスタ151は、ゲート11が走査線130に電氣的に接続され、ソース14が信号線140に電氣的に接続され、ドレイン15が透明導電層160に電氣的に接続されている。なお、図4(C)に示すトランジスタ151において、ゲート11は走査線130の一部であり、ソース14は信号線140の一部であると表現することも可能である。

【0046】

なお、図4においては、上述したトランジスタを画素に有する液晶表示装置について例

10

20

30

40

50

示したが、当該トランジスタを図4(A)に示す走査線駆動回路110を構成する素子として適用することも可能である。

【0047】

また、上述したトランジスタを有機エレクトロルミネッセンス(EL)を利用して表示を行う表示装置(有機EL表示装置ともいう)の画素を構成する素子として適用することも可能である。

【実施例】

【0048】

本実施例では、本発明の一態様に係るトランジスタについて説明する。具体的には、本実施例では、図1に示すトランジスタを作製し、当該トランジスタの特性を評価した結果について説明する。

10

【0049】

<作製工程>

まず、当該トランジスタの作製工程について説明する。

【0050】

始めに、当該トランジスタの下地層を形成した。具体的には、ガラス基板上に厚さ100nmの窒素珪素(SiN)膜と、当該窒素珪素(SiN)膜上の厚さ150nmの酸化窒化珪素膜との積層膜をプラズマCVD法を用いて成膜した。

【0051】

次いで、フッ化水素(HF)を用いて当該下地層表面を洗浄した。

20

【0052】

次いで、ゲートを形成した。具体的には、当該下地層上に厚さ100nmのタングステン(W)膜をスパッタリング法を用いて成膜した。そして、当該タングステン(W)膜をフォトリソグラフィ法を用いて加工することによりゲートを形成した。

【0053】

次いで、ゲート絶縁層を形成した。具体的には、当該下地層及び当該ゲート上に厚さ100nmの酸化窒化珪素(SiON)膜をマイクロ波CVD法を用いて成膜した。

【0054】

次いで、酸化物半導体層を形成した。具体的には、当該ゲート絶縁層上に厚さ35nmの少なくともインジウム(In)、ガリウム(Ga)、亜鉛(Zn)、及び酸素(O)を含む膜をスパッタリング法を用いて成膜した。そして、当該膜をフォトリソグラフィ法を用いて加工することにより酸化物半導体層を形成した。

30

【0055】

次いで、窒素(N₂)雰囲気下で350℃、1時間の熱処理、及び窒素(N₂)及び酸素(O₂)の混合雰囲気下で350℃、1時間の熱処理を行った。

【0056】

次いで、ソース及びドレインを形成した。具体的には、当該ゲート絶縁層及び当該酸化物半導体層上に厚さ100nmのチタン(Ti)膜と、当該チタン(Ti)膜上の厚さ400nmのアルミニウム(Al)膜と、当該アルミニウム(Al)膜上の厚さ100nmのチタン(Ti)膜との積層膜をスパッタリング法を用いて成膜した。そして、当該積層膜をフォトリソグラフィ法を用いて加工することにより、ソース及びドレインを形成した。

40

【0057】

次いで、窒素(N₂)及び酸素(O₂)の混合雰囲気下で300℃、1時間の熱処理を行った。

【0058】

次いで、220℃、120秒の亜酸化窒素(N₂O)プラズマ処理を行った。

【0059】

次いで、絶縁層を形成した。具体的には、当該ゲート絶縁層、当該酸化物半導体層、並びに当該ソース及び当該ドレイン上に厚さ600nmの酸化窒化珪素(SiON)膜をプ

50

ラズマCVD法を用いて成膜した。

【0060】

次いで、窒素(N₂)及び酸素(O₂)の混合雰囲気下で300、1時間の熱処理を行った。

【0061】

次いで、当該絶縁層上に厚さ1500nmのアクリルを形成した後、窒素(N₂)雰囲気下で250、1時間の熱処理を行うことで当該アクリルを焼成した。

【0062】

次いで、透明導電層を形成した。具体的には、当該アクリル上に少なくともインジウム(In)、錫(Sn)、珪素(Si)、及び酸素(O)を含む膜をスパッタリング法を用いて成膜した。なお、当該膜が上述のドレインと接するように予め当該ドレイン上の絶縁層及びアクリルには開口部を設けた。

10

【0063】

最後に、窒素(N₂)雰囲気下で250、1時間の熱処理を行った。

【0064】

<電気特性>

上述の工程によって得られたトランジスタに対して、光照射条件下におけるプラスゲートBT試験を行った。なお、本実施例において、プラスゲートBT試験とは、80においてゲートとソースの間の電圧が30Vの状態を特定の時間に渡って保持させる試験を指す。本実施例では、上述のトランジスタを複数用意し、それぞれのトランジスタに対して、2000秒以下の各種の時間に渡って当該試験を行った。

20

【0065】

図5は、当該試験後の本実施例に係る複数のトランジスタのそれぞれのV_g-I_d曲線を示す図である。図5より、本実施例に係るトランジスタは、当該試験後であってもスイッチング特性が大きくばらつかないことが分かった。

【0066】

<比較例>

以下では、比較例として、ソース及びドレインが酸化物半導体層の端部と接するトランジスタについて説明する。

【0067】

図6は、本比較例に係るトランジスタの構造を示す平面図である。図6に示すトランジスタは、ゲート1001と、ゲート1001上に設けられたゲート絶縁層と、ゲート絶縁層上の酸化物半導体層1003と、酸化物半導体層1003上のソース1004及びドレイン1006とを有する。図6に示すようにソース1004及びドレイン1006は、酸化物半導体層1003の端部に接している。

30

【0068】

なお、本比較例に係るトランジスタは、上記実施例に係るトランジスタの各構成要素と同じ材料、作製工程を用いて形成した。そして、本比較例に係るトランジスタを複数用意し、それぞれのトランジスタに対して、2000秒以下の各種の時間に渡って光照射条件下におけるプラスゲートBT試験を行った。

40

【0069】

図7は、当該試験後の本比較例に係る複数のトランジスタのそれぞれのV_g-I_d曲線を示す図である。図7より、本比較例に係るトランジスタは、当該試験後においてスイッチング特性が大きくばらつくことが分かった。

【符号の説明】

【0070】

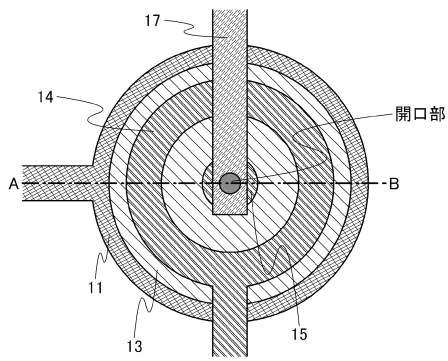
- 10 基板
- 11 ゲート
- 12 ゲート絶縁層
- 13 酸化物半導体層

50

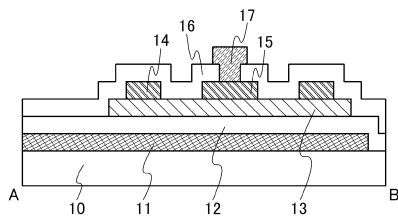
1 4	ソース	
1 5	ドレイン	
1 6	絶縁層	
1 7	導電層	
2 4	ソース	
3 0	基板	
3 1	ゲート	
3 2	ゲート絶縁層	
3 3	酸化物半導体層	
3 4	ソース	10
3 5	絶縁層	
3 6	ドレイン	
1 0 0	画素部	
1 1 0	走査線駆動回路	
1 2 0	信号線駆動回路	
1 3 0	走査線	
1 4 0	信号線	
1 5 0	画素	
1 5 1	トランジスタ	
1 5 2	容量素子	20
1 5 3	液晶素子	
1 6 0	透明導電層	
1 0 0 1	ゲート	
1 0 0 3	酸化物半導体層	
1 0 0 4	ソース	
1 0 0 6	ドレイン	

【図1】

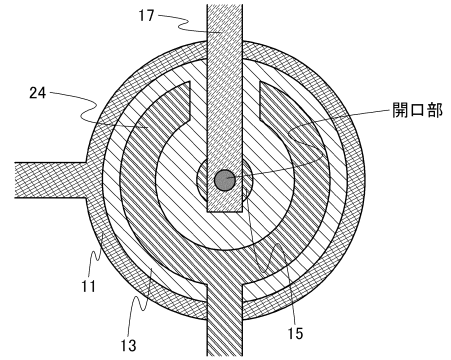
(A)



(B)

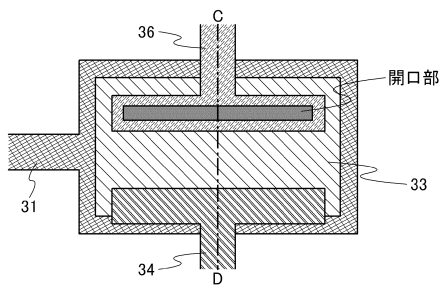


【図2】

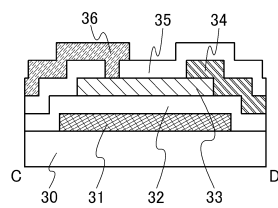


【図3】

(A)

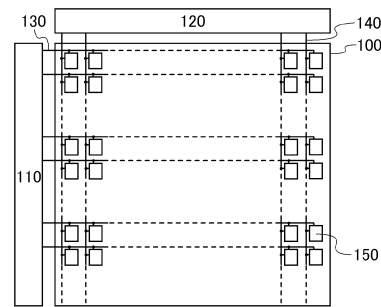


(B)

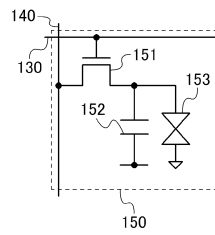


【図4】

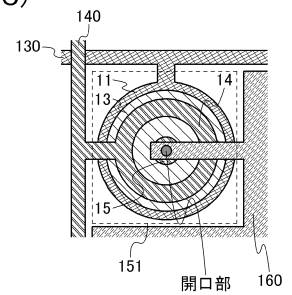
(A)



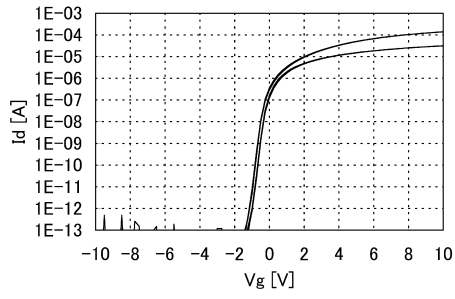
(B)



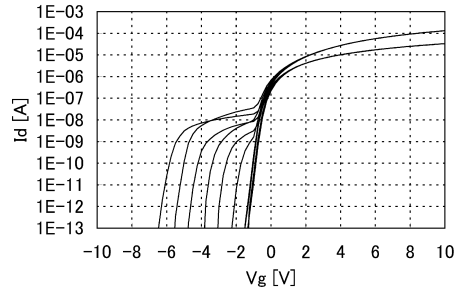
(C)



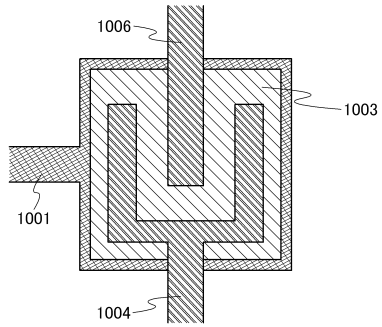
【 5 】



【 7 】



【 6 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/50 M
G 0 2 F 1/1368

(56)参考文献 特開2010-272568(JP,A)
特開2010-226101(JP,A)
特開2005-084416(JP,A)
米国特許出願公開第2005/0056847(US,A1)
米国特許出願公開第2010/0219410(US,A1)
特開2006-352087(JP,A)
米国特許出願公開第2006/0263576(US,A1)
特開2006-093597(JP,A)
特開2010-153765(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 9 / 4 1
H 0 1 L 2 9 / 4 1 7