

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 3 区分
【発行日】 平成 17 年 10 月 20 日 (2005.10.20)

【公開番号】 特開 2003-152473 (P2003-152473A)
【公開日】 平成 15 年 5 月 23 日 (2003.5.23)
【出願番号】 特願 2002-306114 (P2002-306114)
【国際特許分類第 7 版】
H 0 3 F 3/345
【F I】
H 0 3 F 3/345 Z

【手続補正書】
【提出日】 平成 17 年 6 月 17 日 (2005.6.17)
【手続補正 1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

第 1 のノードで接続されたドレインおよびゲートと接地されたソースとを有する第 1 のトランジスタと、

前記第 1 のノードと R F 出力の間に挿入された電流設定抵抗と、

前記第 1 のノードと接地の間に挿入された第 1 のキャパシタと、

R F 入力と前記第 1 のノードの間に挿入された第 1 のインダクタと、

ゲートおよび前記 R F 出力に接続されたドレインと接地されたソースとを有する第 2 のトランジスタと、

前記第 2 のトランジスタのゲートと前記 R F 入力の間に挿入された第 2 のインダクタと

、

電源と前記 R F 出力の間に挿入された第 3 のインダクタと、

電源と接地の間に挿入された第 2 のキャパシタと、

前記第 1 および第 2 のトランジスタが集積化された基板と、

を含む回路。

【請求項 2】

前記第 1 および第 2 のトランジスタはエンハンスメントモード電界効果トランジスタである、請求項 1 に記載の回路。

【請求項 3】

第 1 のノードで接続されたドレインおよびゲートと接地されたソースとを有する第 1 のトランジスタと、

前記第 1 のノードと接地の間に挿入された第 1 のキャパシタと、

R F 出力に接続されたドレインと接地されたソースとゲートとを有する第 2 のトランジスタと、

電源と前記第 1 のノードの間に挿入された電流設定抵抗と、

前記第 1 のノードと R F 入力の間に挿入された第 1 のインダクタと、

前記第 2 のトランジスタのゲートと前記 R F 入力の間に挿入された第 2 のインダクタと

、

電源と前記 R F 出力の間に挿入された第 3 のインダクタと、

電源と接地の間に挿入された第 2 のキャパシタと、

前記第 1 と第 2 のトランジスタが集積化された基板と、

を含む回路。

【請求項 4】

前記第 1 と第 2 のトランジスタはエンハンスメントモード電界効果トランジスタである、
請求項 3 に記載の回路。