

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 27 日 (27.01.2022)



(10) 国际公布号
WO 2022/017110 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2021/101751
- (22) 国际申请日: 2021 年 6 月 23 日 (23.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010698017.4 2020 年 7 月 20 日 (20.07.2020) CN
- (71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。
- (72) 发明人: 金华俊(JIN, Huajun); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 孙贵鹏

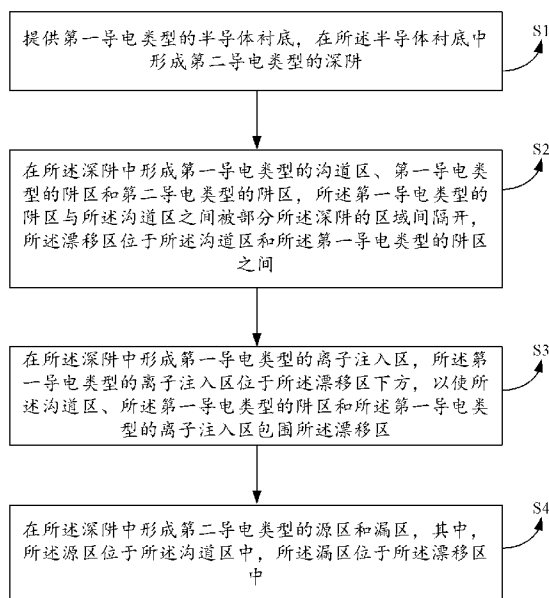
(SUN, Guipeng); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 林峰(LIN, Feng); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 陈淑娴(CHEN, Shuxian); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 发明名称: 一种半导体器件的制造方法、半导体器件



- S1 Provide a semiconductor substrate of a first conductive type, and form a deep well of a second conductive type in the semiconductor substrate
- S2 Form, in the deep well, a channel area of the first conductive type, a well area of the first conductive type and a well area of the second conductive type, wherein the well area of the first conductive type is spaced apart from the channel area by a partial area of the deep well, and the drift area is located between the channel area and the well area of the first conductive type
- S3 Form an ion implantation area of the first conductive type in the deep well, wherein the ion implantation area of the first conductive type is located below the drift area, such that the channel area, the well area of the first conductive type and the ion implantation area of the first conductive type surround the drift area
- S4 Form, in the deep well, a source area of the second conductive type and a drain area of the second conductive type, wherein the source area is located in the channel area, and the drain area is located in the drift area

图 2

(57) Abstract: A method for manufacturing a semiconductor device, and a semiconductor device. The method comprises: providing a semiconductor substrate of a first conductive type, and forming a deep well of a second conductive type in the semiconductor substrate; forming, in the deep well, a channel area of the first conductive type, a well area of the first conductive type and a well area of the second conductive type, wherein the well area of the first conductive type is spaced apart from the channel area by a partial area of the deep well, and a drift area is located between the channel area and the well area of the first conductive type; forming an ion implantation area of the first conductive type in the deep well, wherein the ion implantation area of the first conductive type is located below the drift area, such that the channel area, the well area of the first conductive type and the ion implantation area of the first conductive type surround the drift area; and forming, in the deep well, a source area of the second conductive type and a drain area of the second conductive type.

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体器件的制造方法、半导体器件, 所述方法包括: 提供第一导电类型的半导体衬底, 在所述半导体衬底中形成第二导电类型的深阱; 在所述深阱中形成第一导电类型的沟道区、第一导电类型的阱区和第二导电类型的阱区, 所述第一导电类型的阱区与所述沟道区之间被部分所述深阱的区域间隔开, 所述漂移区位于所述沟道区和所述第一导电类型的阱区之间; 在所述深阱中形成第一导电类型离子注入区, 所述第一导电类型离子注入区位于所述漂移区下方, 以使所述沟道区、所述第一导电类型的阱区和所述第一导电类型离子注入区包围所述漂移区; 在所述深阱中形成第二导电类型的源区和第二导电类型的漏区。

一种半导体器件的制造方法、半导体器件

相关申请的交叉引用

本申请要求于 2020 年 07 月 20 日提交中国专利局、申请号为 2020106980174、发明名称为“一种半导体器件的制造方法、半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

5 本发明涉及半导体技术领域，具体而言涉及一种半导体器件的制造方法、半导体器件。

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成现有技术。

10 随着半导体技术的不断发展，横向双扩散金属氧化物半导体场效应晶体管(Lateral Double Diffused MOSFET, LDMOS)器件由于其具有良好的短沟道特性而被广泛的应用。LDMOS 作为一种功率开关器件，具有工作电压相对较高、工艺简易，易于同低压 CMOS 电路在工艺上兼容等特点。

业界希望能够提供具有更高的击穿电压和更低的导通电阻的横向双扩散金属氧化物半导体场效应晶体管。

15

发明内容

在发明内容部分中引入了一系列简化形式的概念，这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征，更不意味着试图确定所要

20 求保护的技术方案的保护范围。

为了解决现有技术中的问题，本发明提供了一种半导体器件的制造方法，包括：

提供第一导电类型的半导体衬底，在所述半导体衬底中形成第二导电类型的深阱；

在所述深阱中形成第一导电类型的沟道区、第一导电类型的阱区和第二导电类型的阱区，所述第一导电类型的阱区与所述沟道区之间被部分所述深阱的区域间隔开，所述漂移区位于所述沟道区和所述第一导电类型的阱区之间；

5 在所述深阱中形成第一导电类型的离子注入区，所述第一导电类型的离子注入区位于所述漂移区下方，以使所述沟道区、所述第一导电类型的阱区和所述第一导电类型的离子注入区包围所述漂移区；以及

第二导电类型的源区和第二导电类型的漏区，其中，所述源区位于所述沟道区中，所述漏区位于所述漂移区中。

10 本发明还提供了一种半导体器件，包括：

第一导电类型的半导体衬底；

第二导电类型的深阱，自所述半导体衬底上表面向所述半导体衬底内部延伸；

15 位于所述深阱中的第一导电类型的沟道区、第一导电类型的阱区、以及第二导电类型的漂移区，所述漂移区位于所述沟道区与所述第一导电类型的阱区之间，且所述漂移区与所述沟道区间隔设置，所述漂移区与所述第一导电类型的阱区相邻设置；

第一导电类型离子注入区，位于所述深阱中且在所述漂移区下方，所述沟道区、所述第一导电类型的阱区和所述离子注入区包围所述漂移区；

20 栅极结构，位于所述深阱上；以及

第二导电类型的源区和第二导电类型的漏区，所述源区位于所述沟道区中，所述漏区位于所述漂移区中。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

25

附图说明

本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的原理。

附图中：

30 图 1A-图 1E 为根据本发明的一个实施例的一种半导体器件的制造方法中形成的半导体器件的结构示意图；

图 2 为根据本发明的一个实施例的一种半导体器件的制造方法的流程图。

具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，对于本领域公知的一些技术特征未进行描述。

为了彻底理解本发明，将在下列的描述中提出详细的描述，以说明本发明的半导体器件的制造方法、半导体器件和电子装置。显然，本发明的施行并不限于半导体领域技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

应予以注意的是，这里所使用的术语仅是为了描述具体实施例，而非意图限制根据本发明的示例性实施例。如在这里所使用的，除非上下文另外明确指出，否则单数形式也意图包括复数形式。此外，还应当理解的是，当在本说明书中使用术语“包含”和/或“包括”时，其指明存在所述特征、整体、步骤、操作、元件和/或组件，但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

现在，将参照附图更详细地描述根据本发明的示例性实施例。然而，这些示例性实施例可以多种不同的形式来实施，并且不应当被解释为只限于这里所阐述的实施例。应当理解的是，提供这些实施例是为了使得本发明的公开彻底且完整，并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中，为了清楚起见，夸大了层和区域的厚度，并且使用相同的附图标记表示相同的元件，因而将省略对它们的描述。

实施例一

一种示例性的降低导通电阻的高压 NMOS 器件结构利用外延加埋层注入的工艺形成 NPNP 的结构由于 N 型漂移区被 P 型区包住，能够获得更好的漂移区耗尽效果，因此漂移区浓度可以做得更浓，从而器件导通电阻可以做得更低。但是由于需要额外的外延工艺以及埋层的工艺，不但增加了工艺成本

还增加了工艺难度。

本发明提供了一种半导体器件的制造方法，包括：

提供第一导电类型的半导体衬底，在所述半导体衬底中形成第二导电类型的深阱；

5 在所述深阱中形成第一导电类型的沟道区、第一导电类型的阱区和第二导电类型的阱区，所述第一导电类型的阱区与所述沟道区之间被部分所述深阱的区域间隔开，所述漂移区位于所述沟道区和所述第一导电类型的阱区之间；

10 在所述深阱中形成第一导电类型的离子注入区，所述第一导电类型的离子注入区位于所述漂移区下方，以使所述沟道区、所述第一导电类型的阱区和所述第一导电类型的离子注入区包围所述漂移区；

在所述深阱中形成第二导电类型的源区和第二导电类型的漏区，其中，所述源区位于所述沟道区中，所述漏区位于所述漂移区中。

15 下面参考图 1A-图 1E 和图 2 对根据本发明的半导体器件的制造方法进行示意性说明，其中图 1A-图 1E 为根据本发明的一个实施例的一种半导体器件的制造方法中形成的半导体器件的结构示意图；图 2 为根据本发明的一个实施例的一种半导体器件的制造方法的流程图。

20 首先，参看图 2，执行步骤 S1：提供第一导电类型的半导体衬底，在所述半导体衬底中形成第二导电类型的深阱。

参看图 1A，示出了根据本发明的一个实施例的在第一导电类型的半导体衬底中形成第二导电类型的深阱的半导体器件的结构示意图。如图 1A 所示，提供半导体衬底 300，具体地，可以是以下所提到的材料中的至少一种：Si、
25 Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP、InGaAs 或者其它 III/V 化合物半导体，还包括这些半导体构成的多层结构等，或者为绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。示例性的，所述半导体衬底为第一导电类型。

30 需要说明的是，本说明书中第一导电类型和第二导电类型泛指 P 型或 N 型，比如第一导电类型是 P 型，低掺杂 P-型，高掺杂 P+型其中之一，第二导电类型是 N 型，低掺杂 N-型，高掺杂 N+型其中之一。或者相反地，第一导

电类型是 N 型，低掺杂 N-型，高掺杂 N+型其中之一，第二导电类型是 P 型，低掺杂 P-型，高掺杂 P+型其中之一。

示例性的，在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底。

5 示例性的，所述半导体衬底为非外延衬底。本实施例所述的半导体器件的制造方法在非外延的工艺平台上进行，将整个制造方法在非外延工艺平台上进行使制造过程中并不需要额外的外延工艺以及埋层的工艺，即通过优化器件结构设计可以在非外延工艺上获得更好的器件特性，减少了工艺成本，降低了工艺难度，还提高了工艺平台兼容性。

10 继续参看图 1A 在半导体衬底 300 中形成第二导电类型的深阱 301。形成所述第二导电类型的深阱的方法包括：在所述半导体衬底上形成图案化的掩膜层，所述图案化的掩膜层露出所述拟形成第二导电类型的深阱的区域；执行第二导电类型的深阱离子注入，在所述第一导电类型半导体衬底中形成第二导电类型的深阱；去除所述图案化的掩膜层。示例性的，第二导电类型的
15 深阱离子注入为高能离子注入。

示例性的，在完成所述第二导电类型的深阱离子注入之后，还包括执行第二导电类型的深阱退火的步骤。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱。

20 示例性的，所述第二导电类型的深阱的掺杂浓度在深度方向上随着深度增加而增加。

将第二导电类型的深阱的掺杂浓度设置为在深度方向上随着深度的增加而增加，可进一步加强第二导电类型的深阱在器件结构中所起的隔离作用，尤其是对后续在第二导电类型的深阱中形成的其他阱区起到更好的隔离，在
25 在第二导电类型的深阱中形成的其他阱区可以为第一导电类型的阱区。

示例性的，如图 1A 所示，在半导体衬底 300 中形成第二导电类型的深阱 301 之前还包括在半导体衬底 300 中形成隔离结构 302 的步骤。隔离结构 302 为浅沟槽隔离结构，形成浅沟槽隔离结构的方法包括：执行光刻工艺，以在半导体衬底上形成图案化的掩膜层，所述图案化的掩膜层露出拟形成隔离结构的区域；执行刻蚀工艺，以所述图案化的掩膜层为掩膜刻蚀半导体衬底，以在半导体衬底中形成浅沟槽；执行沉积工艺，以形成填充所述浅沟槽的隔离材料层；执行化学机械研磨工艺，以移除所述浅沟槽以外的隔离材料
30

层。

示例性的，所述隔离结构包括第一隔离结构和第二隔离结构，所述第一隔离结构位于拟形成漂移区和拟形成第一导电类型的阱区的区域之间，所述第二隔离结构位于拟形成第一导电类型的阱区和拟形成第二导电类型的阱区之间。

接着，继续参看图 2，执行步骤 S2：在所述深阱中形成第一导电类型的沟道区、第一导电类型的阱区和第二导电类型的阱区，所述第一导电类型的阱区与所述沟道区之间被部分所述深阱的区域间隔开，所述漂移区位于所述沟道区和所述第一导电类型的阱区之间。

参看图 1B，示出了根据本发明的一个实施例的在第二导电类型的深阱中形成第一导电类型的沟道区、第一导电类型的阱区的半导体器件的结构示意图。如图 1B 所示，在半导体衬底 300 中的第二导电类型的深阱 301 的区域形成第一导电类型的沟道区 303 和第一导电类型的阱区 304。其中，第一导电类型的阱区 304 与沟道区 303 之间被部分第二导电类型的深阱 301 的区域间隔。

示例性的，形成第一导电类型的沟道区 303 的步骤包括：执行光刻工艺，形成露出拟形成沟道区的图案化的掩膜层；执行离子注入工艺，形成所述沟道区。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第一导电类型的沟道区为 P 型掺杂区。

示例性的，形成第一导电类型的阱区 304 的步骤包括：执行光刻工艺，形成露出拟形成第一导电类型的阱区的图案化的掩膜层；执行离子注入工艺，形成所述第一导电类型的阱区。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第一导电类型的阱区为 P 型掺杂区。

在深阱中形成第一导电类型的阱区，该第一导电类型的阱区与第一导电类型沟道区、以及后续在漂移区下方形成的第一导电类型离子注入区一起对漂移区形成包围结构，有效提升漏端漂移区的耗尽，提升击穿电压。最终实现 LDMOS 器件中的 NPNP 器件结构，大大提升了器件的性能。并且在其中

并不需要形成埋层的过程，即能实现高压器件结构。

在根据本发明的一个示例中，所述形成第一导电类型的沟道区的步骤和所述形成第一导电类型的阱区的步骤使用同一掩膜和同一离子注入步骤，以减少工艺步骤，减少工艺成本。

5 需要理解的是，本实施例中以第一导电类型的沟道区和第一导电类型的阱区在同一步骤中形成为示例进行说明仅仅是示例性的，本领域技术人员应当理解，第一导电类型的沟道区和第一导电类型的阱区也可以在不同的步骤中形成，其亦能实现本发明的技术效果。

10 参看图 1C，示出了根据本发明的一个实施例的在第二导电类型的深阱中形成第二导电类型的漂移区后的半导体器件的结构示意图。

如图 1C 所示，在半导体衬底 300 的第二导电类型的深阱 301 中形成第二导电类型漂移区 305，漂移区 305 位于沟道区 303 和第一导电类型的阱区 304 之间的区域。

15 示例性的，形成第二导电类型的漂移区 305 的步骤包括：执行光刻工艺，形成露出拟形成第二导电类型的漂移区的图案化的掩膜层；执行离子注入工艺，形成所述第二导电类型的漂移区。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第二导电类型的漂移区为 N 型掺杂区。

20 示例性的，在根据本发明的一个示例中，在形成漂移区的过程中，还包括在所述深阱中形成第二导电类型的阱区的步骤，所述第二导电类型的阱区设置在所述第一导电类型的阱区的远离所述沟道区的一侧。第二导电类型的阱区用于形成第二导电类型的深阱的接触区，将第二导电类型的深阱接出，同时，对第一导电类型的阱区与半导体衬底之间起到隔离作用。

25 继续参看图 1C，在半导体衬底 300 的第二导电类型的深阱 301 中形成第二导电类型的阱区 306，其中，第二导电类型的阱区 306 设置在第一导电类型的阱区 304 远离沟道区 303 的一侧。

30 示例性的，形成第二导电类型的阱区 306 的步骤包括：执行光刻工艺，形成露出拟形成第二导电类型的阱区的图案化的掩膜层；执行离子注入工艺，形成所述第二导电类型的阱区。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第二导电类型的阱区为 N

型掺杂区。

需要理解的是，本实施例中，在形成漂移区之后形成第二导电类型的阱区仅仅是示例性的，本领域技术人员应当理解，在执行步骤形成漂移区的过程中、形成漂移区之前形成第二导电类型的阱区也可以实现本发明。

5

接着，继续参看图 2，执行步骤 S3：在所述深阱中形成第一导电类型离子注入区，所述第一导电类型离子注入区位于所述漂移区下方，以使所述沟道区、所述第一导电类型的阱区和所述第一导电类型离子注入区包围所述漂移区。

10 参看图 1D，示出了根据本发明的一个实施例的在第二导电类型的漂移区下方形成第一导电类型离子注入区后的半导体器件的结构示意图。

如图 1D 所示，在半导体衬底 300 的第二导电类型的深阱 301 中形成第一导电类型离子注入区 307，第一导电类型离子注入区 307 位于漂移区 305 下方，使第一导电类型的沟道区 303、第一导电类型的阱区 304 和第一导电类型离子注入区 307 将漂移区 305 包围。

15 示例性的，形成第一导电类型离子注入区 307 的步骤包括：执行光刻工艺，形成露出拟形成漂移区的图案化的掩膜层；执行离子注入工艺，形成所述第一导电类型离子注入区 307。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第一导电类型离子注入区 307 为 P 型掺杂区。

20 在漂移区下方形成第一导电类型离子注入区，该第一导电类型离子注入区与第一导电类型沟道区、第一导电类型的阱区一起对漂移区形成包围结构，有效提升漏端漂移区的耗尽，提升击穿电压。最终实现 LDMOS 器件中的 NPNP 器件结构，使沟道区与半导体衬底之间被深阱的区域隔离开来，使沟道区不受衬底电压的影响，大大提升了器件的性能。并且在其中并不需要形成埋层的过程，即能实现高压器件结构。

25 在根据本发明的一个示例中，所述在所述深阱中形成漂移区的步骤和所述在所述深阱中形成第一导电类型离子注入区的步骤共用一套掩膜版，以减少工艺成本。

进一步，在根据本发明的一个示例中，在所述深阱中形成漂移区之后执行所述在所述深阱中形成第一导电类型离子注入区的步骤，以使所述形成漂

移区的步骤和所述形成第一导电类型离子注入区的步骤使用同一掩膜层，相对于现有工艺，并不需要增加额外的工艺流程，实现新的器件结构，大大减少了工艺成本。

需要指出的是，本实施例中，将沟道区与第一导电类型的阱区、漂移区、第二导电类型的阱区、第一导电类型离子注入区等分别在步骤 S2 和 S3 中形成，其并不是要对形成沟道区、第一导电类型的阱区、漂移区、第二导电类型的阱区、第一导电类型离子注入区的顺序进行限定，本领域技术人员可以以任何可行的顺序形成导电类型阱区、漂移区、第二导电类型的阱区、第一导电类型离子注入区，其均能实现在不采用外延和形成埋层的情况下，实现本发明的半导体器件的制造，实现本发明的技术效果。

接着，继续参看图 2，执行步骤 S4：在所述深阱中形成第二导电类型的源区和第二导电类型的漏区，其中，所述源区位于所述沟道区中，所述漏区位于所述漂移区中。

参看图 1E，示出了根据本发明的一个实施例的形成源区和漏区后的半导体器件的结构示意图。如图 1E 所示，在半导体衬底 300 中形成源区 308 和漏区 309，其中源区 308 位于沟道区 303 之中，漏区 309 位于漂移区 305 之中。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述源区和漏区为 N+型掺杂区。

在根据本发明的一个示例中，在形成源区和漏区之前还包括形成栅极结构的步骤。如图 1E 所示，在半导体衬底 300 的表面形成包括栅极介电层 310 和栅极材料层 311 的栅极结构，栅极结构露出拟形成源区和漏区的区域。示例性的，形成栅极结构的步骤采用本领域所通用的工艺，在此不再赘述。

在根据本发明的一个示例中，还包括在半导体衬底中形成第一导电类型的阱区引出区和第二导电类型的阱区引出区。

在本实施例中，所述第一导电类型为 P 型，第二导电类型为 N 型，则第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，第二导电类型的漂移区为 N 型漂移区。

如图 1E 所示，第一导电类型的阱区 304、第一导电类型离子注入区 307、

沟道区 303 组成包围第二导电类型的漂移区 305 的第一 P 型包围结构;

第二导电类型的阱区 306、第二导电类型的深阱 301 组成包围上述第一 P 型包围结构的 N 型包围结构;

5 最外围的第一导电类型的半导体衬底 300 组成包围 N 型包围结构的第二 P 型包围结构。

N 型漂移区、第一 P 型包围结构、N 型包围结构、第二 P 型包围结构在器件结构中构成 NPNP 结构, 提高击穿电压和降低导通电阻。

10 对于该 NPNP 结构, 第一导电类型的阱区引出区 312 和第二导电类型的阱区引出区 313, 用于将第一导电类型的阱区 304 和第二导电类型的阱区 306 引出连接至外电路。漏区 309 与第二导电类型的阱区 306 之间独立分开, 漏区 309 与第二导电类型的深阱 301 之间也独立分开, 使得漏区 309 与第二导电类型的阱区引出区 313 可以在电路应用中分开接不同的电压。同时, 第一导电类型的阱区引出区 312 和第一导电类型的半导体衬底 300 被第二导电类型的阱区 306 和第二导电类型的深阱 301 分隔开来。也就是说, 第一 P 型包
15 围结构与第二 P 型包围结构被 N 型包围结构分隔开来, 能够确保第一 P 型包围结构作为体区可以抬压但不受第二 P 型包围结构的影响, 实现了体区可以抬压但不受衬底的影响, 还能够提高击穿电压和降低导通电阻。不需要外延和形成埋层的工艺, 就能实现 NPNP 结构, 大大减少了工艺流程, 减小了生产成本。同时, 根据本发明的半导体器件具有更高的击穿电压和更低的导通
20 电阻。

在本实施例中, 所述第一导电类型的半导体衬底为 P 型低掺杂的衬底, 即 P-衬底, 所述第二导电类型的深阱为 N 阱, 第一导电类型的阱区为 P 型掺杂区, 第二导电类型的阱区为 N 型掺杂区, 第一导电类型的阱区引出区为 P+ 型掺杂区和第二导电类型的阱区引出区为 N+型掺杂区。

25

实施例二

本发明还提供了一种半导体器件, 包括:

第一导电类型的半导体衬底;

位于所述半导体衬底中的第二导电类型的深阱;

30 位于所述深阱中的第一导电类型的沟道区、第一导电类型的阱区、以及第二导电类型漂移区, 所述漂移区位于所述沟道区与所述第一导电类型的阱区之间; 以及

源区和漏区，所述源区位于所述沟道区中，所述漏区位于所述漂移区中；其中，还包括：

位于所述漂移区下方的第一导电类型离子注入区，所述沟道区、所述第一导电类型的阱区和所述第一导电类型离子注入区包围所述漂移区。

5 参看图 1E，示出了根据本发明的一个实施例的半导体器件的结构示意图。

如图 1E 所示，根据本发明的半导体器件包括第一导电类型的半导体衬底 300。半导体衬底 300，具体地，可以是以下所提到的材料中的至少一种：Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP、InGaAs 或者其它 III/V 化合物
10 半导体，还包括这些半导体构成的多层结构等，或者为绝缘体上硅（SOI）、绝缘体上层叠硅（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。示例性的，所述半导体衬底为第一导电类型。

需要说明的是，本说明书中第一导电类型和第二导电类型泛指 P 型或 N
15 型，比如第一导电类型是 P 型，低掺杂 P-型，高掺杂 P+型其中之一，第二导电类型是 N 型，低掺杂 N-型，高掺杂 N+型其中之一。或者相反地，第一导电类型是 N 型，低掺杂 N-型，高掺杂 N+型其中之一，第二导电类型是 P 型，低掺杂 P-型，高掺杂 P+型其中之一。

示例性的，在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺
20 杂的衬底。

示例性的，所述半导体衬底为非外延衬底。本实施例所述的半导体器件在非外延的工艺平台上形成，将整个制造方法在非外延工艺平台上进行使制造过程中并不需要额外的外延工艺以及埋层的工艺，即通过优化器件结构设计可以在非外延工艺上获得更好的器件特性，减少了工艺成本，降低了工艺
25 难度，还提高了工艺平台兼容性。

继续参看图 1E，根据本发明的半导体器件还包括位于半导体衬底 300 中的第二导电类型的深阱 301。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第二导电类型的深阱为 N
30 型掺杂的低掺杂区域。

示例性的，所述第二导电类型的深阱的掺杂浓度在深度方向上随着深度增加而增加。

将第二导电类型的深阱的掺杂浓度设置为在深度方向上随着深度的增加而增加，在后续形成第一导电类型的阱区时，能够通过掺杂浓度增加的深阱区域隔离半导体衬底和第一掺杂类型阱区。使后续形成的从漏端到半导体衬底之间的 NPNP 结构更加稳定可靠。

5 继续参看图 1E，根据本发明的半导体器件还包括位于第二导电类型的深阱 301 中的第一导电类型的沟道区 303、第一导电类型的阱区 304、以及第二导电类型漂移区 305，其中，所述漂移区 305 位于所述沟道区 303 与所述第一导电类型的阱区 304 之间。

10 在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第一导电类型的沟道区为 P 型掺杂区，所述第一导电类型的阱区为 P 型掺杂区，所述第二导电类型的漂移区为 N 型掺杂区。

15 在深阱中形成第一导电类型的阱区，该第一导电类型的阱区与第一导电类型沟道区，以及后续在漂移区下方形成的第一导电类型离子注入区一起对漂移区形成包围结构，有效提升漏端漂移区的耗尽，提升击穿电压。最终实现 LDMOS 器件中的 NPNP 器件结构，大大提升了器件的性能。并且在其中并不需要形成埋层的过程，即能实现高压器件结构。

继续参看图 1E，根据本发明的半导体器件还包括源区 308 和漏区 309，所述源区 308 位于所述沟道区 303 中，所述漏区 309 位于所述漂移区 305 中。

20 在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述源区和漏区为 N+型掺杂区。

25 继续参看图 1E，根据本发明的半导体器件还包括位于所述漂移区 305 下方的第一导电类型离子注入区 307，所述沟道区 303、所述第一导电类型的阱区 304 和所述第一导电类型离子注入区 307 包围所述漂移区 305。

30 在漂移区下方形成第一导电类型离子注入区，该第一导电类型离子注入区与第一导电类型沟道区、第一导电类型的阱区一起对漂移区形成包围结构，有效提升漏端漂移区的耗尽，提升击穿电压。最终实现 LDMOS 器件中的 NPNP 器件结构，大大提升了器件的性能。并且在其中并不需要形成埋层的过程，即能实现高压器件结构。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第一导电类型离子注入区

307 为 P 型掺杂区。

在根据本发明的一个示例中，半导体器件还包括第二导电类型的阱区 306，所述第二导电类型的阱区 306 设置在所述第一导电类型的阱区 304 的远离所述沟道区 303 的一侧。第二导电类型的阱区用于形成第二导电类型的深阱的接触区，将第二导电类型的深阱接出，同时，对第一导电类型的阱区与半导体衬底之间起到隔离作用。

在本实施例中，所述第一导电类型的半导体衬底为 P 型低掺杂的衬底，即 P-衬底，所述第二导电类型的深阱为 N 阱，所述第二导电类型的阱区为 N 型掺杂区。

在根据本发明的一个示例中，还包括在半导体衬底中形成第一导电类型的阱区引出区和第二导电类型的阱区引出区。

如图 1E 所示，第一导电类型的阱区引出区 312 和第二导电类型的阱区引出区 313，用于将第一导电类型的阱区 304 和第二导电类型的阱区 306 引出连接至外电路。漏区 309 与第二导电类型的阱区 306 之间独立分开，漏区 309 与第二导电类型的深阱 301 之间也独立分开，使得漏区 309 与第二导电类型的阱区引出区 313 可以在电路应用中分开接不同的电压。同时，第一导电类型的阱区引出区 312 和第一导电类型的半导体衬底 300 被第二导电类型的阱区 306 和第二导电类型的深阱 301 分隔开来，能够提高击穿电压和降低导通电阻。不需要外延和形成埋层的工艺，就能实现 NPNP 结构，大大减少了工艺流程，减小了生产成本。同时，根据本发明的半导体器件具有更高的击穿电压和更低的导通电阻。

在根据本发明的一个示例中，还包括栅极结构。

如图 1E 所示，在半导体衬底 300 的表面还设置有包括栅极介电层 310 和栅极材料层 311 的栅极结构。

在根据本发明的一个示例中，还包括形成在半导体衬底中的隔离结构 302。示例性的，所述隔离结构包括第一隔离结构和第二隔离结构，所述第一隔离结构位于漂移区和第一导电类型的阱区的区域之间，所述第二隔离结构位于第一导电类型的阱区和第二导电类型的阱区之间。

在根据本发明的一个示例中，根据如实施例一所述的半导体器件的制造方法制造的半导体器件。

根据本发明的半导体器件，通过设置包围漂移区的阱区、离子注入区和沟道区，具有新颖的结构的同时有效改善了漏端漂移区的耗尽，提升了击穿

电压，降低了导通电阻。根据本发明的半导体器件通过将漂移区、阱区、离子注入区和沟道区设置在位于半导体衬底的深阱中，实现 LDMOS 器件中的 NPNP 器件结构，使沟道区与半导体衬底之间被深阱的区域隔离开来，使沟道区不受衬底电压的影响，大大提升了器件的性能；器件结构中不设置埋层，
5 可以限制简化制造流程，降低生产成本。

本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等
10 效范围所界定。

权利要求书

1、一种半导体器件的制造方法，包括：

提供第一导电类型的半导体衬底，在所述半导体衬底中形成第二导电类型的深阱；

5 在所述深阱中形成第一导电类型的沟道区、第一导电类型的阱区和第二导电类型的漂移区，所述第一导电类型的阱区与所述沟道区之间被部分所述深阱的区域间隔开，所述漂移区位于所述沟道区和所述第一导电类型的阱区之间；

在所述深阱中形成第一导电类型的离子注入区，所述第一导电类型的离子注入区位于所述漂移区下方，以使所述沟道区、所述第一导电类型的阱区和
10 和所述第一导电类型的离子注入区包围所述漂移区；以及

在所述深阱中形成第二导电类型的源区和第二导电类型的漏区，其中，所述源区位于所述沟道区中，所述漏区位于所述漂移区中。

2、根据权利要求1所述的制造方法，其特征在于，所述在所述深阱中形成漂移区的步骤和所述在所述深阱中形成第一导电类型的离子注入区的步骤
15 共用一套掩膜版和/或同一掩膜层。

3、根据权利要求1所述的制造方法，其特征在于，所述第一导电类型的沟道区和所述第一导电类型的阱区在同一离子注入步骤中形成。

4、根据权利要求1所述的制造方法，其特征在于，还包括在所述深阱中形成第二导电类型的阱区，所述第二导电类型的阱区设置在所述第一导电类型的阱区的远离所述沟道区的一侧。
20

5、根据权利要求1所述的制造方法，其特征在于，所述深阱的掺杂浓度在深度方向上随着深度增加而增加。

6、根据权利要求1所述的制造方法，其特征在于，在非外延的工艺平台上进行。

25 7、根据权利要求1所述的制造方法，其特征在于，所述在所述深阱中形成第二导电类型的源区和第二导电类型的漏区的步骤之前，还包括形成栅极结构的步骤。

8、一种半导体器件，包括：

第一导电类型的半导体衬底；

第二导电类型的深阱，自所述半导体衬底上表面向所述半导体衬底内部延伸；

第一导电类型的沟道区，位于所述深阱中；

第一导电类型的阱区，位于所述深阱中；

5 第二导电类型的漂移区，位于所述深阱中，且所述漂移区位于所述沟道区与所述第一导电类型的阱区之间，所述漂移区与所述沟道区间隔设置，所述漂移区与所述第一导电类型的阱区相邻设置；

第一导电类型离子注入区，位于所述深阱中且在所述漂移区下方，所述沟道区、所述第一导电类型的阱区和所述离子注入区包围所述漂移区；

10 第二导电类型的源区位于所述沟道区中；以及

第二导电类型的漏区，位于所述漂移区中。

9、根据权利要求 8 所述的半导体器件，其特征在于，还包括位于所述深阱上的栅极结构。

15 10、根据权利要求 8 所述的半导体器件，其特征在于，所述半导体器件是横向双扩散金属氧化物半导体场效应晶体管。

11、根据权利要求 8 所述的半导体器件，其特征在于，所述半导体衬底为非外延衬底。

20 12、根据权利要求 8 所述的半导体器件，其特征在于，还包括位于所述深阱中的第二导电类型的阱区，所述第二导电类型的阱区设置在所述第一导电类型的阱区的远离所述沟道区的一侧。

13、根据权利要求 12 所述的半导体器件，其特征在于，还包括位于所述第一导电类型的阱区中的第一导电类型的阱区引出区，以及位于所述第二导电类型的阱区中的第二导电类型的阱区引出区。

25 14、根据权利要求 12 所述的半导体器件，其特征在于，还包括隔离结构，所述隔离结构，所述隔离结构包括第一隔离结构和第二隔离结构，所述第一隔离结构位于所述漂移区和所述第一导电类型的阱区之间，所述第二隔离结构位于所述第一导电类型的阱区和所述第二导电类型的阱区之间。

15、根据权利要求 8 所述的半导体器件，其特征在于，所述深阱的掺杂浓度在深度方向上随着深度增加而增加。

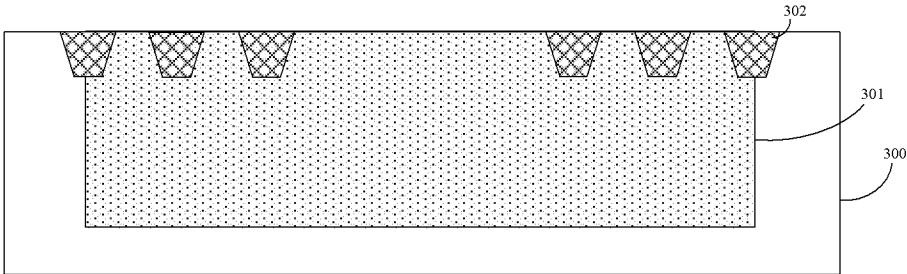


图 1A

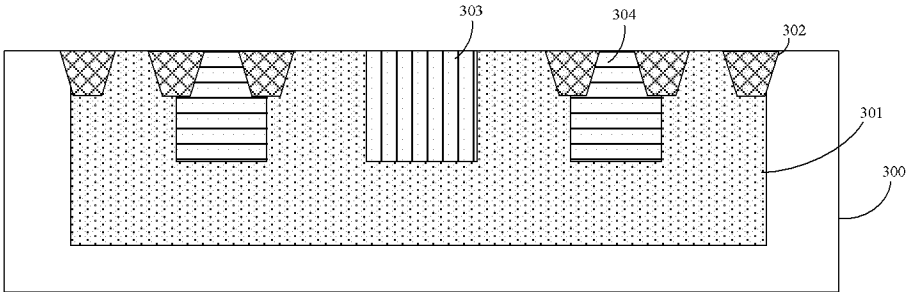


图 1B

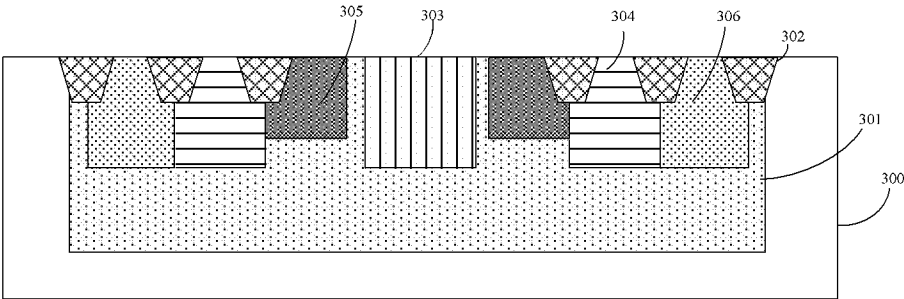


图 1C

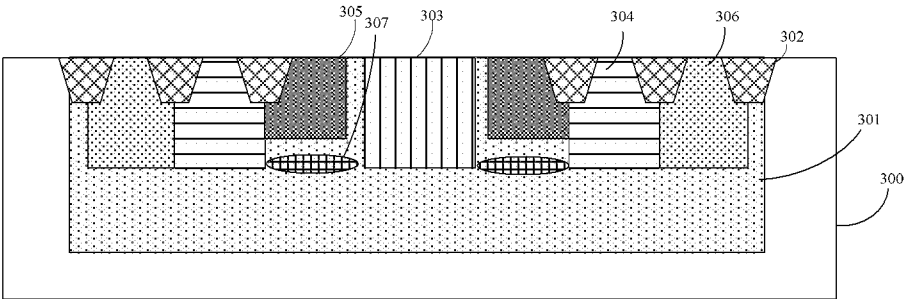


图 1D

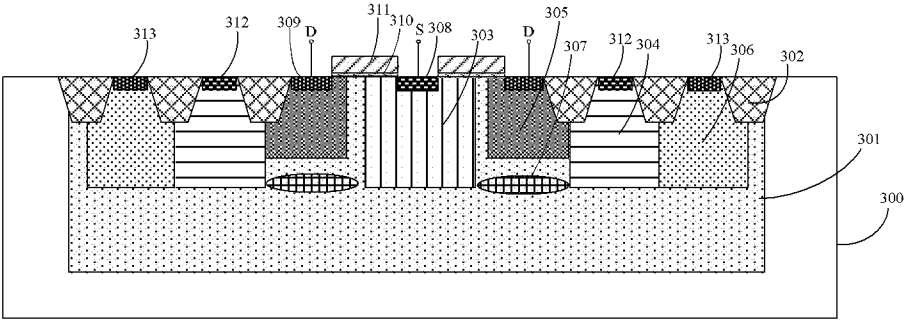


图 1E

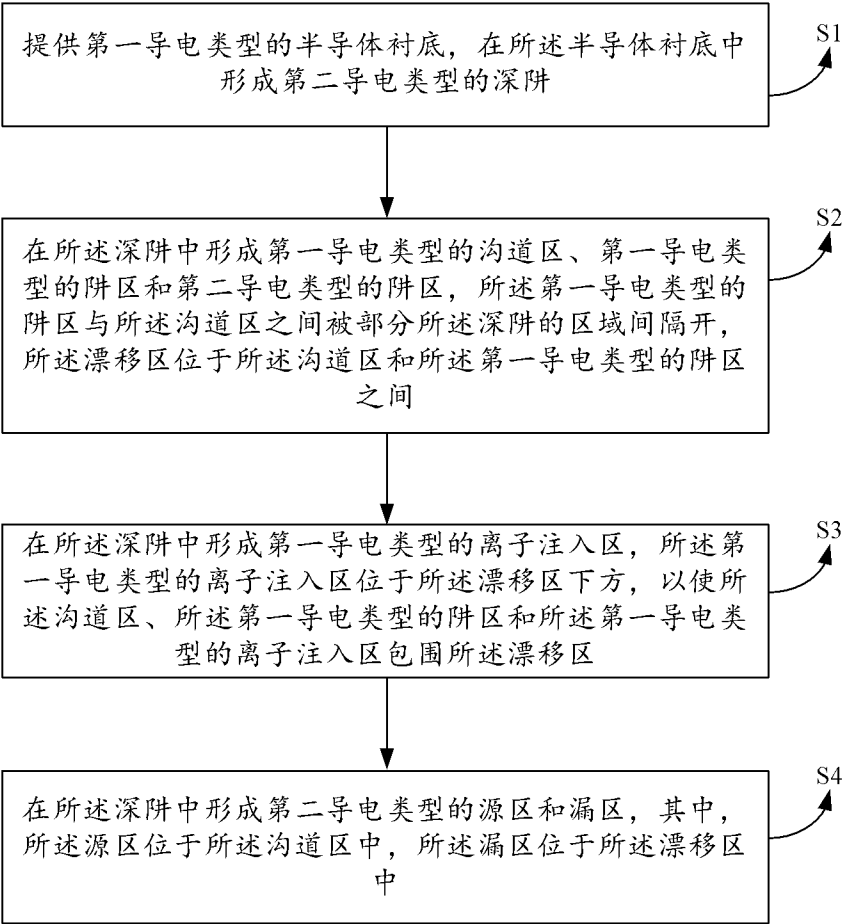


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/101751

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI: 金属氧化物半导体, 场效应晶体管, 扩散, 击穿电压, 漂移, 深阱, 沟道, 沟槽, 隔离, 包围, LDMOS, MOSFET, diffus+, drift+, breakdown, voltage, channel?, isolat+, surround

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017263763 A1 (MAGNACHIP SEMICONDUCTOR, LTD.) 14 September 2017 (2017-09-14) description, paragraphs [0068]-[0081], and figure 3	1-15
A	CN 107425046 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION et al.) 01 December 2017 (2017-12-01) entire document	1-15
A	CN 104617139 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 13 May 2015 (2015-05-13) entire document	1-15
A	CN 109979801 A (CSMC TECHNOLOGIES CORPORATION) 05 July 2019 (2019-07-05) entire document	1-15
A	CN 106663699 A (TEXAS INSTRUMENTS INC.) 10 May 2017 (2017-05-10) entire document	1-15
A	CN 105226058 A (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 06 January 2016 (2016-01-06) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 September 2021

Date of mailing of the international search report

26 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/101751

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102044563 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.) 04 May 2011 (2011-05-04) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/101751

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017263763	A1	14 September 2017	KR	20160077541	A	04 July 2016
				US	9698258	B2	04 July 2017
				US	10468522	B2	05 November 2019
				KR	102177431	B1	11 November 2020
				US	2020020801	A1	16 January 2020
				US	10978587	B2	13 April 2021
				US	2016181419	A1	23 June 2016
CN	107425046	A	01 December 2017	CN	107425046	B	12 May 2020
CN	104617139	A	13 May 2015	CN	104617139	B	08 August 2017
CN	109979801	A	05 July 2019	CN	109979801	B	01 January 2021
CN	106663699	A	10 May 2017	EP	3178116	A1	14 June 2017
				JP	2017527110	A	14 September 2017
				CN	106663699	B	05 June 2020
				JP	6713453	B2	24 June 2020
				WO	2016022975	A1	11 February 2016
				US	9660074	B2	23 May 2017
				EP	3178116	A4	15 August 2018
				US	2016043217	A1	11 February 2016
CN	105226058	A	06 January 2016	US	10109625	B2	23 October 2018
				TW	1575718	B	21 March 2017
				US	2017062415	A1	02 March 2017
				CN	105226058	B	20 March 2018
				US	9837400	B2	05 December 2017
				US	2018122799	A1	03 May 2018
				US	2015380398	A1	31 December 2015
				TW	201601291	A	01 January 2016
				US	9460926	B2	04 October 2016
CN	102044563	A	04 May 2011	None			

国际检索报告

国际申请号

PCT/CN2021/101751

A. 主题的分类 H01L 21/336(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, EPDOC, WPI, CNKI: 金属氧化物半导体, 场效应晶体管, 扩散, 击穿电压, 漂移, 深阱, 沟道, 沟槽, 隔离, 包围, LDMOS, MOSFET, diffus+, drift+, breakdown, voltage, channel?, isolat+, surround		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2017263763 A1 (MAGNACHIP SEMICONDUCTOR, LTD.) 2017年 9月 14日 (2017 - 09 - 14) 说明书第[0068]-[0081]段、附图3	1-15
A	CN 107425046 A (中芯国际集成电路制造北京有限公司 等) 2017年 12月 1日 (2017 - 12 - 01) 全文	1-15
A	CN 104617139 A (上海华虹宏力半导体制造有限公司) 2015年 5月 13日 (2015 - 05 - 13) 全文	1-15
A	CN 109979801 A (无锡华润上华科技有限公司) 2019年 7月 5日 (2019 - 07 - 05) 全文	1-15
A	CN 106663699 A (德州仪器公司) 2017年 5月 10日 (2017 - 05 - 10) 全文	1-15
A	CN 105226058 A (万国半导体股份有限公司) 2016年 1月 6日 (2016 - 01 - 06) 全文	1-15
A	CN 102044563 A (上海华虹NEC电子有限公司) 2011年 5月 4日 (2011 - 05 - 04) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2021年 9月 9日		国际检索报告邮寄日期 2021年 9月 26日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王雪婷 电话号码 86-(10)-53961207

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/101751

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2017263763	A1	2017年 9月 14日	KR	20160077541	A	2016年 7月 4日
				US	9698258	B2	2017年 7月 4日
				US	10468522	B2	2019年 11月 5日
				KR	102177431	B1	2020年 11月 11日
				US	2020020801	A1	2020年 1月 16日
				US	10978587	B2	2021年 4月 13日
				US	2016181419	A1	2016年 6月 23日
CN	107425046	A	2017年 12月 1日	CN	107425046	B	2020年 5月 12日
CN	104617139	A	2015年 5月 13日	CN	104617139	B	2017年 8月 8日
CN	109979801	A	2019年 7月 5日	CN	109979801	B	2021年 1月 1日
CN	106663699	A	2017年 5月 10日	EP	3178116	A1	2017年 6月 14日
				JP	2017527110	A	2017年 9月 14日
				CN	106663699	B	2020年 6月 5日
				JP	6713453	B2	2020年 6月 24日
				WO	2016022975	A1	2016年 2月 11日
				US	9660074	B2	2017年 5月 23日
				EP	3178116	A4	2018年 8月 15日
				US	2016043217	A1	2016年 2月 11日
CN	105226058	A	2016年 1月 6日	US	10109625	B2	2018年 10月 23日
				TW	1575718	B	2017年 3月 21日
				US	2017062415	A1	2017年 3月 2日
				CN	105226058	B	2018年 3月 20日
				US	9837400	B2	2017年 12月 5日
				US	2018122799	A1	2018年 5月 3日
				US	2015380398	A1	2015年 12月 31日
				TW	201601291	A	2016年 1月 1日
				US	9460926	B2	2016年 10月 4日
CN	102044563	A	2011年 5月 4日	无			