



등록특허 10-2024290



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월04일
(11) 등록번호 10-2024290
(24) 등록일자 2019년09월17일

- (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) *H01L 21/335* (2006.01)
(21) 출원번호 10-2012-0125842
(22) 출원일자 2012년11월08일
 심사청구일자 2017년10월30일
(65) 공개번호 10-2014-0059410
(43) 공개일자 2014년05월16일
(56) 선행기술조사문헌

Subramanian ARULKUMARAN et al., 'On the Effects of Gate-Recess Etching in Current-Collapse of Different Cap Layers Grown AlGaN/GaN High-Electron-Mobility Transistors', Jpn. J. Appl. Phys., Vol. 45(8), L220-223 (2006.02.17.)*

독일 특허공보 DE102010016993(2011.11.24.)*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 엘지이노텍 주식회사
 서울특별시 중구 후암로 98 (남대문로5가)
(72) 발명자
 오정훈
 서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)
(74) 대리인
 박영복

전체 청구항 수 : 총 4 항

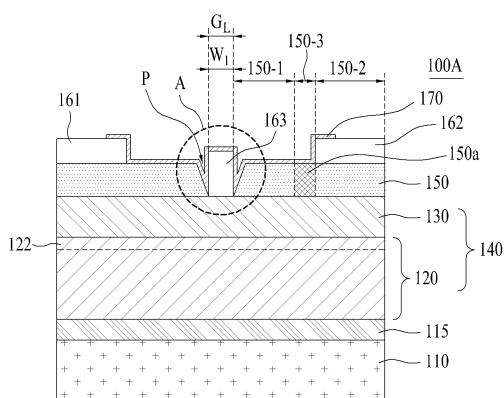
심사관 : 안경민

(54) 발명의 명칭 전력 반도체 소자

(57) 요약

일실시예에 따른 전력 반도체 소자는 기판; 상기 기판 상에 위치하는 베퍼층; 상기 베퍼층 상에 위치하는 배리어층; 상기 배리어층 상에 위치하며 상기 배리어층의 일부를 노출시키는 오픈 영역을 포함하는 캡층; 상기 캡층의 오픈 영역을 통해 상기 배리어층 상에 위치하는 게이트 전극; 및 상기 캡층 상에서 상기 게이트 전극을 사이에 두고 서로 이격되어 위치하는 소스 전극 및 드레인 전극;을 포함하고, 상기 캡층은 상기 게이트 전극과 상기 드레인 전극 사이에 이온주입영역을 포함한다.

대 표 도 - 도3



명세서

청구범위

청구항 1

기판;

상기 기판 상에 위치하는 벼페충;

상기 벼페충 상에 위치하는 배리어충;

상기 배리어충 상에 위치하며 상기 배리어충의 일부를 노출시키는 오픈 영역을 포함하며, 상기 배리어충 상에 위치하는 캡충;

상기 배리어충의 오픈 영역에 위치하는 게이트 전극;

상기 캡충 상에서 상기 게이트 전극을 사이에 두고 서로 이격되어 위치하는 소스 전극 및 드레인 전극;

상기 드레인 전극에 인접하는 상기 캡충과 상기 배리어충의 일부까지 연장되어 위치하는 이온주입영역; 및

상기 캡충, 상기 게이트 전극, 상기 소스 전극의 일부, 상기 드레인 전극의 일부를 덮는 패시베이션충을 포함하며,

상기 캡충은

상기 게이트 전극에 인접한 제1 영역;

상기 드레인 전극에 인접한 제2 영역; 및

상기 제1 영역과 상기 제2 영역 사이의 제3 영역을 포함하고,

상기 제2 영역의 상부에는 상기 드레인 전극이 위치하고,

상기 제1 영역과 상기 제3 영역의 상부에는 상기 패시베이션충이 위치하되,

상기 캡충에서의 상기 이온주입영역은 상기 제1 영역과 상기 제2 영역을 전기적으로 분리하는 상기 제3 영역에 위치하는 전력 반도체 소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 배리어충과 접하는 상기 벼페충의 계면에 채널충이 위치하고, 상기 이온주입영역은 상기 배리어충의 적어도 일부를 사이에 두고 상기 채널충과 이격된 전력 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 오픈 영역의 폭은 상기 게이트 전극의 길이와 대응되고,

상기 게이트 전극은 상기 배리어충과 연결된 부분의 폭이 배리어충과 연결된 부분과 반대쪽 부분의 폭보다 좁은 전력 반도체 소자.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 배리어층은 리세스 영역을 갖고, 상기 게이트 전극은 상기 리세스 영역에 위치하며, 상기 리세스 영역은 상기 캡층의 오픈 영역과 대응하여 위치하는 전력 반도체 소자.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명**기술 분야**

[0001]

실시예는 우수한 DC 및 RF 특성을 갖는 전력 반도체 소자에 관한 것이다.

배경 기술

[0002]

전력 반도체 소자로서, 쇼트키 장벽 다이오드(Schottky barrier diode), 금속 반도체 전계 효과 트랜지스터(metal semiconductor field effect transistor), 고속 전자 이동도 트랜지스터(HEMT:High Electron Mobility Transistor) 등이 있다.

[0003]

고속 전자 이동도 트랜지스터(High Electron Mobility Transistor: HEMT)는 우수한 전자 이동도와 낮은 잡음 특성 등의 장점으로 인하여 밀리미터파 대역의 초고주파용 집적 회로 소자로서 널리 응용된다. HEMT가 사용되는 응용 시스템들이 매우 복잡하고 정교해짐에 따라 좀 더 우수한 소자 특성, 특히 우수한 RF(Radio Frequency) 특성이 요구되어지고 있다.

[0004]

최대 공진 주파수(f_{max})는 HEMT의 RF 특성을 평가하는데 있어 매우 중요한 요소인데, 최대 공진 주파수(f_{max})는 소신호 파라미터를 최적화하고 DC 특성을 개선함으로써 향상될 수 있다. HEMT의 DC 특성과 소신호 파라미터에 영향을 주는 많은 변수들이 있으나, 그 중에서도 가장 중요한 요소인 게이트-리세스 구조를 중심으로 설명한다.

[0005]

도 1은 게이트 전극이 위치하는 리세스 영역의 폭이 넓은 제1 게이트-리세스 구조를 갖는 종래의 HEMT 소자를 간략히 도시한 측단면도이고, 도 2는 게이트 전극이 위치하는 리세스 영역의 폭이 좁은 제2 게이트-리세스 구조를 갖는 종래의 HEMT 소자를 간략히 도시한 측단면도이다.

[0006]

도 1 및 도 2를 참조하면, 종래의 HEMT 소자(1A, 1B)는 기판(10), 기판(10) 상에 베퍼층(20), 베퍼층(20) 상에 배리어층(30), 및 상기 배리어층(30) 상에 캡층(40)을 포함한다.

[0007]

종래의 HEMT 소자(1A, 1B)는 캡층(40)의 일부가 제거되어 배리어층(30)을 노출시키는 리세스 영역(R_1, R_2)을 포함하며, 상기 리세스 영역(R_1, R_2)에 게이트 전극(53)이 위치하고, 캡층(40) 상에 소스 전극(51)과 드레인 전극

(52)이 위치한다.

[0008] 도 1에는 소스 전극(51)과 드레인 전극(52)이 존재하는 부분을 제외하고 캡층(40)이 모두 제거된 제1 게이트-리세스 구조(wide-recess)를 갖는 HEMT 소자(1A)가 개시되며, 도 2에는 게이트 전극(53)의 바닥 영역과 대응하는 부분의 캡층(40)만이 제거된 제2 게이트-리세스 구조(narrow-recess)를 갖는 HEMT 소자(1B)가 개시된다.

[0009] 제2 게이트-리세스 구조를 갖는 HEMT 소자(1B)는 제1 게이트 리세스 구조를 갖는 HEMT 소자(1A)에 비해 우수한 최대 드레인 전류($I_{dss,max}$)와 최대 트랜스 컨덕턴스($g_{m,max}$) 값을 가진다. 그 이유는, 제1 게이트 리세스 구조를 갖는 HEMT 소자(1A)에서, 리세스 영역(R_1)에 의해 노출된 배리어층(30)의 표면에 존재하는 자유 표면 준위(free surface state, X표시, 40a)가 음으로 하전된 표면 준위(negatively charged surface state)를 나타내면서, 채널(21) 내부의 전계를 변화시킴으로써 시트 캐리어 농도(sheet carrier density, n_s)를 감소시키기 때문이다.

[0010] 한편, 제2 게이트-리세스 구조를 갖는 HEMT 소자(1B)는 우수한 DC 특성에도 불구하고 제1 게이트 리세스 구조를 갖는 HEMT 소자(1A)가 보여주는 RF 특성에 비해 개선된 RF 특성을 보여주지 못한다. 그 이유는, 제2 게이트-리세스 구조를 갖는 HEMT 소자(1B)에서, 전도성을 갖는 캡층(40)이 게이트 전극(53) 부근에까지 존재하기 때문에 실질적인 게이트-드레인 전극 간의 거리가 감소하여 게이트와 드레인 사이의 커페시턴스(C_{gd})가 매우 커지기 때문이다. 게이트와 드레인 사이의 커페시턴스(C_{gd}) 이외의 소신호 파라미터는 RF 특성에 미치는 영향이 비교적 적으므로 C_{gd} 에만 중점을 두어 설명하였다.

[0011] 따라서, 우수한 DC 특성을 나타내는 동시에 우수한 RF 특성을 갖는 전력 반도체 소자가 요구된다.

발명의 내용

해결하려는 과제

[0012] 실시예는 우수한 DC 및 RF 특성을 갖는 전력 반도체 소자를 제공하고자 한다.

과제의 해결 수단

[0013] 일실시예에 따른 전력 반도체 소자는 기판; 상기 기판 상에 위치하는 버퍼층; 상기 버퍼층 상에 위치하는 배리어층; 상기 배리어층 상에 위치하며 상기 배리어층의 일부를 노출시키는 오픈 영역을 포함하는 캡층; 상기 캡층의 오픈 영역을 통해 상기 배리어층 상에 위치하는 게이트 전극; 및 상기 캡층 상에서 상기 게이트 전극을 사이에 두고 서로 이격되어 위치하는 소스 전극 및 드레인 전극;을 포함하고, 상기 캡층은 상기 게이트 전극과 상기 드레인 전극 사이에 이온주입영역을 포함한다.

[0014] 상기 이온주입영역은 상기 드레인 전극에 인접하여 위치할 수 있다.

[0015] 상기 이온주입영역은 상기 캡층에서부터 상기 배리어층의 일부까지 연장되어 위치할 수 있다.

[0016] 상기 배리어층과 접하는 상기 버퍼층의 계면에 채널층이 위치하고, 상기 이온주입영역은 상기 배리어층의 적어도 일부를 사이에 두고 상기 채널층과 이격될 수 있다.

[0017] 상기 오픈 영역의 폭은 상기 게이트 전극의 길이와 대응될 수 있다.

[0018] 상기 게이트 전극은 상기 배리어층과 연결된 부분의 폭이 배리어층과 연결된 부분과 반대쪽 부분의 폭보다 좁을 수 있다.

[0019] 상기 배리어층은 리세스 영역을 갖고, 상기 게이트 전극은 상기 리세스 영역에 위치할 수 있다.

[0020] 상기 리세스 영역은 상기 캡층의 오픈 영역과 대응하여 위치할 수 있다.

[0021] 상기 캡층의 상부에 패시베이션층이 위치할 수 있다.

[0022] 다른 실시예에 따른 전력 반도체 소자는 소스 전극, 드레인 전극, 및 상기 소스 전극과 상기 드레인 전극 사이의 게이트 전극; 상기 소스 전극 및 상기 드레인 전극의 하부에 위치하며, 상기 게이트 전극의 길이에 대응하는 폭을 갖는 오픈 영역을 포함하는 캡층; 상기 캡층의 하부에 위치하며 상기 오픈 영역을 통해 상기 게이트 전극과 연결된 버퍼층; 및 상기 버퍼층의 하부에 위치하는 배리어층;을 포함하고, 상기 캡층은 상기 게이트 전극에 인접한 제1 영역, 상기 드레인 전극에 인접한 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이의 제3 영역을

포함하며, 상기 제3 영역은 상기 제1 영역과 상기 제2 영역을 전기적으로 분리시키고, 상기 제1 영역, 상기 제3 영역 및 상기 제2 영역은 상기 게이트 전극에서 상기 드레인 전극의 방향으로 순차적으로 배열된다.

[0023] 상기 제3 영역은 이온주입영역일 수 있다.

[0024] 상기 제2 영역의 폭은 상기 제3 영역은 일측면이 상기 게이트 전극 쪽에 위치하는 상기 드레인 전극의 선단과 동일선 상에 위치할 수 있다.

발명의 효과

[0025] 실시예에 따르면, 우수한 DC 특성을 나타내는 동시에 우수한 RF 특성을 갖는 전력 반도체 소자를 제작할 수 있다.

도면의 간단한 설명

[0026] 도 1은 게이트 전극이 위치하는 리세스 영역의 폭이 넓은 제1 게이트-리세스 구조를 갖는 종래의 HEMT 소자를 간략히 도시한 측단면도.

도 2는 게이트 전극이 위치하는 리세스 영역의 폭이 좁은 제2 게이트-리세스 구조를 갖는 종래의 HEMT 소자를 간략히 도시한 측단면도.

도 3은 제1 실시예에 따른 전력 반도체 소자의 측단면도.

도 4는 제2 실시예에 따른 전력 반도체 소자의 측단면도.

도 5 및 도 6은 도 3 또는 도 4의 A 부분을 확대하여 도시한 도면.

도 7 내지 도 9는 상술한 실시예들에 따른 전력 반도체 소자를 제작하는 방법의 일실시예를 나타낸 도면.

도 10은 실시예에 따른 전력 반도체 소자의 RF 특성을 설명하기 위한 그래프.

도 11은 실시예에 따른 전력 반도체 소자의 DC 특성을 설명하기 위하여 $I_{dss,max}$ 와 $G_{m,max}$ 를 나타낸 그래프.

도 12는 실시예에 따른 전력 반도체 소자의 RF 특성을 설명하기 위하여 F_T 와 F_{max} 를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명을 구체적으로 설명하기 위해 실시예를 들어 설명하고, 발명에 대한 이해를 돋기 위해 첨부도면을 참조하여 상세하게 설명하기로 한다. 그러나, 본 발명에 따른 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되지 않아야 한다. 본 발명의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다.

[0028] 본 발명에 따른 실시 예의 설명에 있어서, 각 element의 "상(위)" 또는 "하(아래)"(on or under)에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두개의 element가 서로 직접(directly) 접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위)" 또는 "하(아래)"(on or under)로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0029] 도면에서 각종의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.

[0030] 도 3은 제1 실시예에 따른 전력 반도체 소자의 측단면도이다.

[0031] 도 3을 참조하면, 제1 실시예에 따른 전력 반도체 소자(100A)는 기판(110), 베퍼층(120), 배리어층(130), 캡층(150), 소스 전극(161), 드레인 전극(162) 및 게이트 전극(163)을 포함한다.

[0032] 기판(110)은 사파이어 기판(Al_2O_3), 실리콘 기판(Si), 실리콘카바이드 기판(SiC), 갈륨나이트라이드 기판(GaN) 또는 갈륨아세나이드 기판(GaAs)일 수 있으나, 이에 한정하지 않는다.

[0033] 기판(110) 상에 베퍼층(120) 및 배리어층(130)을 포함하는 이종 접합 구조물(140)이 위치한다.

[0034] 기판(110) 위에 베퍼층(120)을 성장시키기 전에, 기판(110)과 베퍼층(120) 물질 사이의 격자상수 차이를 완화하

기 위하여 전이층(115)을 먼저 성장시킬 수 있다. 전이층(115)은 예를 들어, AlN, AlGaN의 단일층, 또는 AlN/AlGaN, AlGaN /AlGaN의 다층 구조로 이루어질 수 있으나, 이에 한정하지 않는다.

[0035] 전이층(115) 상에 베퍼층(120)과 배리어층(130)의 이종 접합 구조물(140)을 성장시킨다.

[0036] 베퍼층(120)과 배리어층(130)은 분극률과 에너지 밴드갭이 서로 다른 반도체 물질층으로 형성된다. 베퍼층(120)의 분극률 및 에너지 밴드갭은 배리어층(130)의 분극률 및 에너지 밴드갭보다 작을 수 있다.

[0037] 베퍼층(120)은 언도프트(undoped) 또는 도프트(doped) 반도체층일 수 있으며, 예를 들어, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, GaAs, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 적어도 어느 하나를 포함할 수 있다.

[0038] 배리어층(130)은 언도프트 또는 도프트 반도체층일 수 있으며, 예를 들어, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, GaAs, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 적어도 어느 하나를 포함할 수 있다.

[0039] 베퍼층(120)과 배리어층(130)의 에너지 밴드갭의 차이로 인하여 접합 계면에서 에너지 밴드의 불연속이 발생하고, 베퍼층(120)과 배리어층(130)의 격자상수 차이에 의해 분극이 발생하여, 2차원 전자ガス(2-Dimensional Electron Gas: 2-DEG)층이 형성된다. 상기 2차원 전자ガ스(2-DEG)층은 배리어층(130)과 접하는 베퍼층(120)의 계면에 형성되며 채널층(122)의 역할을 할 수 있다.

[0040] 배리어층(130) 상에 캡층(150)이 위치한다.

[0041] 캡층(150)은 상부에 배치되는 소스 전극(161)과 드레인 전극(162)의 오믹 접촉을 개선하기 위한 것으로, n-타입으로 도핑될 수 있다. 캡층(150)은 고농도로 도핑된 GaAs 또는 GaN를 포함할 수 있다.

[0042] 캡층(150)은 배리어층(130)의 일부를 노출시키는 오픈 영역(P)을 포함한다. 오픈 영역(P)을 통해 배리어층(130) 상에 게이트 전극(163)이 위치하고, 오픈되지 않은 캡층(150)의 상부에 게이트 전극(163)을 사이에 두고 서로 이격되어 소스 전극(161)과 드레인 전극(162)이 위치한다.

[0043] 도 3에는 오픈 영역(P)을 형성하는 캡층(150)의 측벽이 경사면인 것으로 도시하였으나, 오픈 영역(P) 형성시 사용되는 식각 방법에 따라 수직면이거나 경사면일 수 있으며, 이에 제한을 두지 않는다.

[0044] 소스 전극(161)과 드레인 전극(162)은 오믹 접촉을 하며, 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 구리(Cu), 금(Au) 중 적어도 어느 하나를 포함하여 단층 또는 다층 구조로 형성될 수 있으나, 이에 한정하지 않는다. 소스 전극(161)과 드레인 전극(162)의 오믹 접촉 특성을 개선하기 위하여, 소스 전극(161)과 드레인 전극(162)의 하부에 위치하는 배리어층(130)과 베퍼층(120) 부분을 고농도로 도핑할 수도 있다.

[0045] 게이트 전극(163)은 쇼트키 접촉을 하며, 백금(Pt), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 팔라듐(Pd), 텉스텐(W), 니켈(Ni), 이리듐(Ir) 또는 오스뮴(Os) 중 적어도 어느 하나를 포함하여 단층 또는 다층 구조로 형성될 수 있으나, 이에 한정하지 않는다.

[0046] 캡층(150)의 오픈 영역(P)을 통해 게이트 전극(163)과 배리어층(130)이 구조적으로 연결된다.

[0047] 오픈 영역(P)의 폭(W_1)은 게이트 전극(163)의 길이(Gate Length: G_L)와 대응될 수 있다. 도 3에는 일 예로서 오픈 영역(P)의 폭(W_1)이 게이트 전극(163)의 길이(G_L)와 동일한 것으로 도시하였으나, 공정 마진을 위해 오픈 영역(P)의 폭(W_1)이 게이트 전극(163)의 길이(G_L)보다 약간 넓을 수도 있다.

[0048] 배리어층(130)의 상면은 상기 오픈 영역(P)을 통해 노출되는 부분을 제외하고는 캡층(150)에 의해 커버되며, 오픈 영역(P)에 의해 노출된 부분은 게이트 전극(163)에 의해 커버될 수 있다.

[0049] 캡층(150)은 게이트 전극(163)과 드레인 전극(162) 사이에 이온주입영역(Ion Implantation Region, 150a)을 포함한다.

[0050] 도 3에는 이온주입영역(150a)의 일측면이 게이트 전극(163) 쪽에 위치하는 드레인 전극(162)의 선단과 동일선상에 위치하는 것으로 도시하였으나, 이는 일 예시에 불과하며, 이온주입영역(150a)은 게이트 전극(163)과 드레인 전극(162) 사이에 위치하되 실시예에 따라 드레인 전극(162)에 인접하여 위치할 수 있다.

[0051] 이온주입영역(150a)은 게이트 전극(163)과 이온주입영역(150a) 사이의 캡층(150) 부분과, 이온주입영역(150a)과 드레인 전극(162) 사이의 캡층(150) 부분을 전기적으로 분리하는 역할을 한다.

- [0052] 다시 설명하면, 캡층(150)은 게이트 전극(163)에 인접한 제1 영역(150-1), 드레인 전극(162)에 인접한 제2 영역(150-2) 및 상기 제1 영역(150-1)과 상기 제2 영역(150-2) 사이의 제3 영역(150-3)을 포함하고, 상기 제3 영역(150-3)은 제1 영역(150-1)과 제2 영역(150-2)을 전기적으로 분리한다.
- [0053] 캡층(150)의 제3 영역(150-3)은 이온주입영역(150a)일 수 있다.
- [0054] 캡층(150)이 제1 도전형 타입이므로, 이온주입영역(150a)에 주입되는 이온은 제2 도전형 타입의 이온일 수 있다. 일 예로서, 캡층(150)이 n-타입일 때 이온주입영역(150a)에는 p-타입의 도편트를 주입하여 캡층(150)을 전기적으로 개방할 수 있으며, 일 예로서, Mg, Zn, Ca, Sr, Ba 등이 주입될 수 있다. 또는, 이온주입영역(150a)에 Fe, Mg, Ar 등의 도편트를 주입하여 캡층(150)의 결정성을 파괴함으로써 캡층(150)을 전기적으로 개방할 수도 있다.
- [0055] 캡층(150)의 제1 영역(150-1), 제3 영역(150-3) 및 제2 영역(150-2)은 게이트 전극(163)에서 드레인 전극(162)의 방향으로 순차적으로 배열된다.
- [0056] 상기 제3 영역(150-3)의 일측면은 게이트 전극(163) 쪽의 드레인 전극(162)의 선단과 동일선 상에 위치할 수 있다. 이 경우, 제2 영역(150-2)은 드레인 전극(162)의 폭과 대응하여 위치할 수 있다.
- [0057] 실시예에 따르면, 게이트 전극(163)이 위치하는 오픈 영역(P)을 제외하고 그 이외의 배리어층(130)은 캡층(150)에 의해 커버되므로 도 2와 관련하여 상술한 구조와 유사하게 우수한 DC 특성을 나타낸다. 또한, 게이트 전극(163)과 드레인 전극(162) 사이의 캡층(150)에 이온주입영역(150a)을 형성함으로써 실질적인 게이트-드레인 전극 간의 거리가 증가하여 게이트와 드레인 사이의 커페시턴스(C_{gd})가 감소하므로, 도 2와 관련하여 상술한 구조와 달리, 우수한 DC 특성과 우수한 RF 특성을 동시에 가질 수 있다. 이온주입영역(150a)이 드레인 전극(162)에 인접하여 위치하면 그만큼 실질적인 게이트-드레인 전극 간의 거리가 증가하므로 RF 특성이 더욱 더 향상될 수 있다.
- [0058] 캡층(150)의 상부에는 패시베이션층(170)이 위치할 수 있다. 패시베이션층(170)은 물리적 충격이나 화학적 오염으로부터 소자를 보호하며, 실리콘 질화물 또는 실리콘 산화물을 포함하여 이루어질 수 있다.
- [0059] 패시베이션층(170)으로 덮이지 않은 소스 전극(161)과 드레인 전극(170)의 부분은 그라운드와 외부 전원에 각각 연결되며, 도시하지는 않았으나 게이트 전극(163)과 연결된 게이트 패드(미도시)가 외부 전원에 연결될 수 있다.
- [0060] 도 4는 제2 실시예에 따른 전력 반도체 소자의 측단면도이다. 상술한 실시예들과 중복되는 내용은 다시 설명하지 않으며, 이하에서는 차이점을 중심으로 설명한다.
- [0061] 도 4를 참조하면, 제2 실시예에 따른 전력 반도체 소자(100B)는 기판(110), 베퍼층(120), 배리어층(130), 캡층(150), 소스 전극(161), 드레인 전극(162) 및 게이트 전극(163)을 포함한다.
- [0062] 베퍼층(120)과 배리어층(130)의 에너지 밴드갭의 차이로 인해 접합 계면에서 에너지 밴드의 불연속이 발생하고, 베퍼층(120)과 배리어층(130)의 격자상수 차이에 의해 분극이 발생하여, 2차원 전자ガス(2-Dimensional Electron Gas: 2-DEG)층이 형성된다. 상기 2차원 전자ガ스(2-DEG)층은 배리어층(130)과 접하는 베퍼층(120)의 계면에 형성되며 채널층(122)의 역할을 할 수 있다.
- [0063] 캡층(150)은 배리어층(130)의 일부를 노출시키는 오픈 영역(P)을 포함한다. 오픈 영역(P)을 통해 배리어층(130) 상에 게이트 전극(163)이 위치하고, 오픈되지 않은 캡층(150)의 상부에 상기 게이트 전극(163)을 사이에 두고 서로 이격되어 소스 전극(161)과 드레인 전극(162)이 위치한다.
- [0064] 캡층(150)의 오픈 영역(P)을 통해 게이트 전극(163)과 배리어층(130)이 구조적으로 연결된다.
- [0065] 오픈 영역(P)의 폭(W_1)은 게이트 전극(163)의 길이(Gate Length: G_L)와 대응될 수 있다. 도 3에는 일 예로서 오픈 영역(P)의 폭(W_1)이 게이트 전극(163)의 길이(G_L)와 동일한 것으로 도시하였으나, 공정 마진을 위해 오픈 영역(P)의 폭(W_1)이 게이트 전극(163)의 길이(G_L)보다 약간 넓을 수도 있다.
- [0066] 캡층(150)은 게이트 전극(163)과 드레인 전극(162) 사이에 이온주입영역(150a)을 포함한다. 이온주입영역(150a)은 게이트 전극(163)과 드레인 전극(162) 사이에 위치하되 실시예에 따라 드레인 전극(162)에 인접하여 위치할 수 있다.

- [0067] 이온주입영역(150a)은 게이트 전극(163)과 이온주입영역(150a) 사이의 캡층(150) 부분과, 이온주입영역(150a)과 드레인 전극(162) 사이의 캡층(150) 부분을 전기적으로 분리하는 역할을 한다.
- [0068] 다시 설명하면, 캡층(150)은 게이트 전극(163)에 인접한 제1 영역(150-1), 드레인 전극(162)에 인접한 제2 영역(150-2) 및 상기 제1 영역(150-1)과 상기 제2 영역(150-2) 사이의 제3 영역(150-3)을 포함하고, 상기 제3 영역(150-3)은 제1 영역(150-1)과 제2 영역(150-2)을 전기적으로 분리한다.
- [0069] 캡층(150)의 제3 영역(150-3)은 이온주입영역(150a)일 수 있다.
- [0070] 캡층(150)이 제1 도전형 타입이므로, 이온주입영역(150a)에 주입되는 이온은 제2 도전형 타입의 이온일 수 있다. 일 예로서, 캡층(150)이 n-타입일 때 이온주입영역(150a)에는 p-타입의 도편트를 주입하여 캡층(150)을 전기적으로 개방할 수 있으며, 일 예로서, Mg, Zn, Ca, Sr, Ba 등이 주입될 수 있다. 또는, 이온주입영역(150a)에 Fe, Mg, Ar 등의 도편트를 주입하여 캡층(150)의 결정성을 파괴함으로써 캡층(150)을 전기적으로 개방할 수도 있다.
- [0071] 캡층(150)의 제1 영역(150-1), 제3 영역(150-3) 및 제2 영역(150-2)은 게이트 전극(163)에서 드레인 전극(162)의 방향으로 순차적으로 배열된다.
- [0072] 상기 제3 영역(150-3)의 일측면은 게이트 전극(163) 쪽의 드레인 전극(162)의 선단과 동일선 상에 위치할 수 있다. 이 경우, 제2 영역(150-2)은 드레인 전극(162)의 폭과 대응하여 위치할 수 있다.
- [0073] 이온주입영역(150a)은 캡층(150)에서부터 배리어층(130)의 일부까지 연장되어 위치할 수 있다.
- [0074] 이온주입영역(150a)이 채널층(122)에 영향을 주지 않아야 하므로, 이온주입영역(150a)은 배리어층(130)의 적어도 일부를 사이에 두고 채널층(122)과 이격된다. 따라서, 배리어층(130)의 일부까지 연장 형성된 이온주입영역(150a) 부분의 깊이(H_1)는 배리어층(130)의 높이(H_2)보다 작으며, 신뢰성을 위해, 배리어층(130) 높이(H_2)의 최대 70%까지 이온주입영역(150a)이 배리어층(130) 내부로 연장되어 형성될 수 있다.
- [0075] 배리어층(130)의 일부까지 연장 형성된 이온주입영역(150a)의 부분은 LDD(Lightly Doped Drain) 영역의 역할을 할 수 있다.
- [0076] 도 5 및 도 6은 도 3 또는 도 4의 A 부분을 확대하여 도시한 도면이다.
- [0077] 먼저, 도 5를 참조하면, 게이트 전극(163)은 배리어층(130)과 연결된 부분의 폭, 즉 게이트 길이(G_L)가 배리어층(130)과 연결된 부분과 반대쪽 부분의 폭(W_2)보다 좁을 수 있다. 예를 들어, 게이트 전극(163)은 T형 게이트 전극 또는 벼섯형 게이트 전극일 수 있다.
- [0078] 고속 반도체 소자는 게이트의 길이가 짧을수록 우수한 변조 동작 특성을 나타내지만, 게이트 길이의 감소는 게이트의 단면적을 줄여 게이트의 저항(R_g)이 높아진다. 따라서, T형 게이트 전극 또는 벼섯형 게이트 전극을 사용함으로써 게이트의 길이를 짧게 함과 동시에 단면적을 넓혀 저항(R_g)을 줄일 수 있다.
- [0079] 도 5에는 일 예로서, T형 게이트 전극(163)을 도시하였으나, 게이트의 길이(G_L)가 짧으면서 단면적이 넓은 그 밖의 다른 게이트 전극 구조를 사용할 수도 있다.
- [0080] 도 6을 참조하면, 배리어층(130)은 리세스 영역(130R)을 갖고, 상기 리세스 영역(130R)에 게이트 전극(163)이 위치할 수 있다.
- [0081] 리세스 영역(130R)은 캡층(150)과 접하는 배리어층(130)의 표면에서 베퍼층(120)의 방향으로 오목하게 형성되며, 캡층(150)의 오픈 영역(P)에 대응하여 형성된다.
- [0082] 리세스 영역(130R)이 형성된 부분의 배리어층(130)의 두께는 그 밖의 배리어층(130)의 두께보다 얕다. 배리어층(130)의 두께는 동작 모드를 결정하거나 핀치오프 전압을 제어하는데 있어서 매우 중요한 요소이다. 따라서, 리세스 영역(130R)의 깊이에 의해 배리어층(130)의 두께를 조절함으로써 소자의 특성을 조절할 수 있으며, 일반적으로 HEMT는 공핍 모드(Depletion Mode)로 동작하므로 리세스 영역(130R)을 형성하여 문턱 전압을 조절함으로써 증가 모드(Enhancement Mode)로 동작하는 전력 반도체 소자를 제작할 수도 있다.
- [0083] 도 7 내지 도 9는 상술한 실시예들에 따른 전력 반도체 소자를 제작하는 방법의 일실시예를 나타낸 도면이다. 이하에서, 도 7 내지 도 9를 참조하여, 전력 반도체 소자의 제작 과정을 설명한다.

- [0084] 먼저, 도 7을 참조하면, 기판(110) 상에 격자상수 부정합을 완화하기 위한 전이층(115)을 성장시킨 후, 베퍼층(120) 및 배리어층(130)을 포함하는 이종 접합 구조물(140)과 캡층(150)을 성장시킨다.
- [0085] 전이층(115), 베퍼층(120), 배리어층(130) 및 캡층(150)은 MOCVD(Metal Organic Chemical Vapor Deposition), MBE(Molecular Beam Epitaxy) 또는 VPE(Vapor Phase Epitaxy) 등의 방식으로 성장될 수 있으나, 이에 한정하지 않는다.
- [0086] 그리고, 인접한 전력 반도체 소자들 사이를 전기적으로 분리하기 위하여 메사 식각 공정을 수행한다. 도 3 및 도 4에서는 도면의 간소화를 위하여 메사 식각된 부분은 도시하지 않았다.
- [0087] 메사 식각 공정은 습식 식각 또는 건식 식각 방법을 사용하는데, GaN 기반의 이종 접합 구조의 경우, GaN의 높은 결합 에너지로 인하여 습식 식각 방법에 의해서는 식각률이 낮으므로 ICP-RIE, ECT 플라즈마 식각 등의 건식 식각 방법을 사용할 수 있다.
- [0088] 메사 식각 공정에 의해 소자들 사이가 전기적으로 분리되었으면, 캡층(150)의 상부에 소스 전극(161)과 드레인 전극(162)을 형성한다. 소스 전극(161)과 드레인 전극(162)은 포토 레지스트(PR)를 사용한 포토 리소그래피 공정 및 이빔 증착 공정(E-beam Evaporation)에 의해 형성될 수 있으나, 이에 제한을 두지 않는다.
- [0089] 그리고, 도 8을 참조하면, 에칭 공정에 의해 캡층(150)에 오픈 영역(P)을 형성한 후 게이트 전극(163)을 형성한다.
- [0090] 게이트 전극(163) 역시 포토 레지스트(PR)를 사용한 포토 리소그래피 공정 및 이빔 증착 공정(E-beam Evaporation)에 의해 형성될 수 있으며, T형 게이트 패턴을 형성하는 경우에는 예를 들어, PMMA/P(MMA-MMA)/PMMA의 3층 포토 레지스트 패턴을 사용할 수 있다.
- [0091] 게이트 전극(163)을 형성한 후, 게이트 전극(163)과 드레인 전극(162) 사이의 캡층(150) 부분에 이온주입영역(150a)을 형성한다.
- [0092] 이온주입영역(150a)은 해당 영역을 노출시키는 마스크 패턴을 형성한 후 이온 주입 가속기 등을 사용하여 화살표 방향으로 이온을 주입함으로써 형성할 수 있으며, 이온의 종류와 주입 에너지를 조절하여 이온주입영역(150a)의 깊이를 조절할 수 있다.
- [0093] 그리고, 도 9를 참조하면, 그라운드 또는 외부 전원과의 연결을 위한 부분을 제외하고, 캡층(150)의 상부와 메사 식각에 의해 노출된 이종 접합 구조물(140)의 측면에 패시베이션층(170)을 형성한다.
- [0094] 상술한 전력 반도체 소자의 제작 방법은 일 예시에 불과하며, 세부적인 공정의 순서나 방법 등은 실시예에 따라 얼마든지 달라질 수 있다.
- [0095] 도 10은 실시예에 따른 전력 반도체 소자의 RF 특성을 설명하기 위한 그래프이다.
- [0096] 도 10을 참조하면, 전력 반도체 소자의 소스 전극에서부터 게이트 전극 및 드레인 전극까지의 위치에 따른 전계의 크기가 나타나 있으며, 비교예 1은 도 1과 관련하여 상술한 바와 같은 제1 게이트-리세스 구조(wide-recess)를 갖는 종래의 HEMT 소자이고, 비교예 2는 도 2와 관련하여 상술한 바와 같은 제2 게이트-리세스 구조(narrow-recess)를 갖는 종래의 HEMT 소자이다.
- [0097] 비교예 1을 보면, 게이트 전극과 드레인 전극 사이의 전체 영역에 걸쳐 전계가 선형적으로 증가함에 반하여, 비교예 2를 보면, 게이트 전극의 인접 영역에서 전계가 급속히 증가한 후 포화됨을 확인할 수 있다.
- [0098] 비교예 2와 같은 전계 프로파일은 게이트-드레인 전극 간의 실질적인 거리를 감소시키고, 이로 인해 C_{gd} 값이 증가된다. C_{gd} 값의 증가는 최대 공진 주파수(F_{max}) 값을 감소시켜 RF 특성의 저하를 초래한다.
- [0099] 실시예의 경우를 보면, 캡층이 게이트 전극의 부근에까지 형성되어 있으나 게이트 전극과 드레인 전극 사이의 이온주입영역에 의해 실질적인 게이트-드레인 전극 간의 거리가 증가하여 C_{gd} 값이 감소하면서, 비교예 1의 장점 을 취하고 있으며, 따라서 우수한 RF 특성을 나타낼 수 있다.
- [0100] 도 11은 실시예에 따른 전력 반도체 소자의 DC 특성을 설명하기 위하여 $I_{dss,max}$ 와 $G_{m,max}$ 를 나타낸 그래프이고, 도 12는 실시예에 따른 전력 반도체 소자의 RF 특성을 설명하기 위하여 F_T 와 F_{max} 를 나타낸 그래프이다.
- [0101] 비교예 1은 도 1과 관련하여 상술한 바와 같은 제1 게이트-리세스 구조(wide-recess)를 갖는 종래의 HEMT 소자

이고, 비교예 2는 도 2와 관련하여 상술한 바와 같은 제2 게이트-리세스 구조(narrow-recess)를 갖는 종래의 HEMT 소자이다.

[0102] 도 10 및 도 11을 참조하면, 실시예에 따른 전력 반도체 소자는 높은 드레인 전류($I_{dss,max}$)와 트랜스 컨덕턴스 ($G_{m,max}$) 값을 가지는 것으로 보아 비교예 2의 장점을 취하여 우수한 DC 특성을 나타내는 것을 알 수 있으며, 높은 차단 주파수(F_T)와 최대 공진 주파수(F_{max}) 값을 가지는 것으로 보아 비교예 1의 장점을 취하여 우수한 RF 특성을 나타내는 것을 알 수 있다. 특히, 도 11을 참조하면 RF 특성이 비교예 1보다 더 개선되었다는 것을 확인할 수 있다.

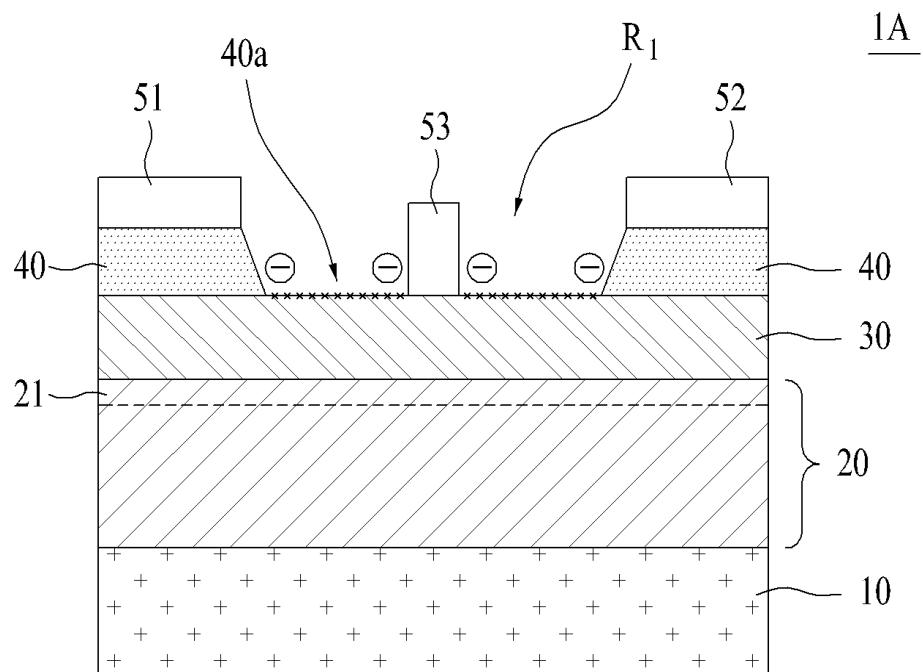
[0103] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

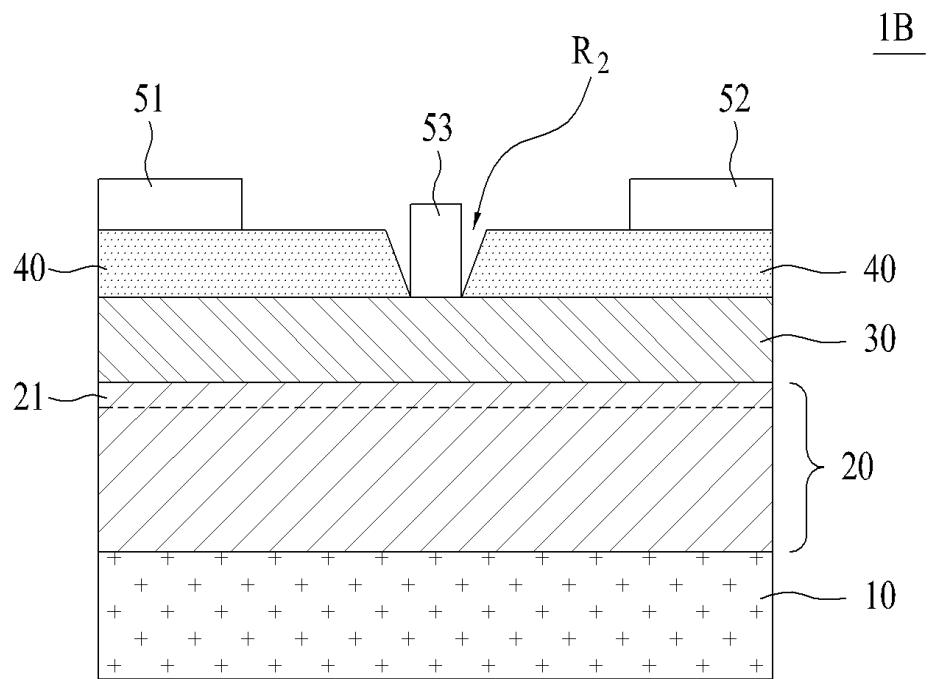
100A, 100B: 전력 반도체 소자	110: 기판
115: 전이층	120: 베포층
130: 배리어층	140: 이종 접합 구조
150: 캡층	150a: 이온 주입 영역
161: 소스 전극	162: 드레인 전극
163: 게이트 전극	170: 패시베이션층

도면

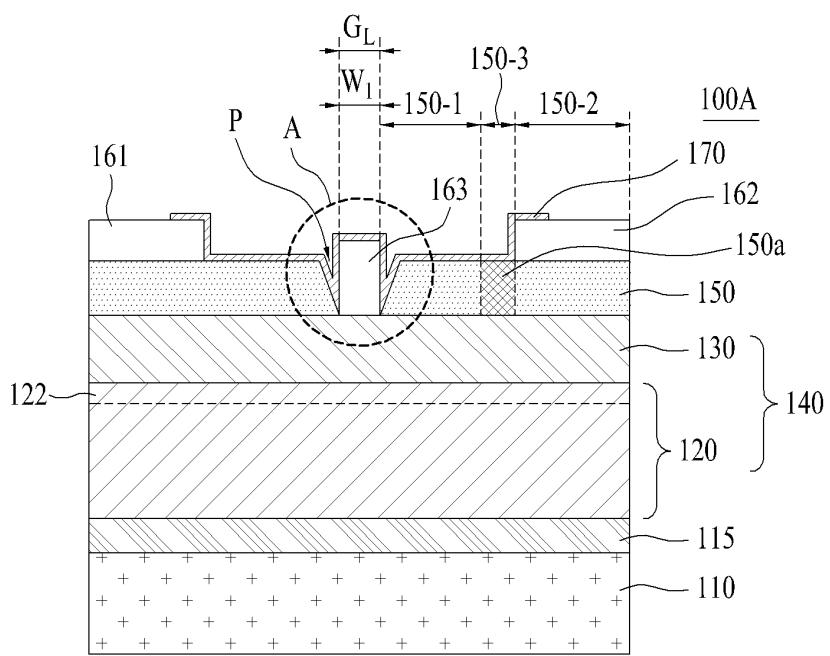
도면1



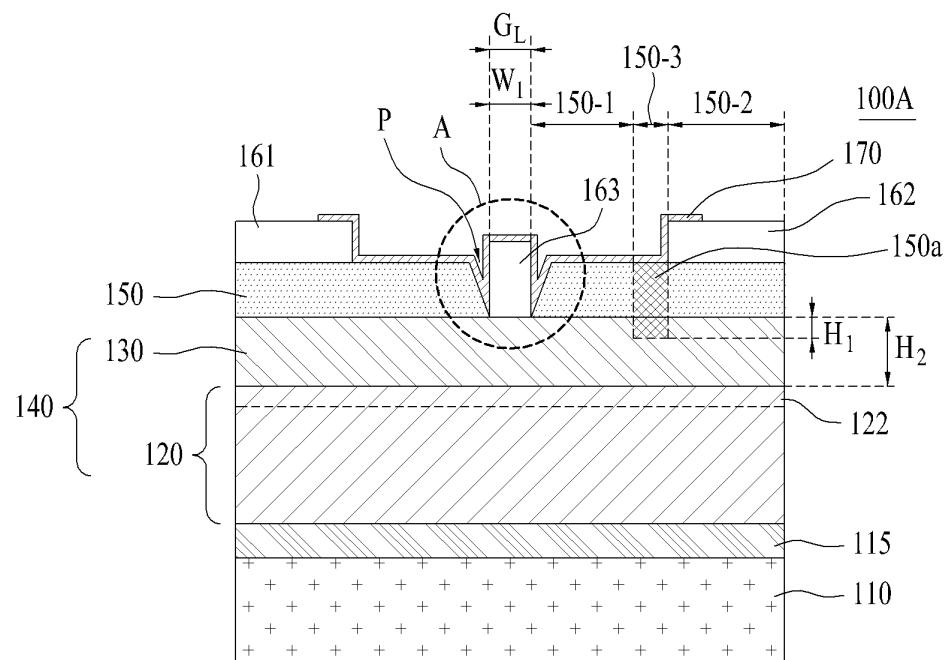
도면2



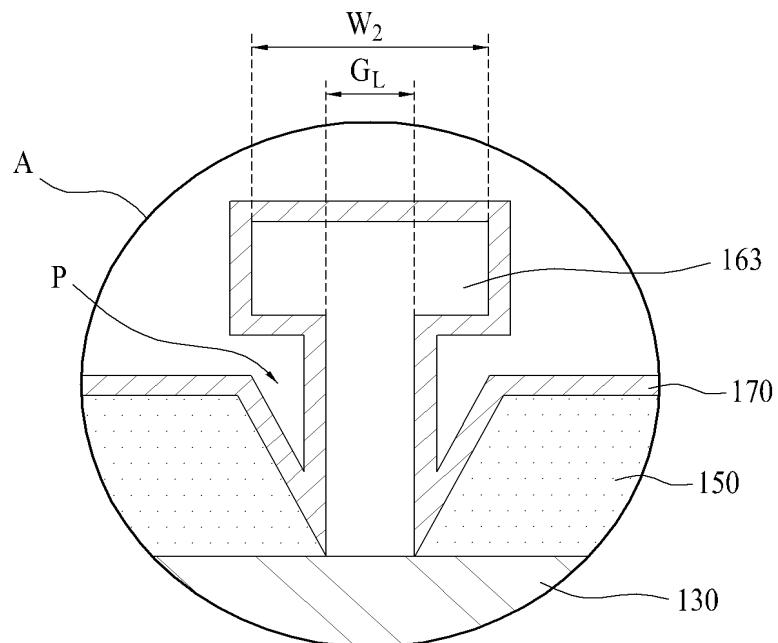
도면3



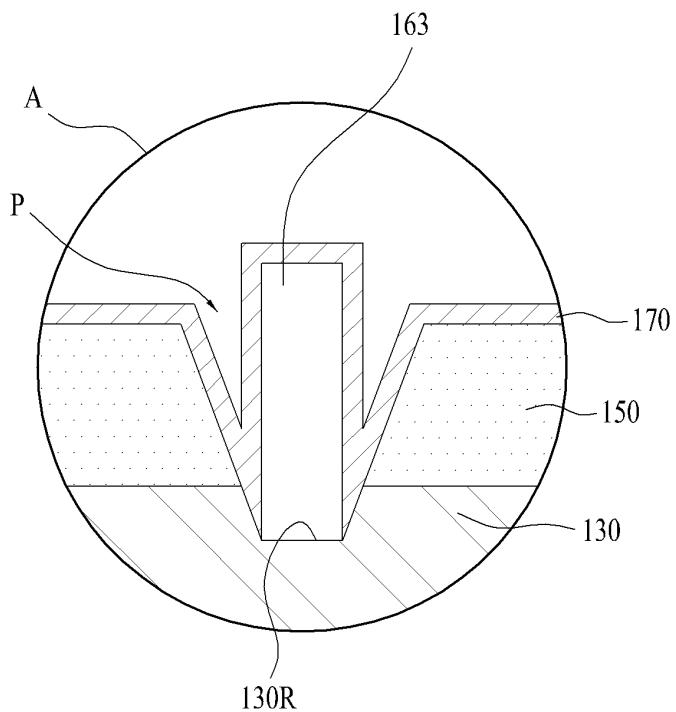
도면4



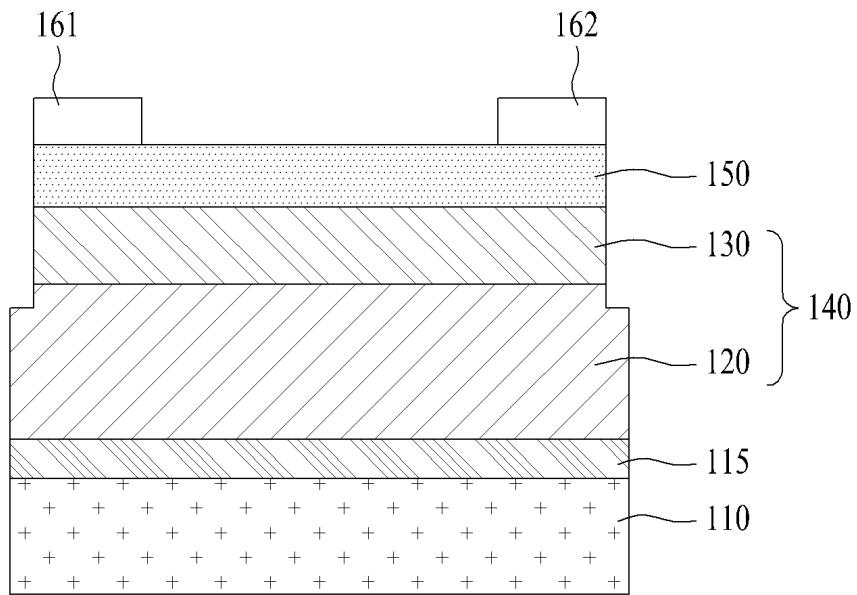
도면5



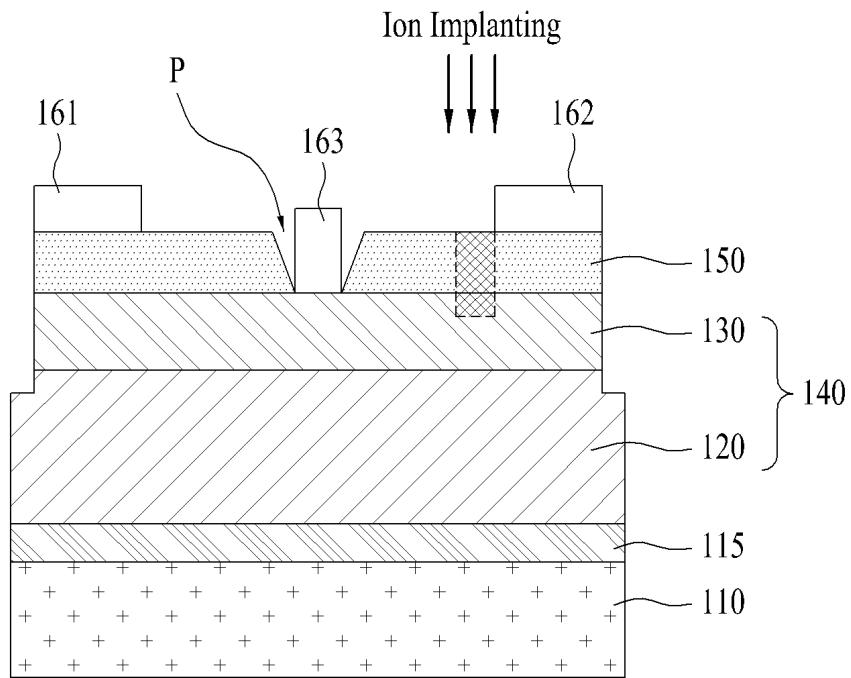
도면6



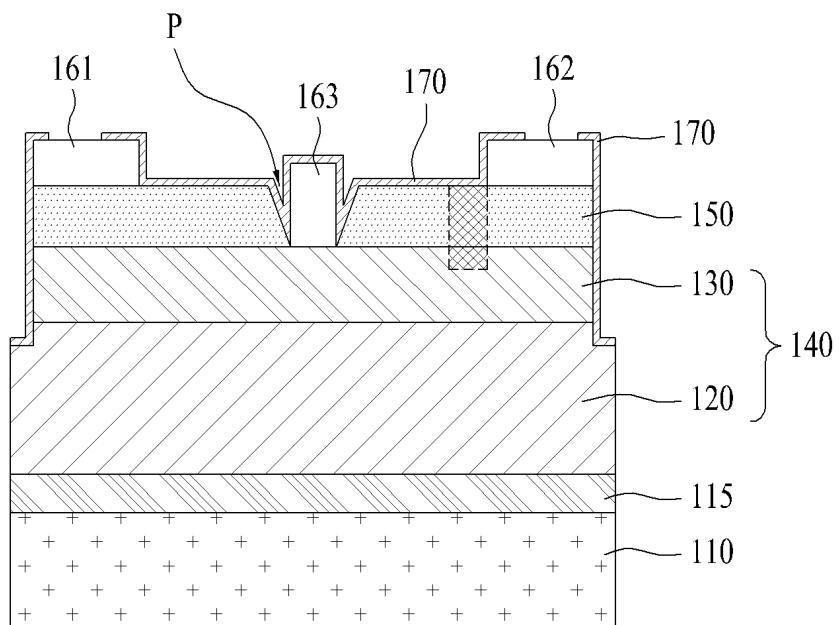
도면7



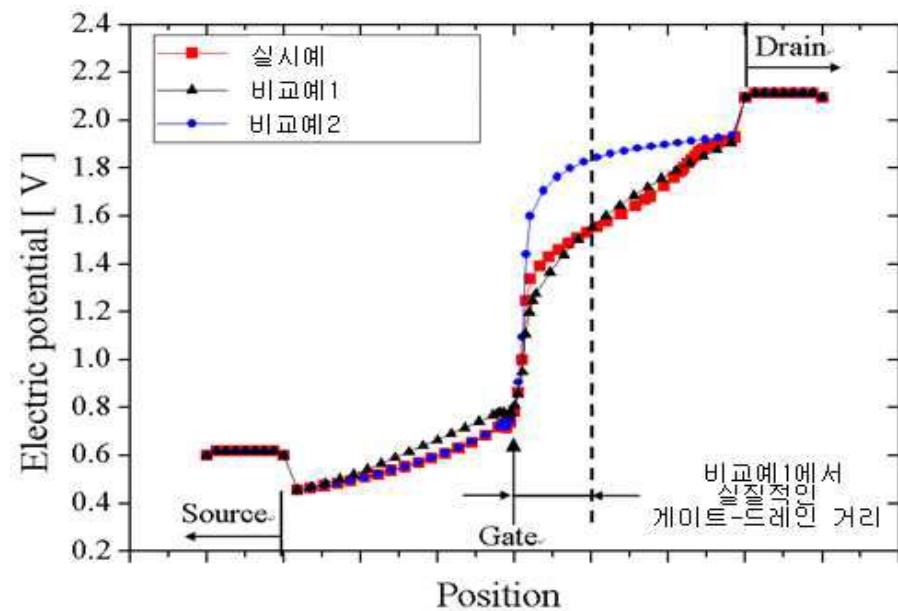
도면8



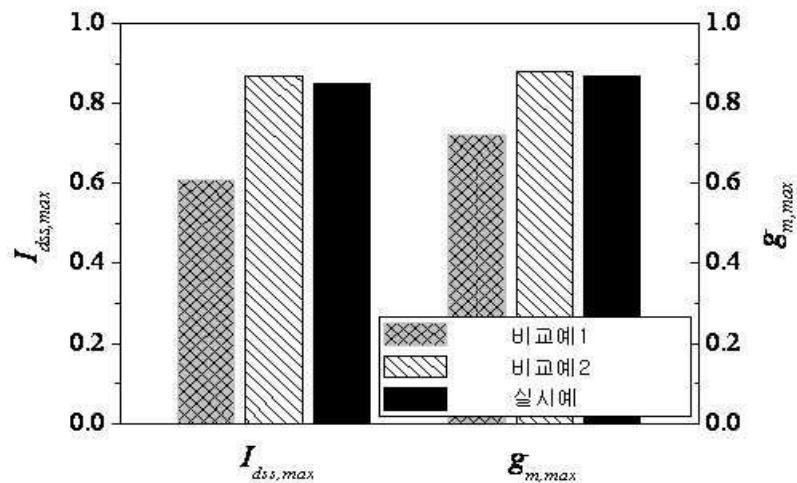
도면9



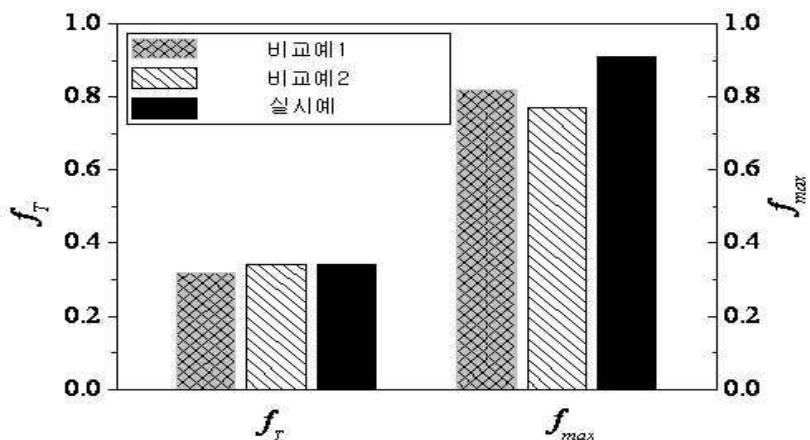
도면10



도면11



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1, 줄16

【변경전】

상기 제3 영역을

【변경후】

제3 영역을