

發明專利說明書

200414542

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92123562 92123562

※ 申請日期：92/08/27

※IPC 分類：H01L 21/772

壹、發明名稱：(中文/英文)

(中文)：半導體裝置

(英文)：Semiconductor Device

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

(中文)：瑞薩科技股份有限公司

(英文)：Renesas Technology Corp. (株式会社ルネサステクノロジ)

代表人：(中文/英文)

伊藤達 / Satoru ITO

住居所或營業所地址：(中文/英文)

(中文)：日本國東京都千代田區丸の内二丁目 4 番 1 號

(英文)：4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-6334 JAPAN

國 籍：(中文/英文)

參、發明人：(共 1 人)

姓 名：(中文/英文)

一法師隆志/Takashi IPPOSHI (一法師隆志)

住居所地址：(中文/英文)

(中文)：日本國東京都千代田區丸の内二丁目 4 番 1 號

株式会社ルネサステクノロジ内

(英文)：c/o Renesas Technology Corp., 4-1, Marunouchi 2-chome, Chiyoda-ku,

TOKYO 100-6334 JAPAN

國 籍：(中文/英文)

(中文) 日本 (英文) Japanese

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ V 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003/1/22；2003-013062

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於形成於半導體基板上之半導體裝置。

【先前技術】

作為習知半導體裝置之一例，有形成於 SOI (Silicon On Insulator，矽在絕緣層上；或 Semiconductor On Insulator，半導體在絕緣層上) 基板上之 P 通道 MOS (Metal Oxide Semiconductor，金氧半) 電晶體。

於 SOI 基板中，係依矽基板等之支持基板、氧化膜層及 SOI 層之順序層合。又，P 通道 MOS 電晶體係具備閘電極、閘極絕緣膜及 P 型之源極/汲極活性層。

於 SOI 基板上形成 P 通道 MOS 電晶體之情況下，將閘電極與閘極絕緣膜之層合構造形成於 SOI 層之表面上，並將源極/汲極活性層形成於包夾 SOI 層內之閘電極下方區域之位置。

此外，於習知之半導體裝置中，通常以使 MOS 電晶體之源極/汲極間的通道方向與半導體晶圓之結晶方位 $\langle 110 \rangle$ 平行之方式配置。

然而，藉由將通道方向配置為平行於結晶方位 $\langle 100 \rangle$ ，而非平行於結晶方位 $\langle 110 \rangle$ ，可改變電晶體特性。具體而言，已知：藉由將通道方向配置為平行於結晶方位 $\langle 100 \rangle$ ，可使 P 通道 MOS 電晶體之電流驅動力提昇 15% 左右，亦可使短通道效應進一步減小（參照下述專利文獻 1）。

可提升電流驅動力之理由在於，因結晶方位 $\langle 100 \rangle$ 的電

洞之移動率大於結晶方位 $\langle 110 \rangle$ 之電洞移動率，而可減小短通道效應之理由則在於，結晶方位 $\langle 100 \rangle$ 之硼之擴散係數之值小於結晶方位 $\langle 110 \rangle$ 之硼擴散係數值。

因此，於 SOI 基板上形成 P 通道 MOS 電晶體之情況下，其通道方向亦以平行於 SOI 層之結晶方位 $\langle 100 \rangle$ 之方式配置為佳。故，例如採用使支持基板的結晶方位 $\langle 110 \rangle$ 與表面側之 SOI 層的結晶方位 $\langle 100 \rangle$ 呈一致的 SOI 基板，於其表面形成 P 通道 MOS 電晶體等之元件為佳。

(100) 晶圓之情況中，結晶面 $\{110\}$ 係為劈開面。因此，若使 SOI 層用晶圓之結晶方位 $\langle 100 \rangle$ 一致於支持基板的晶圓之結晶方位 $\langle 110 \rangle$ 而貼合，則於試驗研究之劈開時，可沿著佔去晶圓厚度大部分之支持基板的晶圓劈開面切割晶圓整體。如此一來，具有可於支持基板露出結晶方位 $\langle 110 \rangle$ 之斷面，並於 SOI 層露出結晶方位 $\langle 100 \rangle$ 之斷面的優點。

上述使 SOI 層之結晶方位 $\langle 100 \rangle$ 與支持基板 1 之結晶方位 $\langle 110 \rangle$ 的技術，係記載於例如專利文獻 1 或專利文獻 2。

其他相關於本發明，作為先前技術資料者有非專利文獻 1~3。

(專利文獻 1)

日本專利特開 2002-134374 號公報

(專利文獻 2)

日本專利特開平 7-335511 號公報

(非專利文獻 1)

Y. Hirano et al., 「Bulk-Layout-Compatible 0.18μ

m SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation (PTI)」，(美國)，IEEE 1999 SOI conf., p.131-132

(非專利文獻 2)

S. Maeda et al., 「Suppression of Delay Time Instability on Frequency using Field Shield Isolation Technology for Deep Sub-Micron SOI Circuits」，(美國)，IEDM, 1996, p.129-132

(非專利文獻 3)

L.-J. Huang et al., 「Carrier Mobility Enhancement in Strained Si-On-Insulator Fabricated by Wafer Bonding」，(美國)，2001 Symposium on VLSI Technology, p.57-58

【發明內容】

(發明所欲解決之問題)

緣是，在使支持基板之結晶方位 $\langle 110 \rangle$ 一致於 SOI 層之結晶方位 $\langle 100 \rangle$ 地形成之 SOI 基板，自電流驅動力之提昇等理由係適於 P 通道 MOS 電晶體之形成，但於 P 通道 MOS 電晶體之電流驅動力提昇方面則仍有改善空間。

因此，本發明之問題在於提供一種半導體裝置，其可提昇形成於半導體基板上之 MOS 電晶體的電流驅動力。

(解決問題之手段)

申請專利範圍第 1 項所記載之發明係一種半導體裝置，其具備 SOI 基板與 MIS (金絕半) 電晶體，其中，於 SOI

基板上依序層合支持基板、氧化膜層及 SOI (Semiconductor On Insulator, 半導體在絕緣層上) 層, 且 MIS 電晶體包含形成於上述 SOI 層上之閘極絕緣膜、形成於上述閘極絕緣膜上之閘電極、形成於上述 SOI 層內鄰接於上述閘電極的位置之源極/汲極活性層; 上述支持基板中至少除去位於上述 MIS 電晶體下方的部分。

【實施方式】

< 實施形態 1 >

本實施形態係於將支持基板之結晶方位 <110> 形成為一致於 SOI 層之結晶方位 <100> 的 SOI 基板上, 形成 P 通道 MOS 電晶體, 藉由除去其下部之支持基板, 而在通道形成區域施加應變。

本實施形態之半導體裝置示於圖 1 與圖 2。另外, 圖 2 係顯示圖 1 中於切斷線 II-II 的剖面圖。

此半導體裝置係 P 通道 MOS 電晶體, 係於 SOI 基板之表面依序層合矽基板等之支持基板 1、氧化膜層 2 以及矽層等 SOI 層 3 而形成。又, 該 P 通道 MOS 電晶體具備有閘電極 12、閘極絕緣膜 11 及 P 型源極/汲極活性層 5。

閘電極 12 及閘極絕緣膜 11 之層合構造係形成於 SOI 層 3 之表面上, 且 P 型源極/汲極活性層 5 係在 SOI 層 3 內以俯視觀之形成於鄰接閘電極 12 之位置。另外, 源極/汲極活性層 5 之外緣由部分隔離型之元件隔離區域 4 所限定。

側壁絕緣膜 13 形成於閘電極 12 及閘極絕緣膜 11 之側面, 且於閘電極 12 及源極/汲極活性層 5 之表面分別形成

矽化物化區域 12b、5a。又，於閘電極 12 中俯視上鄰接於源極/汲極活性層 5 之部分，為了縮短閘極長度而形成狹窄狀，但用來與接觸栓塞（未圖示）連接的突出部分 12a 之寬度則以寬廣的方式形成。另外，SOI 層 3 中閘電極 12 下方之部分係形成為較低濃度（ N^- ）之 N 型基體層 3a。

如圖 1 及圖 2 所示，該半導體裝置中，除去了支持基板 1 中位於 MOS 電晶體下方之部分，而形成開口部 HL1。

根據如此之本實施形態，則 SOI 基板之支持基板 1 中，除去位於 P 通道 MOS 電晶體下方之部分而形成開口部。藉由將支持基板 1 之一部份除去並形成開口部，該部分上層之氧化膜層 2 與 SOI 層 3 被施加應變應力。據此，可對包含 MOS 電晶體之通道形成區域的 SOI 層 3 賦予應變，並可提昇通道中載子之移動率。

接著，以下針對賦予 SOI 層 3 應變而提昇通道中載子之移動率乙事進行說明。

MOS 電晶體存在有如下構造（參照非專利文獻 3）：將 SOI 層中表面側（通道形成區域）作為晶格常數較一般矽為大的矽應變（strain）通道層，並將其餘之 SOI 層（通道形成區域之鄰接區域）作為晶格常數大於矽之矽鍺層。此為所謂應變通道構造之 MOS 電晶體。

於晶格常數大於矽之鄰接區域磊晶成長之表面側矽層之晶格常數值，係受到鄰近區域之晶格配置的影響而大約等於鄰近區域之晶格常數值，且通常具有大於矽之晶格常數。因此，表面側之矽層成為受到拉伸應力（strain

stress) 之狀態。於是，得以得到通道中載子移動率之上升，且特性提昇之 MOS 電晶體。

於本實施形態之情況中，藉由將支持基板 1 之一部份除去而形成開口部，於該部分上層之氧化膜層 2 及 SOI 層施加應變應力。其原因在於，藉此可得到與上述應變通道構造之 MOS 電晶體相同之效果。

又，於本實施形態之 SOI 基板中，係將支持基板 1 與 SOI 層 3 之結晶方位相互錯開。藉此，可使支持基板 1 之劈開面與 SOI 層 3 之劈開面互異，並可使 SOI 基板不易破裂。

又，由於壓力會使電晶體之特性發生變化，因此壓力之控制極為重要。特別於本實施形態中，係藉由將支持基板 1 之一部份除去而形成開口部，於該部分上層之氧化膜層 2 及 SOI 層 3 施加應變應力，需要更高精密度的壓力控制。藉由使用本 SOI 基板，除了提昇 P 通道 MOS 電晶體之電流驅動能力，更可降低各製造步驟中所產生之不確定的壓力，從而提高壓力控制之效果。

另外，可容易地形成圖 1 及圖 2 之構造。例如，於支持基板 1 相對向之面中，在遠離氧化膜 2 之一方的表面上形成光阻，將其圖案化而形成開口部 HL1 之蝕刻用遮罩。接著進行蝕刻，再除去光阻，則可得到圖 1 及圖 2 之構造。

另外，圖 3 及圖 4 係圖 1 及圖 2 構造之變化例。圖 4 係表示圖 3 中之橫斷線 IV-IV 所切出之斷面圖。此變化例中，於 P 通道 MOS 電晶體之源極/汲極活性層 5 正下方之支持基板 1 上，以與源極/汲極活性層 5 相同程度之大小設置俯視

為長方形狀之開口部 HL2。此外，包圍露出開口部 HL2 之四周的支持基板 1 之端面係整個 (111) 面。

由於 (111) 面係平行於結晶方位 $\langle 110 \rangle$ 之面，若使 (111) 面露出而進行蝕刻，則可在支持基板 1 上設置具有平行於支持基板 1 之結晶方位 $\langle 110 \rangle$ 的邊之開口部。因此，可將支持基板 1 之除去部分形成為俯視呈長方形之形狀，並可根據 MOS 電晶體之大小留下最小底限的除去部分之大小。

使 (111) 面露出之蝕刻，例如可以如下方式進行。

如圖 5 及圖 6 所示，首先，於支持基板 1 相對向之表面中，在遠離氧化膜 2 之一方的表面上且於 MOS 電晶體正下方之位置形成光阻 RM2，並於光阻 RM2 設置較其開口部 HL2 之開口面積小之開口 OP1。另外，圖 6 係顯示圖 5 中於切斷線 VI-VI 的剖面圖。

其次，以氫氧化鉀溶液等強鹼溶液進行濕式蝕刻。於是如圖 7 及圖 8 所示，於支持基板 1 形成了被限定於屬於 (111) 面的支持基板 1 之端面的開口部 HL2。由於氫氧化鉀溶液幾乎不蝕刻矽氧化膜，因此，氧化膜層 2 成為蝕刻終止點 (etching stopper)。另外，圖 8 係顯示圖 7 中於切斷線 VIII-VIII 的剖面圖。

之後，再除去光阻 RM2，則可得到圖 3 及圖 4 所示之構造。

此外，除了氫氧化鉀溶液，亦可使用氫氧化鈉溶液、四甲基銨氫氧化物 (Tetramethyl Ammonium Hydroxide) 等強鹼溶液。

圖 9 顯示使複數個 MOS 電晶體與相鄰 2 個 MOS 電晶體之間共有源極/汲極活性層 5 而形成之情況。此情況下，亦可於支持基板 1 之表面形成開口部 HL2。開口部 HL2 僅要係以覆蓋源極/汲極活性層 5 之全部而形成，該源極/汲極活性層 5 為共有或非共有均可。

< 實施形態 2 >

本實施形態為實施形態 1 之半導體裝置的變化例，此半導體裝置係將支持基板 1 全部除去，取而代之以在形成於 MOS 電晶體上之層間絕緣膜上貼合其他支持基板。

本實施形態之半導體裝置示於圖 10。於此半導體裝置中，支持基板 1 全部被除去。因此，氧化膜層 2 成為半導體裝置之底面。此外，形成第 1 至第 3 層間絕緣膜 IL1~IL3，該等覆蓋形成於 SOI 層 3 上之 MOS 電晶體。

另外，分別於第 2 層間絕緣膜 IL2 內及第 3 層間絕緣膜 IL3 內形成第 2 層配線 LN1 及第 3 層配線 LN2。又，將第 2 層配線 LN1 介由接觸栓塞 PG1 而連接於源極/汲極活性層 5，並將第 3 層配線 LN2 介由接觸栓塞 PG2 而連接於第 2 層配線 LN1。

接著，於此半導體裝置中，在最上層之第 3 層間絕緣膜 IL3 之表面貼合新的另一支持基板 100。此支持基板 100 亦以其結晶方位<110>一致於 SOI 層 3 之結晶方位<100>之方式貼合即可。另外，另一支持基板 100 可採用矽基板，但並不限定於此，只要為具有支持機能的基板，亦可採用例如玻璃基板或塑膠基板等半導體以外之基板。

於本實施形態之情況中，支持基板 1 僅負責製造步驟上之支持機能，並於新的另一支持基板 100 貼合後，經由蝕刻或 CMP (Chemical Mechanical Polishing，化學機械研磨) 而除去。

由於本實施形態中係完全除去支持基板 1，在 MOS 電晶體及其附近所產生的熱之散熱性佳。又，由於具備另一支持基板 100，因此不會發生強度方面之問題。

< 實施形態 3 >

本實施形態亦為實施形態 1 之變化例，此半導體裝置係以覆蓋包含露出於開口部 HL1 或 HL2 的端面之支持基板 1 的表面之方式形成。

圖 11 係根據圖 4 之構造說明本實施形態之圖。如圖 11 所示，於本實施形態中，於支持基板 1 相對之表面中遠離氧化膜層 2 者之表面及露出於開口部 HL2 之端面與氧化膜層 2，例如以金屬蒸鍍等形成 Au、Al、W、Cu 等金屬膜 MT1。

如此，藉由形成金屬膜 MT1，可實現在 MOS 電晶體及其附近所產生之熱的散熱性優異之半導體裝置。又，若以數百℃之高溫形成金屬膜 MT1，則當恢復至室溫時，金屬層 MT1 之收縮程度會較氧化膜層 2 或 SOI 層 3 大。此乃因為金屬層 MT1 之熱膨脹率較氧化膜層 2 或 SOI 層 3 為大。因此，亦具有賦予 SOI 層 3 應變之效果，並可提高通道中載子之移動率。

< 實施形態 4 >

本實施形態為實施形態 3 之變化例，此半導體裝置係將

設置於支持基板 1 相對之表面中遠離氧化膜層 2 者之表面上的金屬層 MT1 與 SOI 層 3 內之源極/汲極活性層 5 之一部份予以電氣連接。

本實施形態之半導體裝置示於圖 12。於圖 12 中，MOS 電晶體以二組表示。此外，該等均連接有貫通源極/汲極活性層 5 之例如源極側的氧化膜層 2 之接觸栓塞 PG3 的一端。另外，接觸栓塞 PG3 係利用光微影技術或蝕刻技術自支持基板 1 側將氧化膜層 2 之一部份開口後，藉由埋入金屬膜而形成於氧化膜層 2 內。此外，接觸栓塞 PG3 之另一端則連接於金屬膜 MT1。

藉此，供應金屬膜 MT1 例如電源電位 V_{dd} ，可固定 MOS 電晶體之源極/汲極活性層 5 之電位。又，若將金屬膜 MT1 形成於支持基板 1 表面之整面，則可將金屬膜 MT1 之電阻值抑制在低值，因此可一邊抑制電力消耗，一邊將電位固定。

另外，本實施形態之概念當然亦可應用於實施形態 2 之半導體裝置中。圖 13 表示該情況下之半導體裝置的構造。此情況中，由於支持基板 1 完全被除去，使得氧化膜層 2 成為半導體裝置之底面，因此金屬膜 MT1 便形成於氧化膜層 2 之表面。然而，除此之外的接觸栓塞 PG3 等之形成與圖 12 之情況相同。

另外，亦可取代直接連接於源極/汲極活性層 5 之接觸栓塞 PG3，不直接將其連接於源極/汲極活性層 5，而採用透過配線等與源極/汲極活性層 5 及金屬膜 MT1 連接之接觸

栓塞。圖 14 所示之接觸栓塞 PG4 係為其一例。此接觸栓塞 PG4 係貫通氧化膜層 2、元件隔離區域 4a 及第 1 層間絕緣膜 IL1 而與第 2 配線 LN1 連接。此外，元件隔離區域 4a 不是部分隔離型，而是做成完全隔離型。

(發明效果)

若根據申請專利範圍第 1 像所記載之發明，則 SOI 基板之支持基板中，至少除去位於 MIS 電晶體下方之部分。據此，可賦予包含 MIS 電晶體之通道形成區域之 SOI 層應變，並可提高通道中載子之移動率。

【圖式簡單說明】

圖 1 係顯示實施形態 1 之半導體裝置之俯視圖。

圖 2 係顯示實施形態 1 之半導體裝置之剖面圖。

圖 3 係顯示實施形態 1 之半導體裝置變化例之俯視圖。

圖 4 係顯示實施形態 1 之半導體裝置變化例之剖面圖。

圖 5 係顯示實施形態 1 之半導體裝置變化例的製造方法之俯視圖。

圖 6 係顯示實施形態 1 之半導體裝置變化例的製造方法之剖面圖。

圖 7 係顯示實施形態 1 之半導體裝置變化例的製造方法之俯視圖。

圖 8 係顯示實施形態 1 之半導體裝置變化例的製造方法之剖面圖。

圖 9 係顯示實施形態 1 之半導體裝置變化例之俯視圖。

圖 10 係顯示實施形態 2 之半導體裝置之剖面圖。

圖 11 係顯示實施形態 3 之半導體裝置之剖面圖。

圖 12 係顯示實施形態 4 之半導體裝置之剖面圖。

圖 13 係顯示實施形態 4 之半導體裝置之剖面圖。

圖 14 係顯示實施形態 4 之半導體裝置之剖面圖。

(元件符號說明)

1 支持基板

2 氧化膜層

3 SOI 層

3a 基體層

4 元件隔離區域

5 源極 / 汲極活性層

5a 矽化物化區域

11 閘電極

12 閘電極

12a 突出部分

12b 矽化物化區域

13 側壁絕緣膜

100 支持基板

HL1, HL2 開口部

IL1~IL3 第 1 至第 3 層間絕緣膜

LN1 第 2 層配線

LN2 第 3 層配線

MT1 金屬膜

OP1 開口

PG1, PG2, PG3 接觸栓塞

RM2 光阻

伍、中文發明摘要：

本發明之目的在於提供一種半導體裝置，其係形成於半導體基板上之半導體裝置，且可有效利用半導體基板之優點。

本發明之解決手段為，於 SOI 基板上形成 P 通道 MOS 電晶體，而該 SOI 基板係使支持基板 1 之結晶方位 $\langle 110 \rangle$ 一致於 SOI 層 3 之結晶方位 $\langle 100 \rangle$ 所形成者。接著，設置開口部 HL1 並藉由將其下部之支持基板除去以在通道形成區域上增加應變。藉由將支持基板 1 之一部份除去，即可在該部分上層之氧化膜層 2 與 SOI 層 3 上施加應變應力。因而，可對包含 MOS 電晶體的通道形成區域之 SOI 層 3 賦予應變，而可提升通道中載子之移動率。

陸、英文發明摘要：

A semiconductor device on a semiconductor substrate, which provides for effective use of characteristics of the semiconductor substrate, is provided. A P-channel MOS transistor is provided on an SOI substrate which is formed by aligning an SOI layer (3) having a $\langle 100 \rangle$ crystal direction and a supporting substrate (1) having a $\langle 110 \rangle$ crystal direction so as to allow the respective crystal directions to be parallel to each other. Then, a portion of the supporting substrate 1 is removed to form a hollow portion (HL1), to produce a strain in a channel region. Specifically, as a result of formation of the hollow portion (HL1) by removing a portion of the

supporting substrate (1), a tensile stress is caused on an oxide film layer (2) and an SOI layer (3) located above the hollow portion (HL1). This results in production of a strain in the SOI layer (3) which includes the channel region of the MOS transistor, thereby to increase carrier mobility of a channel.

拾、申請專利範圍：

1. 一種半導體裝置，係具備：

SOI 基板，依序層合有支持基板、氧化膜層及 SOI（半導體在絕緣層上）層；以及

MIS（金絕半）電晶體，其包含形成於上述 SOI 層上之閘極絕緣膜、形成於上述閘極絕緣膜上之閘電極、以及形成於上述 SOI 層內鄰接於上述閘電極之下方部分之位置的源極/汲極活性層；其中

上述支持基板中，至少位於上述 MIS 電晶體下方之部分被除去而形成開口部。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述開口部被上述支持基板之 4 個端面包圍，而上述端面露出於上述開口部，且上述端面整個係（111）面。

3. 如申請專利範圍第 1 項之半導體裝置，其中，取代具備上述支持基板，而進一步具備：

覆蓋上述 MIS 電晶體之層間絕緣膜；以及

貼合於上述層間絕緣膜之另一支持基板。

4. 如申請專利範圍第 1 項之半導體裝置，其中，進一步具備以覆蓋上述支持基板包含露出於上述開口部之端面的表面，並覆蓋露出於上述開口部之上述氧化膜層之方式形成之金屬膜。

5. 如申請專利範圍第 4 項之半導體裝置，其中，進一步具備接觸栓塞，其係貫通上述氧化膜層，並將上述 MIS 電晶體之上述源極/汲極活性層與上述金屬膜電氣連接。

6. 如申請專利範圍第 1 項之半導體裝置，其中，上述支持基板與上述 SOI 層中之結晶方位為互相偏移。

圖 1

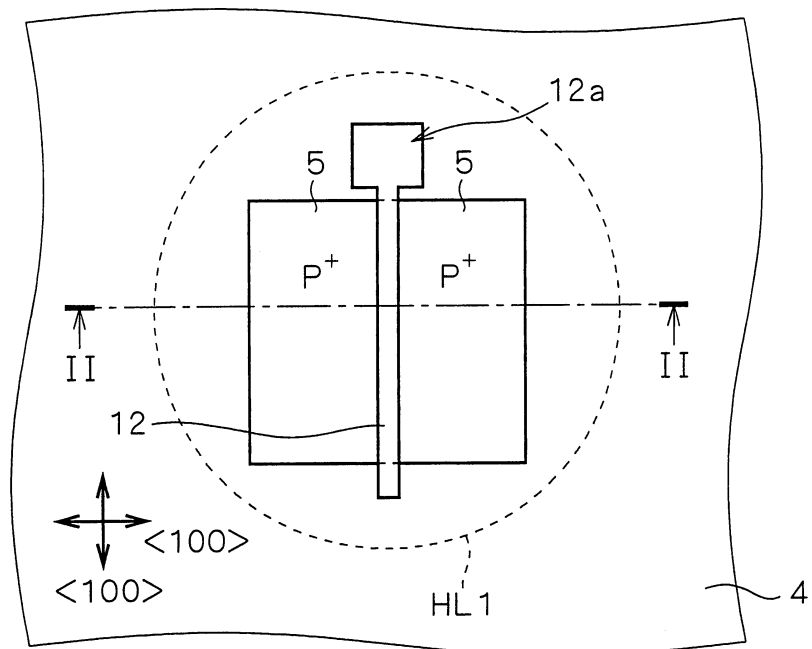


圖 2

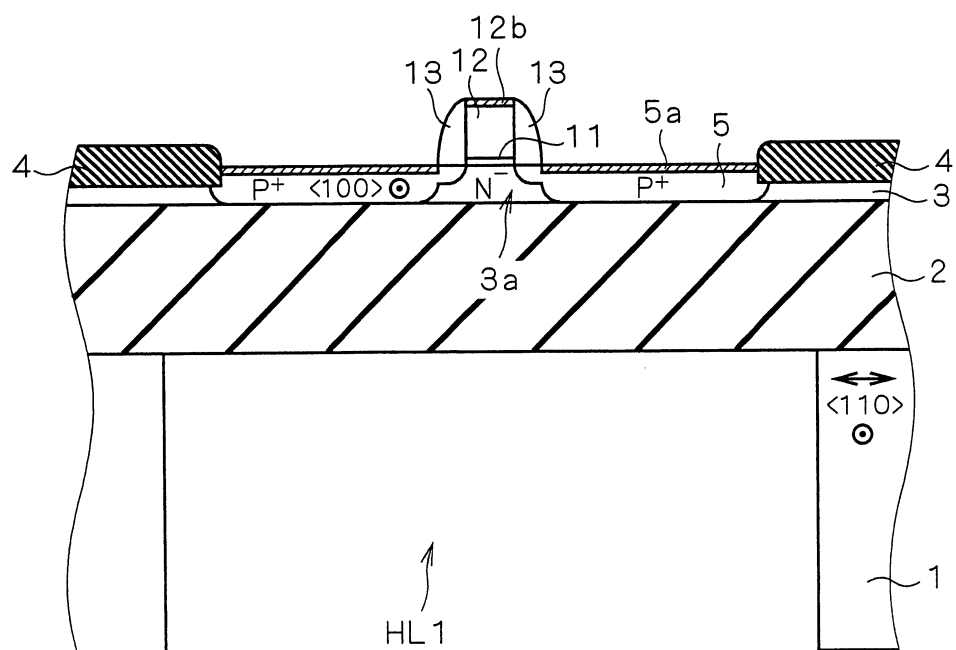


圖 3

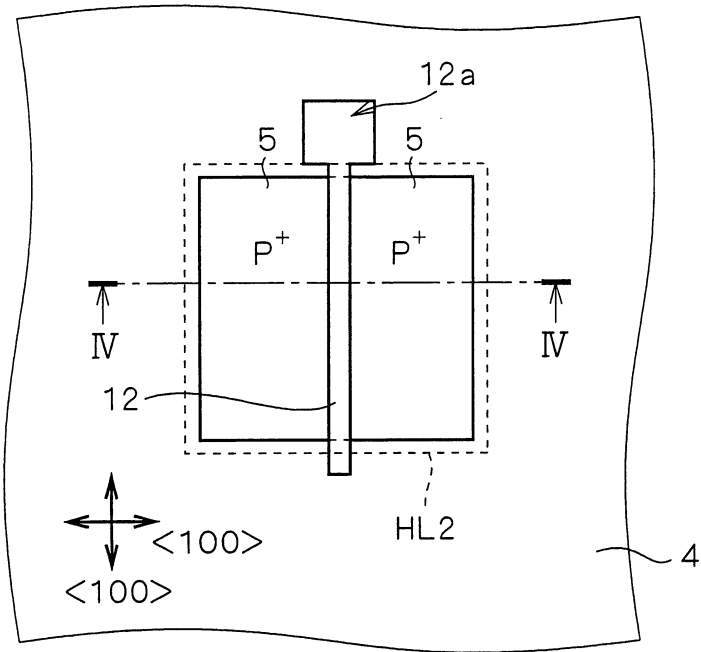


圖 4

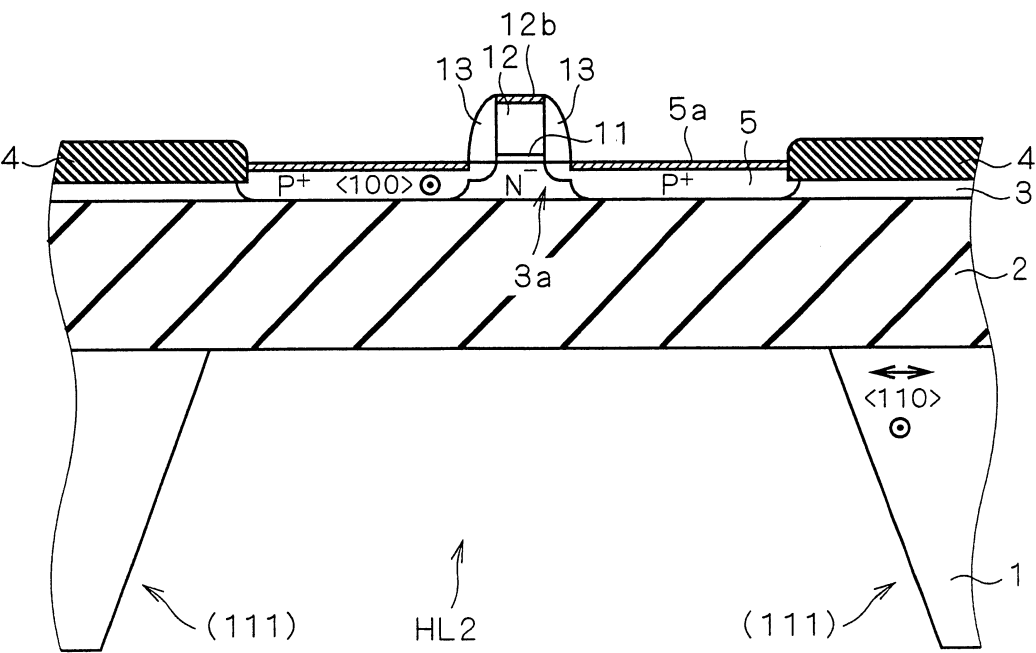


圖 5

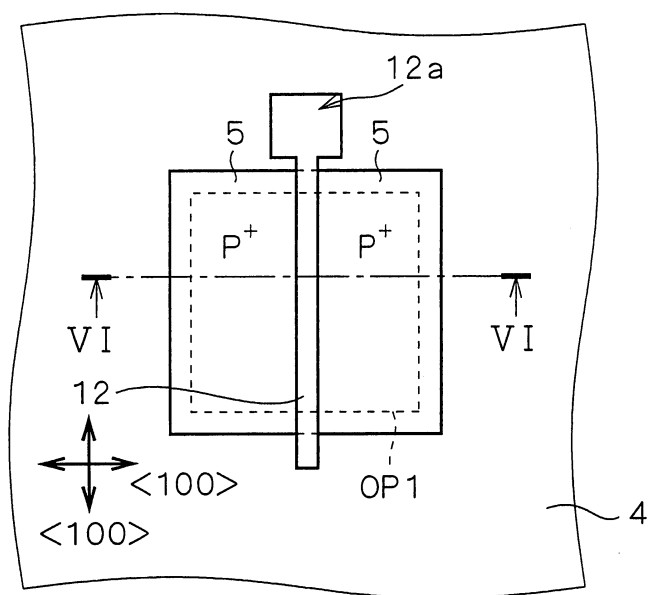


圖 6

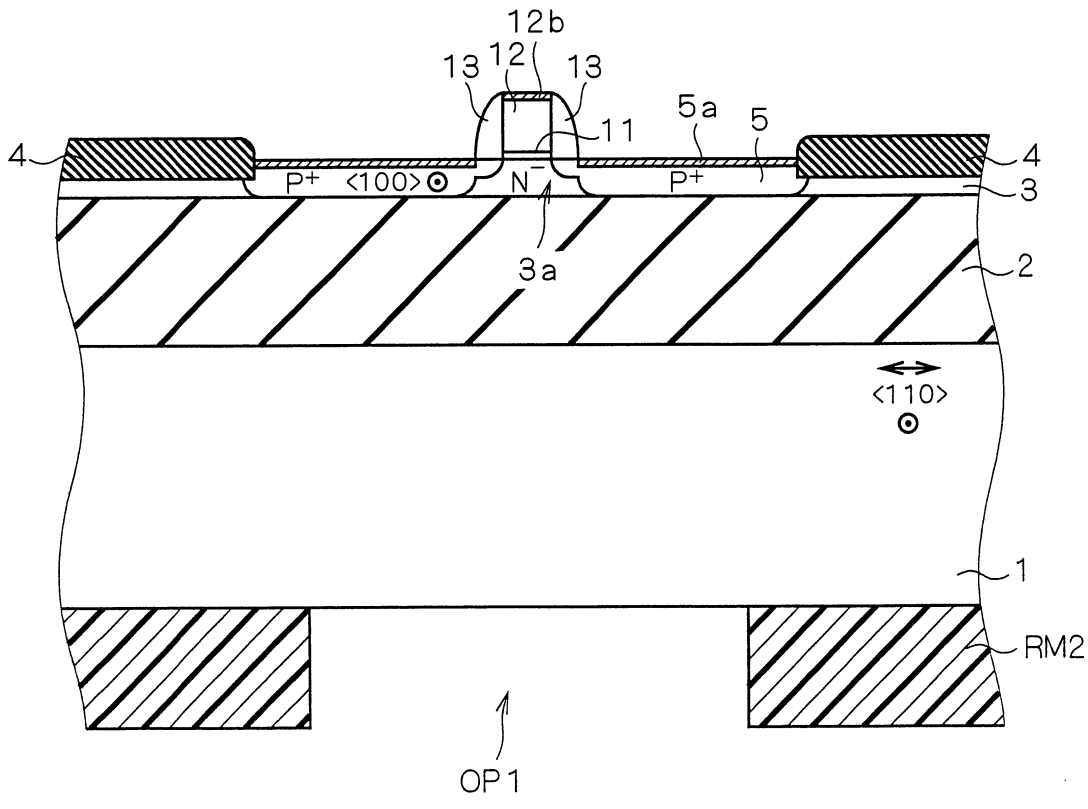


圖 7

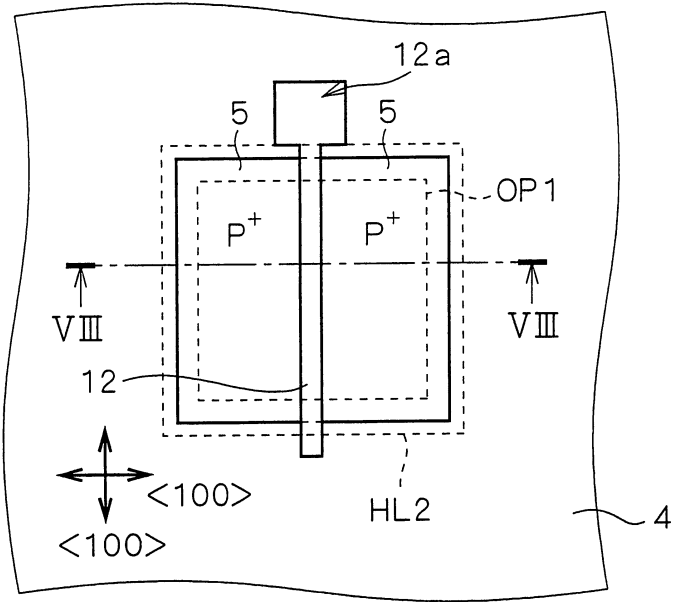


圖 8

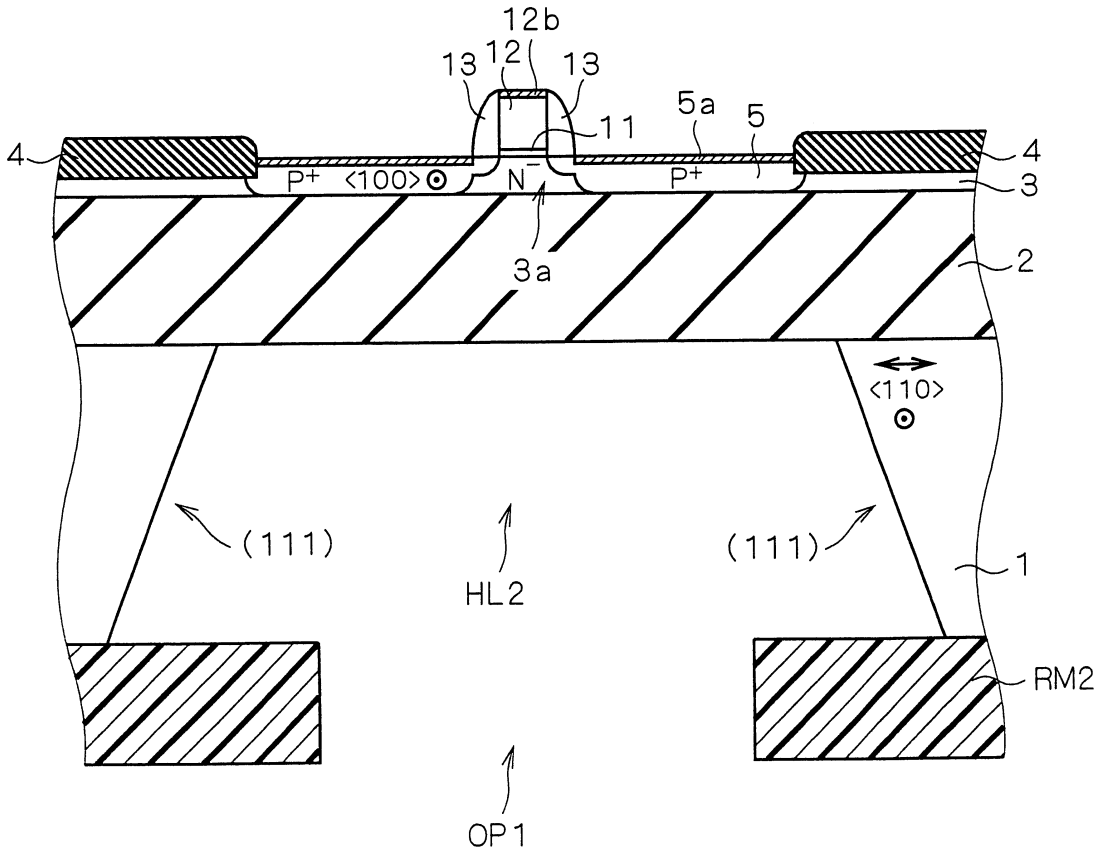


圖 9

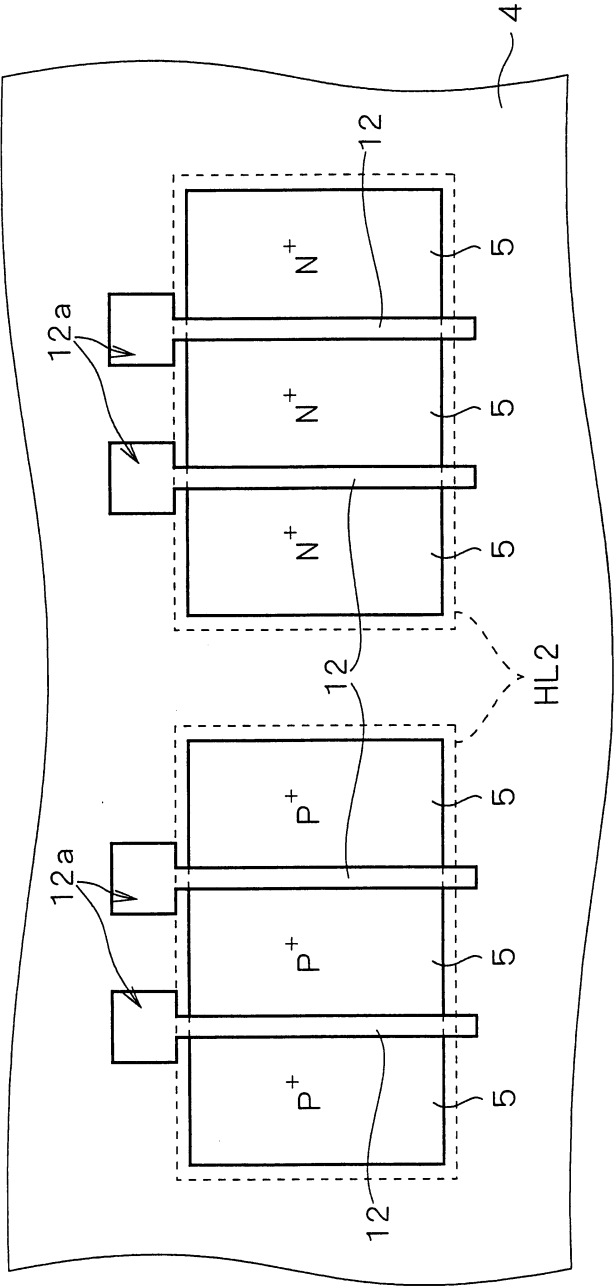
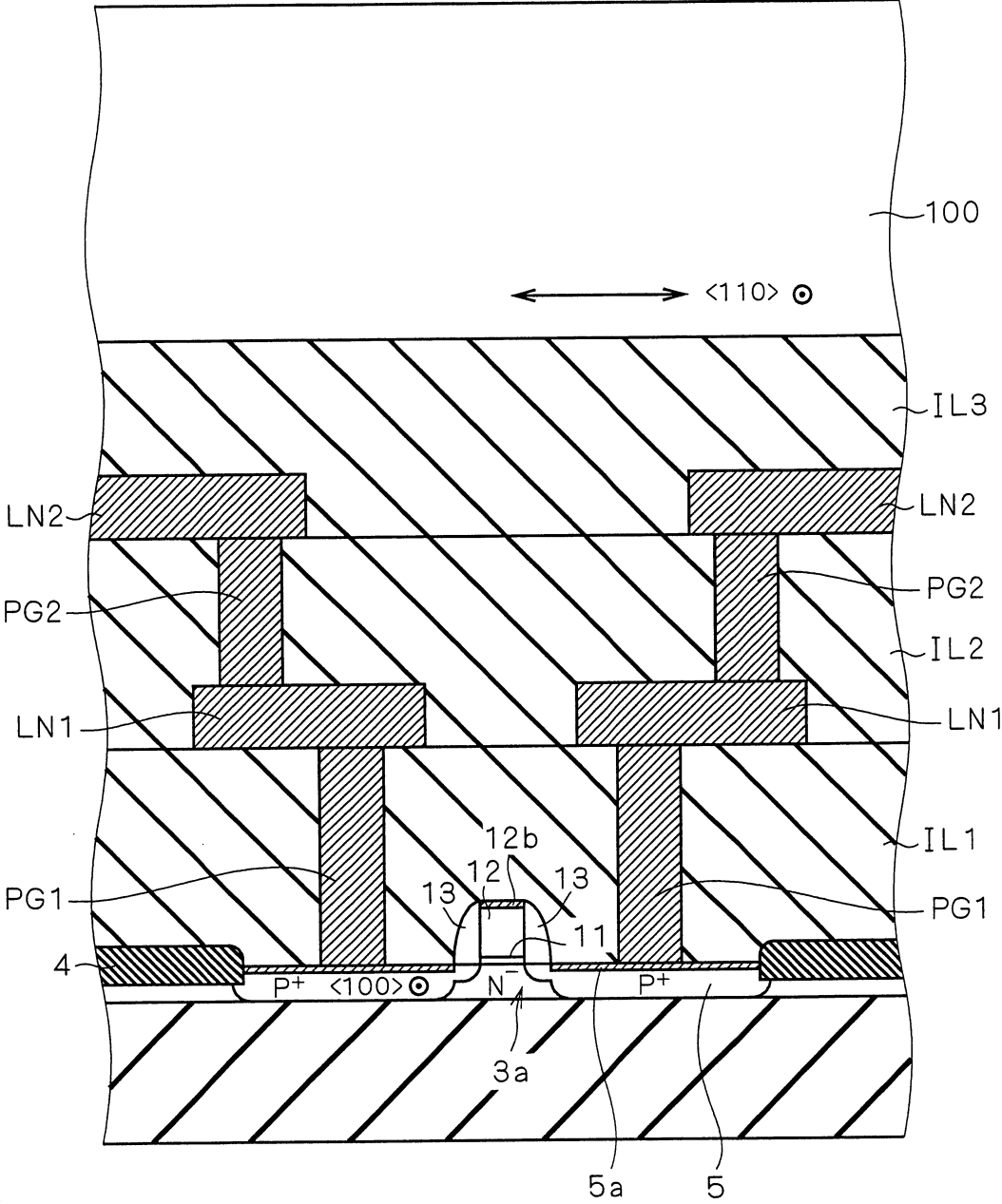


圖 1 0



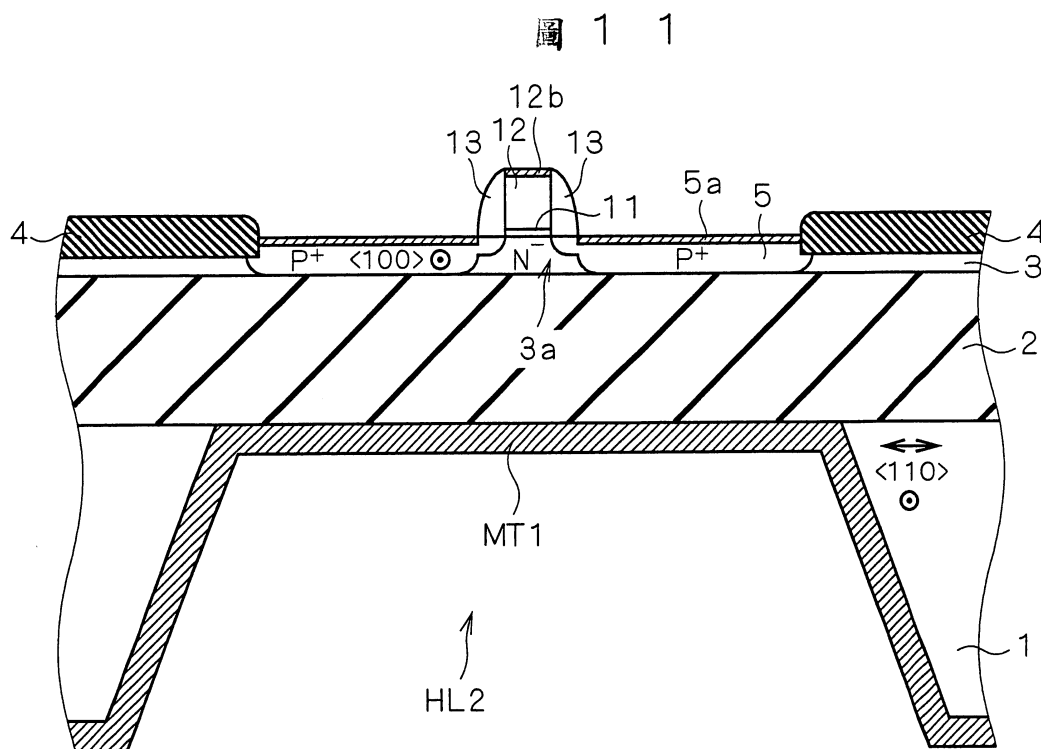
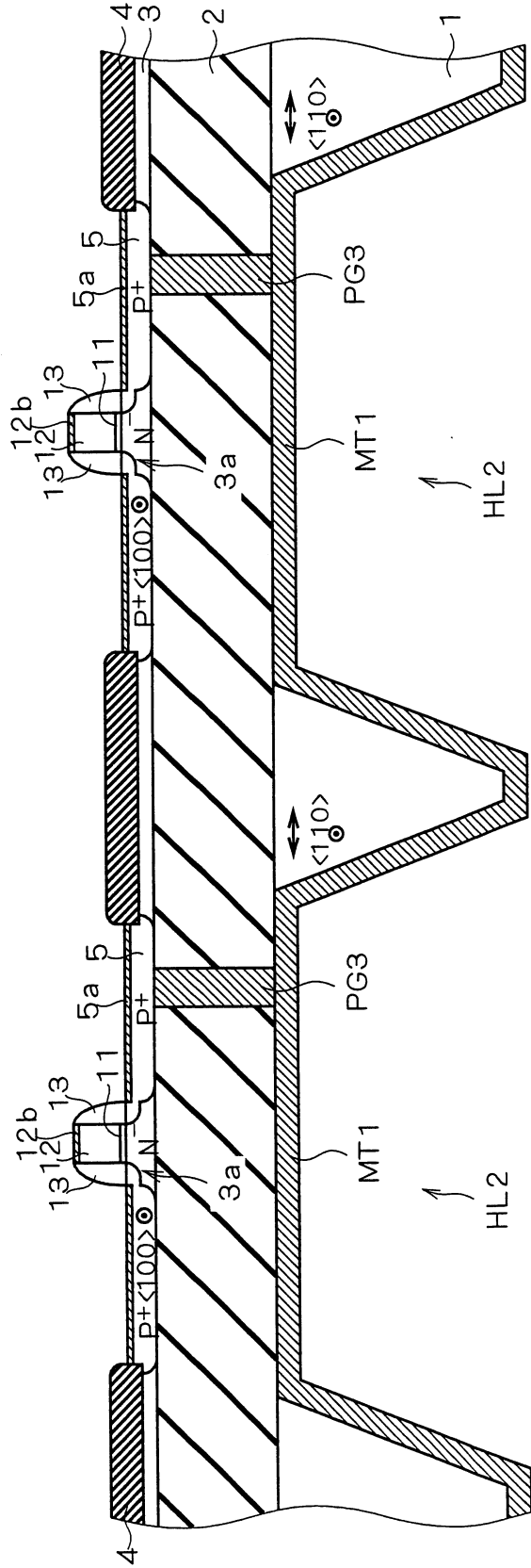


圖 1 2



31

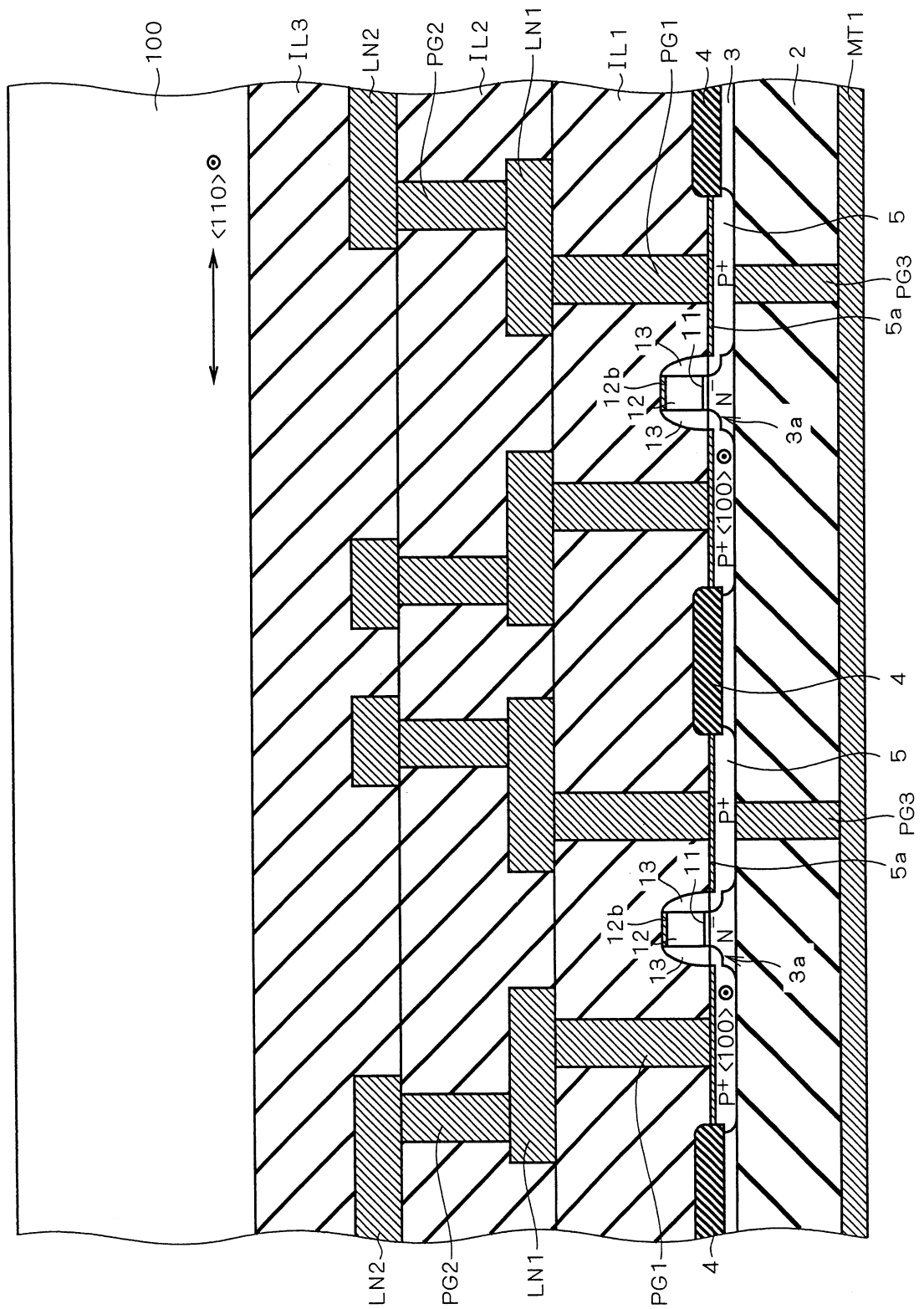
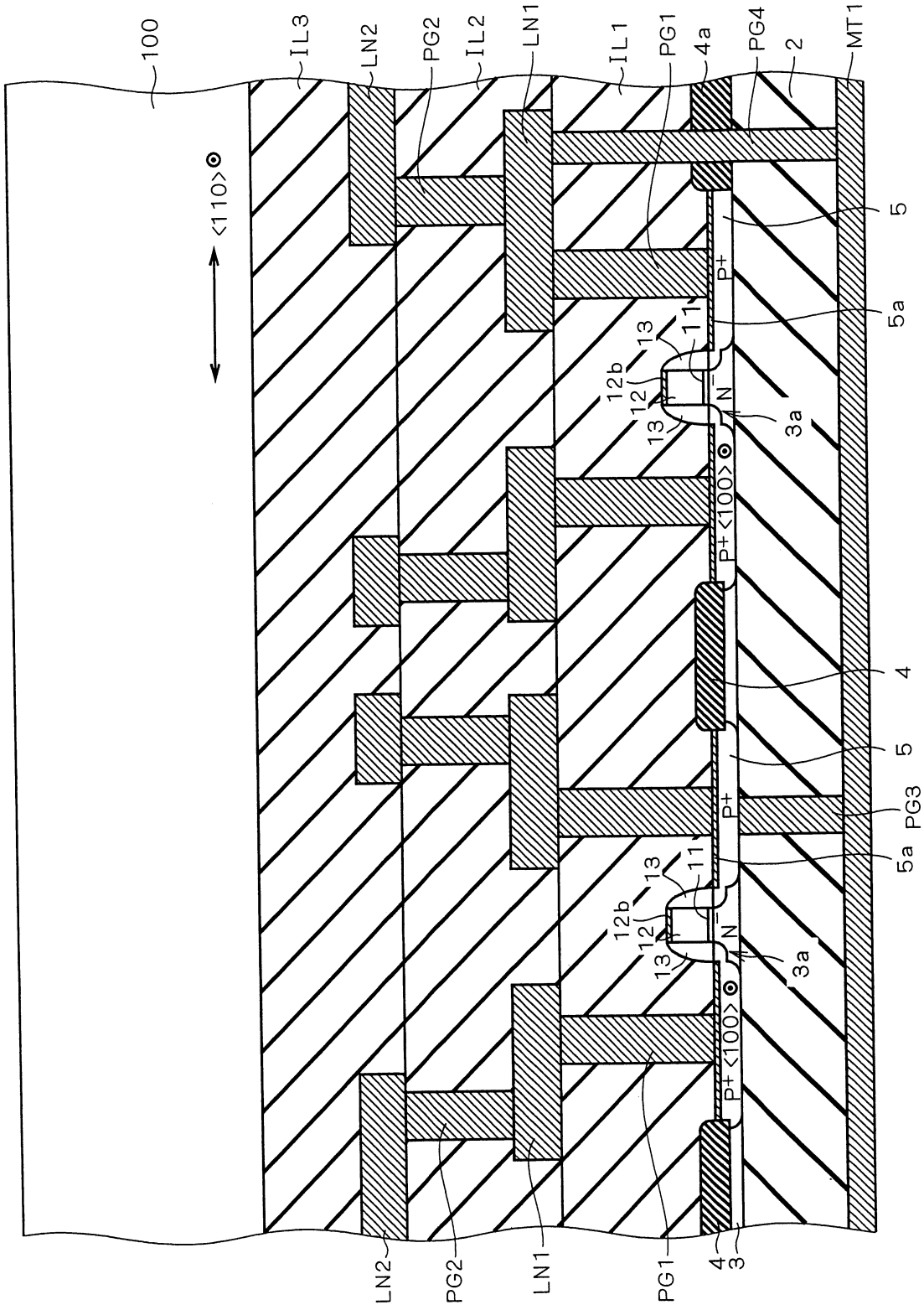


圖 1 4



柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 1 支持基板
- 2 氧化膜層
- 3 SOI 層
- 3a 基體層
- 4 元件隔離區域
- 5 源極/汲極活性層
- 5a 矽化物化區域
- 11 閘電極
- 12 閘電極
- 12b 矽化物化區域
- 13 側壁絕緣膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無