



(21)申請案號：101106933

(22)申請日：中華民國 101 (2012) 年 03 月 02 日

(51)Int. Cl. : H01L29/12 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2011/03/02 日本

2011-045510

(71)申請人：住友化學股份有限公司(日本) SUMITOMO CHEMICAL COMPANY, LIMITED

(JP)

日本

國立大學法人東京大學(日本) THE UNIVERSITY OF TOKYO (JP)

日本

獨立行政法人產業技術總合研究所(日本) NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY (JP)

日本

(72)發明人：青木健志 AOKI, TAKESHI (JP)；山田永 YAMADA, HISASHI (JP)；福原昇 FUKUHARA, NOBORU (JP)；秦雅彥 HATA, MASAHIKO (JP)；橫山正史 YOKOYAMA, MASASHI (JP)；金相賢 KIM, SANGHYEON (KR)；竹中充 TAKENAKA, MITSURU (JP)；高木信一 TAKAGI, SHINICHI (JP)；安田哲二 YASUDA, TETSUJI (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

JP 2009-238955A

JP 2010-232568A

US 2009/0283756A1

US 2009/0298272A1

US 2011/0006375A1

P. E. Smitha et al, "Atomic diffusion and band lineups at In_{0.53}Ga_{0.47}As-on-InP heterointerfaces" Department of Physics, The Ohio State University, Columbus, Ohio 43210:25 July 2005

審查人員：徐欽民

申請專利範圍項數：9 項 圖式數：37 共 70 頁

(54)名稱

半導體基板、場效電晶體、半導體基板之製造方法及場效電晶體之製造方法

SEMICONDUCTOR SUBSTRATE, FIELD EFFECT TRANSISTOR, METHOD FOR MAKING A SEMICONDUCTOR SUBSTRATE, AND A METHOD FOR MAKING A FIELD EFFECT TRANSISTOR

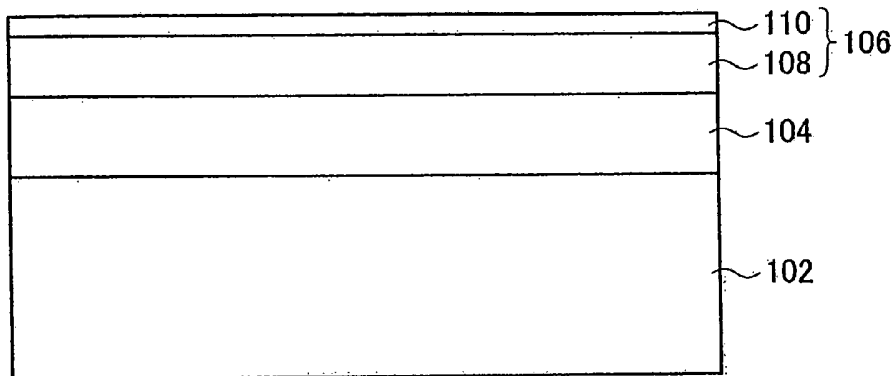
(57)摘要

本發明提供一種半導體基板，係具有基板、第 1 絕緣體層與半導體層，而基底基板、第 1 絕緣體層及半導體層的位置係依基底基板、第 1 絕緣體層、半導體層之順序而排列，而第 1 絕緣體層係由非結晶型金屬氧化物或非結晶型金屬氮化物所構成，而半導體層包含第 1 結晶層及第 2 結晶層，

且第1結晶層及第2結晶層的位置係從基底基板之側，依第1結晶層、第2結晶層之順序而排列，而第1結晶層之電子親和力 E_{a1} 比第2結晶層的電子親和力 E_{a2} 還大。

This invention provides a semiconductor substrate having a base substrate, a first insulation layer and a semiconductor layer. The base substrate, the first insulation layer and the semiconductor layer are sequentially positioned. The first insulation layer is constituted by an amorphous metal oxide or an amorphous metal nitride. The semiconductor layer contains a first crystal layer and a second crystal layer sequentially position from the base substrate side. The first crystal layer has an electron affinity E_{a1} larger than the electron affinity E_{a2} of the second crystal layer.

指定代表圖：



符號簡單說明：

100 . . . 半導體基板

102 . . . 基底基板

104 . . . 第1絕緣體層

106 . . . 半導體層

108 . . . 第1結晶層

110 . . . 第2結晶層

100 第1圖

六、發明說明：

【發明所屬之技術領域】

本發明係有關半導體基板、場效電晶體、半導體基板之製造方法及場效電晶體之製造方法。

【先前技術】

以作為適用於高電子移動率、高頻動作及大電力動作之開關裝置而言，將 III-V 族化合物半導體層使用於通道層之 III-V 族 MISFET(Metal-Insulator-Semiconductor Field-Effect Transistor，金屬-絕緣體半導體場效電晶體)正受到期待。此外，III-V 族 MISFET 係作為使用矽於通道材料之 Si CMOSFET (Complementary Metal-Oxide-Semiconductor Field-Effect Transistor，互補式金屬氧化物半導體場效電晶體)的代替元件正受到期待。以 III-V 族 MISFET 構成互補式元件，來製造 LSI (Large Scale Integration，大型積體電路)時，若考慮可利用既有製造裝置及既有步驟，則最好在矽基板上形成 III-V 族 MISFET。

再者，使用 III-V 族化合物半導體層於通道層之 MISFET，記載在非專利文獻 1 至 2。此外，在非專利文獻 3 記載一種有效的技術，該技術係為了降低形成在半導體與絕緣體的界面之能階(在本說明書中簡稱為「界面狀態」)，例如利用硫化物來處理化合物半導體的表面。

非專利文獻 1 Ren, F. et al. Demonstration of enhancement-mode p^- and n^- channel GaAs MOSFETs with $Ga_2O_3(Gd_2O_3)As$ gate oxide. Solid State Electron. 41,

1751-1753(1997).

非專利文獻 2 Chin, H.C. et al. Silane-ammonia surface passivation for gallium arsenide surface-channel n^- MOSFETs. IEEE Electron Device Lett. 30, 110-112(2009).

非專利文獻 3 S. Arabas, et al. 著, Vac. 80 卷(2006年)、888 頁

【發明內容】

(發明所欲解決之課題)

為了將 III-V 族 MISFET 製造於矽基板上，必須在矽基板上形成 III-V 族化合物半導體層。但是，III-V 族化合物半導體層與矽基板之晶格不匹配大，故難以使用磊晶成長法來形成高品質的 III-V 族化合物半導體層。

另一方面，可考慮利用一種作為光學裝置之積體化技術而被熟知的 DWB(direct wafer bonding, 直接晶圓鍵合)法，亦即利用直接貼合基板之方法，在矽基板上形成 III-V 族化合物半導體層。但在 DWB 法中，會有因為將矽基板與 III-V 族化合物半導體層予以貼合，而在 III-V 族化合物半導體層產生結晶缺陷等損壞的情形。該損壞的大小若超過將 III-V 族化合物半導體層作為 MISFET 的通道層使用時可容許之損壞的大小時，便難以將該 III-V 族化合物半導體層作為 MISFET 的通道層來使用。尤其在 III-V 族化合物半導體層的厚度為極薄的極薄膜本體結構的 MISFET 中，對 III-V 族化合物半導體層造成之損壞會變得更顯著。

並且，進一步提高 III-V 族 MISFET 的性能之要求強烈。尤其是強烈要求達成高的載子之移動率。在通道層與閘極絕緣層之界面具有界面狀態，當在該界面捕捉到載子時，會因庫倫散射等使得載子移動率降低，故最好進一步降低界面狀態。此外，MIS (Metal-Insulator-Semiconductor, 金屬-絕緣層-半導體) 界面即使具有某些程度較高的界面狀態密度，亦最好藉由施加抑制且降低該界面狀態的影響之對策，來提高 FET 的性能。

本發明的目的係在提供一種具有高的載子移動率之 III-V 族 MISFET，其係利用 DWB 法進行貼合時降低 III-V 族化合物半導體層所受到的損壞，同時抑制且降低受到的損壞之影響及界面狀態的影響。

(解決課題之手段)

為了解決上述課題，在本發明第 1 態樣中，提供一種半導體基板，其具有基底基板、第 1 絕緣體層與半導體層，而基底基板、第 1 絕緣體層及半導體層的位置係依基底基板、第 1 絕緣體層、半導體層之順序而排列，且第 1 絕緣體層係由非結晶型金屬氧化物或非結晶型金屬氮化物所構成，而半導體層包含第 1 結晶層及第 2 結晶層，且第 1 結晶層及第 2 結晶層的位置係從基底基板之側，依第 1 結晶層、第 2 結晶層之順序而排列，且第 1 結晶層之電子親和力 E_{a1} 比第 2 結晶層的電子親和力 E_{a2} 為大。

半導體層可復包含第 3 結晶層，此情形時，第 1 結晶層、第 2 結晶層及第 3 結晶層的位置係從基底基板之側，

依第 3 結晶層、第 1 結晶層、第 2 結晶層之順序排列，而第 3 結晶層之電子親和力 E_{a3} 比第 1 結晶層之電子親和力 E_{a1} 還小。作為第 1 結晶層可例示 $In_{x1}Ga_{1-x1}As$ ($0 < x1 \leq 1$)，作為第 2 結晶層可例示 $In_{x2}Ga_{1-x2}As$ ($0 \leq x2 < 1$)，作為第 3 結晶層可例示 $In_{x3}Ga_{1-x3}As$ ($0 \leq x3 < 1$)，且最好滿足 $x1 > x2$ 與 $x1 > x3$ 之關係。半導體層的厚度最好在 20nm 以下。

在本發明第 2 態樣中，提供一種場效電晶體，其係在上述半導體基板之半導體層，具備電性連接之源極電極及汲極電極。

半導體層具有與源極電極接觸之源極區域或與汲極電極接觸之汲極區域，此情形時，源極區域或汲極區域亦可包含一種合金，該合金係從由構成半導體層之 III 族原子及 V 族原子所構成之群所選出之至少 1 種原子與金屬原子之合金。金屬原子最好是鎳原子。最好在半導體層的與基底基板為相反之側具有閘極電極，且源極區域的位於汲極區域側之界面及汲極區域的位於源極區域側之界面係形成在包夾於閘極電極與基底基板之屬於半導體層的區域之閘極電極下的區域。藉此方式，可製造通道長 100nm 以下之平面型 MOSFET。場效電晶體為 n 通道型場效電晶體時，源極區域或汲極區域可復包含有施體雜質原子。場效電晶體為 p 通道型場效電晶體時，源極區域或汲極區域可復包含有受體雜質原子。

在本發明第 3 態樣中，提供一種半導體基板的製造方法，其具有：使用磊晶成長法在半導體層形成基板上形成

半導體層之半導體層形成步驟；利用原子層堆積法將第 1 絕緣體層進行成膜在半導體層上之第 1 絕緣體層形成步驟；接合基底基板於第 1 絕緣體層上之接合步驟；以及從半導體層去除半導體層形成基板之去除步驟，而半導體層形成步驟具有第 1 步驟與第 2 步驟，其中第 1 步驟係使用磊晶成長法將第 2 結晶層形成在半導體層形成基板上，而第 2 步驟係在第 1 步驟之後，將具有比第 2 結晶層的電子親和力 E_{a2} 還大的電子親和力 E_{a1} 之第 1 結晶層，藉由磊晶成長法形成在第 2 結晶層上。

半導體層形成步驟復可具有第 3 步驟，其係在第 2 步驟之後，將具有比第 1 結晶層的電子親和力 E_{a1} 還小的電子親和力 E_{a3} 之第 3 結晶層，藉由磊晶成長法形成在第 1 結晶層上。

在本發明第 4 態樣中，提供一種場效電晶體的製造方法，其具有：在利用上述半導體基板的製造方法所製造的半導體基板之半導體層上，利用原子層堆積法將第 2 絕緣體層進行成膜之步驟；在第 2 絕緣體層上形成閘極電極之步驟；將形成有閘極電極之區域以外的第 2 絕緣體層之一部分進行蝕刻，以形成到達半導體層之開口之步驟；形成與從開口露出之半導體層接觸之金屬薄膜之步驟；以及將金屬薄膜進行熱處理，且將源極區域或汲極區域之至少一方形成在與金屬薄膜接觸之半導體層的部分。

在形成源極區域或汲極區域的至少一方之步驟中，可將從熱處理之溫度及時間所選擇之 1 個以上的條件予以控

制，且藉由控制該條件，將從源極區域的位於汲極區域側之界面及汲極區域的位於源極區域側之界面所選擇之 1 個以上的界面之位置，以形成於包夾在閘極電極與基底基板之屬於半導體層的區域之閘極電極下的區域之方式來進行控制。

【實施方式】

第 1 圖係顯示半導體基板 100 之剖面。半導體基板 100 具有基底基板 102、第 1 絕緣體層 104 以及半導體層 106。基底基板 102、第 1 絕緣體層 104 及半導體層 106 的位置係依基底基板 102、第 1 絕緣體層 104，半導體層 106 之順序而排列。

以基底基板 102 而言，可舉表面為矽結晶之基板為例。而以表面為矽結晶之基板而言，可舉矽基板或 SOI (Silicon on Insulator, 絕緣層上覆矽) 基板為例，而於生產方面最好是便宜的矽基板。藉由使用表面為矽結晶之基板作為基底基板 102，可利用既有的製造裝置及既有的製造過程，而可提高研究開發及製造的效率。基底基板 102 係不限於表面為矽結晶之基板，亦可為玻璃、陶瓷等絕緣體基板、金屬等導電體基板或炭化矽等半導體基板。

第 1 絕緣體層 104 係由非結晶型金屬氧化物或非結晶型金屬氮化物所構成。以第 1 絕緣體層 104 而言，可舉出由 Al_2O_3 、 SiO_2 、 AlN 、 AlON 、 HfO_2 、 HfSiON 、 ZrO_2 、 SiN_x (例如 Si_3N_4) 及 Ta_2O_5 中之至少 1 個所構成的層，或從這些當中所選出之至少 2 層的積層。

如後所述，半導體層 106 係利用貼合法，而隔介第 1 絕緣體層 104 形成在基底基板 102 上。因此，第 1 絕緣體層 104 的表面最好為平坦。第 1 絕緣體層 104 最好是由利用原子層堆積法(ALD 法)所形成之金屬氧化物或金屬氮化物，或利用熱氧化所形成之 SiO_2 來構成。作為表面平坦性之指標，可使用利用 AFM(Atomic Force Microscope，原子力顯微鏡)觀察之表面粗糙度的 RMS(Root Mean Square，均方根)值，而第 1 絕緣體層 104 的表面之 RMS 值最好為 1nm 以下。藉由利用原子層堆積法(ALD 法)形成第 1 絕緣體層 104，可形成由表面為平坦之非結晶型的 Al_2O_3 、 SiO_2 、 AlN 、 AlON 、 HfO_2 、 HfSiON 、 ZrO_2 、 SiN_x (例如 Si_3N_4) 及 Ta_2O_5 所選擇之 1 以上的層所構成之第 1 絕緣體層 104。此外，藉由利用熱氧化法形成第 1 絕緣體層 104，可形成表面為平坦之非結晶型的 SiO_2 。 SiO_2 及 Al_2O_3 之熱穩定性高，故藉由在第 1 絕緣體層 104 使用從 SiO_2 及 Al_2O_3 選擇之 1 以上的絕緣層，可提高製程耐性(具有在之後的步驟可適用高的基板溫度的製程之製造步驟上的優點)，而更為理想。

再者，當直接將基底基板 102 與半導體層 106 進行貼合時，會有產生起因於基底基板 102 與半導體層 106 之間的晶格常數的差之應力，且會有因該應力，而在半導體層 106 產生結晶缺陷之情形。相對地本例的半導體基板 100，係在基底基板 102 與半導體層 106 之間，具有由非結晶型金屬氧化物或非結晶型金屬氮化物所構成之第 1 絕緣體層

104。第 1 絕緣體層 104 不具有結晶結構，故在本例之半導體基板 100 中，起因於基底基板 102 與半導體層 106 之間的晶格常數之差的應力會減輕。因此，在半導體層 106 不容易產生結晶缺陷。如此，藉由將非結晶型的第 1 絕緣體層 104 配置在基底基板 102 與半導體層 106 之間，可減少對製造過程之半導體層 106 的損壞。

半導體層 106 由 III-V 族化合物半導體所構成。藉由半導體基板 100 具有由 III-V 族化合物半導體構成半導體層 106，而可在基底基板 102 上形成移動率大的高性能之 MISFET。

較佳是半導體層 106 之厚度在 20nm 以下之範圍內。透過將半導體層 106 之厚度設為 20nm 以下可構成極薄膜本體之 MISFET。極薄膜本體之 MISFET 可抑制短通道效應，並可減少洩漏電流。半導體層 106 之厚度更佳是設在 10nm 以下。

第 1 絕緣體層 104 與半導體層 106 位於相接時，半導體層 106 亦可在與第 1 絕緣體層 104 相接之面，以硫原子作終端。此時，可減少第 1 絕緣體層 104 與半導體層 106 的界面之界面狀態密度。

半導體層 106 包含第 1 結晶層 108 及第 2 結晶層 110。第 1 結晶層 108 及第 2 結晶層 110 的位置係從基底基板 102 之側，依第 1 結晶層 108、第 2 結晶層 110 之順序排列。第 1 結晶層 108 係與第 2 結晶層 110 進行晶格匹配或擬晶格匹配。而且以第 1 結晶層 108 的電子親和力 E_{a1} 比第 2 結

晶層 110 的電子親和力 E_{a2} 大之方式來形成第 1 結晶層 108 及第 2 結晶層 110。透過第 1 結晶層 108 的電子親和力 E_{a1} 比第 2 結晶層 110 的電子親和力 E_{a2} 更大，使得載子電子變得較多分布於第 1 結晶層 108。亦即，即使形成絕緣層於第 2 結晶層 110 上，且在絕緣層與第 2 結晶層 110 之界面產生界面狀態時，亦變得不易產生界面狀態引起之載子電子的散射。因此，在將半導體層 106 設為通道層而形成半導體元件時，可加大該通道層之電子移動率。

作為第 1 結晶層 108 可例示 InGaAs 或 InAs，此情形時，作為第 2 結晶層 110 可例示 InGaAsP。作為第 1 結晶層 108，可例示 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}$ ($0 < x1 \leq 1$)，此情形時，作為第 2 結晶層 110，可例示 $\text{In}_{x2}\text{Ga}_{1-x2}\text{As}$ ($0 \leq x2 < 1, x1 > x2$)。作為第 1 結晶層 108，可例示 $\text{In}_{x1}\text{Ga}_{1-x1}\text{As}$ ($0.53 \leq x1 \leq 1$)，此情形時，作為第 2 結晶層 110，可例示 $\text{In}_{x2}\text{Ga}_{1-x2}\text{As}$ ($0 \leq x2 < 0.53$)。作為第 1 結晶層 108，可例示 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ，此情形時，作為第 2 結晶層 110，可例示 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 。作為第 1 結晶層 108 可例示 InAs，此情形時，作為第 2 結晶層 110 可例示 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 。

第 1 結晶層 108 之厚度可設在 10nm 以下的範圍內，尤其，較佳是設在 5nm 以下之範圍內。第 2 結晶層 110 之厚度可設在 10nm 以下之範圍內，尤其，較佳是設在 2nm 至 5nm 之範圍內。亦可在第 2 結晶層 110 之至少一部分摻雜雜質。

從第 2 圖到第 4 圖係顯示半導體基板 100 的製造過程

之剖面。如第 2 圖所示，準備半導體層形成基板 120，使用磊晶成長法將半導體層 106 形成在半導體層形成基板 120 上。之後，利用原子層堆積法將第 1 絕緣體層 104 進行成膜於半導體層 106 上。

作為半導體層形成基板 120，可舉出 InP 基板。藉由使用 InP 基板於半導體層形成基板 120，可形成高品質的 III-V 族化合物之半導體層 106。

半導體層 106 係使用磊晶成長法形成第 2 結晶層 110 後，使用磊晶成長法形成第 1 結晶層 108。在此以第 1 結晶層 108 的電子親和力 E_{a1} 變得比第 2 結晶層 110 的電子親和力 E_{a2} 更大之方式來形成第 2 結晶層 110 及第 1 結晶層 108。

為了使用磊晶成長法來形成半導體層 106，可利用 MOCVD(Metal Organic Chemical Vapor Deposition, 有機金屬化學氣相沉積法)法。在 MOCVD 法中，在 In 源可使用 TMIIn(trimethylindium, 三甲基銦)，而在 Ga 源可使用 TMGa(trimethylgallium, 三甲基鎵)，在 As 源可使用 AsH₃(砷化氫)，而在 P 源可使用 PH₃(磷化氫)。於載子氣體方面可使用氫。反應溫度係在 300°C 到 900°C 之範圍內，較佳是可在 450 至 750°C 之範圍內作適當的選擇。藉由適當選擇反應時間而可控制磊晶成長層的厚度。

藉由利用原子層堆積法(ALD 法)形成第 1 絕緣體層 104，而可平坦地形成第 1 絕緣體層 104，故第 1 絕緣體層 104 與半導體層 106 之間的緊貼性提高，並且在將第 1 絕

緣體層 104 與基底基板 102 貼合之步驟中可減輕對半導體層 106 造成的損壞。貼合步驟之詳細內容，將於後述。

如第 3 圖所示，另行準備基底基板 102，並利用氫氣束 122 將第 1 絕緣體層 104 的表面與基底基板 102 的表面予以活性化。之後，如第 4 圖所示，將利用氫氣束 122 進行過活性化之第 1 絕緣體層 104 的表面與基底基板 102 的表面進行貼合且予以接合。貼合可在室溫下進行。再者，活性化不須利用氫氣束 122 來進行，亦可利用其他的稀有氣體等之束 (beam) 來進行。之後，藉由利用 HCl 溶液等進行蝕刻，將半導體層形成基板 120 予以去除。如此，可製造第 1 圖所示之半導體基板 100。

再者亦可在進行貼合之前，利用 ALD 法在基底基板 102 的表面形成絕緣層，且將基底基板 102 表面的絕緣層與第 1 絕緣體層 104 進行接合。此外，替代利用氫氣束 122 等進行活性化，而可在將基底基板 102 上之絕緣層的表面及第 1 絕緣體層 104 的表面進行貼合之前進行親水化處理。進行親水化處理時，最好在將基底基板 102 與第 1 絕緣體層 104 進行貼合後將之予以加熱。此外，亦可在形成半導體層 106 與形成第 1 絕緣體層 104 之間，進行使硫原子鍵合於半導體層 106 的表面之處理。

第 5 圖係表示場效電晶體 200 之剖面。場效電晶體 200 係使用第 1 圖所示之半導體基板 100 而形成。場效電晶體 200 係在半導體基板 100 上具備源極電極 202 及汲極電極 204。源極電極 202 及汲極電極 204 係電性連接在半導體基

板 100 的半導體層 106。半導體層 106 具有源極區域 206 及汲極區域 208。源極區域 206 與源極電極 202 接觸，而汲極區域 208 與汲極電極 204 接觸。場效電晶體 200 係在半導體層 106 之與第 1 絕緣體層 104 接觸的面之相反側的半導體層 106 的另一面具有第 2 絕緣體層 210。第 2 絕緣體層 210 亦可設在半導體層 106 中，被包夾在源極區域 206 及汲極區域 208 之區域上。此外，場效電晶體 200 在第 2 絕緣體層 210 上設有閘極電極 212。第 2 絕緣體層 210 的一部分具有閘極絕緣膜的功能。再者，源極區域 206 之位於汲極區域 208 側的界面，及汲極區域 208 之位於源極區域 206 側的界面之至少一方，係形成在包夾於閘極電極 212 與基底基板 102 之屬於半導體層 106 的區域之閘極電極下的區域。在此，所謂包夾在閘極電極 212 與基底基板 102 之區域，係指在閘極電極 212 及基底基板 102 間，與閘極電極 212 及基底基板 102 的雙方重疊之區域。此外，所謂源極區域 206 之位於汲極區域 208 側的界面，係指源極區域 206 的界面中，與汲極區域 208 之距離為最近的界面。再者，汲極區域 208 之位於源極區域 206 側之界面，係指汲極區域 208 的界面中，與源極區域 206 之距離為最近之界面。

源極區域 206 或汲極區域 208，係包含有從由構成半導體層 106 之 III 族原子及 V 族原子所構成之群所選出之至少 1 種原子與金屬原子之合金。亦即，源極區域 206 及汲極區域 208 之至少一方(最好是源極區域 206 及汲極區域

208 之雙方)，係利用上述金屬原子對半導體層 106 進行過金屬處理(metallize)之區域。作為該金屬原子可舉出鎳原子、鈷原子，尤其最好是鎳原子。合金係可舉出從由鎳原子及鈷原子所構成之群所選出之至少 1 種原子與 III 族原子及 V 族原子之合金，而最好是由 III 族原子、V 族原子及鎳原子之 3 元素所構成之合金。

由源極區域 206 或汲極區域 208 包含上述合金來看，源極電極 202 與源極區域 206 之接觸，以及汲極電極 204 與汲極區域 208 之接觸成為歐姆接觸，而可加大場效電晶體 200 之導通電流。此外，在源極／汲極間之電阻變小，故不須降低通道電阻，而可減少摻雜雜質原子之濃度。結果，可加大在通道層之載子移動率。

場效電晶體 200 為 n 通道型場效電晶體時，源極區域 206 或汲極區域 208 可復包含有施體雜質原子。作為施體雜質原子而言，可舉出 Si、S、Se 或 Ge。場效電晶體 200 為 p 通道型場效電晶體時，源極區域 206 或汲極區域 208 可復包含有受體雜質原子。作為受體雜質原子，可舉出 Zn、C 或 Mg。

第 2 絕緣體層 210 與第 2 結晶層 110 之介電係數、膜厚及電子親和力，最好以滿足數學式 1 的關係之方式來選擇。

(數學式 1)

$$(\epsilon_1 \cdot d_0) / (\epsilon_0 \cdot d_1) > (V - \delta) / \delta$$

其中， d_0 及 ϵ_0 係表示包夾在閘極電極 212 與第 1 結晶

層 108 的閘極下的區域之第 2 絕緣體層 210 的厚度及相對電容率， d_1 及 ϵ_1 係表示閘極下的區域之第 2 結晶層 110 的厚度及相對電容率。 δ 係第 2 結晶層 110 與第 1 結晶層 108 之電子親和力的差，即 $\delta = E_{a1} - E_{a2}$ 。 V 係以 $V = V_2 - V_t$ 定義之電壓， V_g 係施加在場效電晶體 200 的閘極電極 212 之電壓， V_t 為閾值電壓。電壓 V 係將閾值電壓以上的電壓施加在閘極電極 212 來使場效電晶體 200 動作時，可作為施加在閘極下的區域之第 2 結晶層 110 與第 2 絕緣體層 210 之積層結構的部分之電壓而可與之近似。

藉由在載子移動於場效電晶體 200 之源極電極 202 與汲極電極 204 之間的狀態中滿足數學式 1 的關係，而可將多數通道電子誘發到第 1 結晶層 108 與第 2 結晶層 110 之界面。因此，可將存在於第 2 絕緣體層 210 與第 2 結晶層 110 間之界面狀態之對通道電子造成的影響予以降低。結果，可提高通道電子之移動率。使用場效電晶體 200 於 CMOS 電路時，電源電壓最好是在 0.4V 以上 1.0V 以下。

再者，數學式 1 之關係可如以下方式予以導出。將電壓 V 施加在閘極下的區域之第 2 結晶層 110 與第 2 絕緣體層 210 的積層結構之部分時，可以數學式 2 來表示在第 2 結晶層 110 之電壓降 ΔV 。

(數學式 2)

$$\Delta V = V \times (d_1 / \epsilon_1) / ((d_1 / \epsilon_1) + d_0 / \epsilon_0)$$

在此若為 $\Delta V < \delta$ ，則可將多數的通道電子誘發到第 2 絕緣體層 210 與第 2 結晶層 110 之間。因此得到數學式 3。

(數學式 3)

$$V \times (d_1 / \epsilon_1) / ((d_1 / \epsilon_1) + d_0 / \epsilon_0) < \delta$$

藉由整理數學式 3 可得到數學式 1。亦即，滿足數學式 1 之關係時，可將高移動率通道電子誘發到第 1 結晶層 108 與第 2 結晶層 110 的界面。

第 6 圖到第 8 圖係顯示場效電晶體 200 的製造過程之剖面。如第 6 圖所示，利用原子層堆積法將第 2 絕緣體層 210 形成在半導體基板 100 上，且形成成為閘極電極 212 之金屬層 211。如第 7 圖所示，將金屬層 211 予以圖案化來形成閘極電極 212，且以閘極電極 212 作為遮罩而將第 2 絕緣體層 210 予以圖案化。亦即，將形成有閘極電極 212 之區域以外的第 2 絕緣體層 210 之一部分予以蝕刻，來形成到達半導體層 106 之開口。

復形成金屬薄膜 220。亦即，形成與從開口露出之半導體層 106 接觸之金屬薄膜 220。例如可利用濺鍍法或蒸鍍法來形成金屬薄膜 220。作為金屬薄膜 220，可舉出鎳膜或鈷膜，而最好為鎳膜。如第 8 圖所示，將金屬薄膜 220 進行熱處理，而在與金屬薄膜 220 接觸之半導體層 106 的部分形成源極區域 206 或汲極區域 208。去除未反應之金屬薄膜 220 後，在源極區域 206 及汲極區域 208 上各別形成源極電極 202 及汲極電極 204，而可製造第 5 圖的場效電晶體 200。

此外，場效電晶體 200 為 N 通道型場效電晶體時，金屬薄膜 220 亦可含有鎳原子及施體雜質原子(Si 等)。場效

電晶體 200 為 P 通道型場效電晶體時，金屬薄膜 220 亦可含有鎳原子及受體雜質原子(Zn 等)。金屬薄膜 220 之熱處理較佳為利用 RTA(rapid thermal annealing, 快速熱退火)法進行。使用 RTA 法時，最好可將退火溫度設為 250°C。可利用上述之方法且以自我對準之方式形成源極區域 206 及汲極區域 208。此外，藉由將 RTA 法等之退火溫度或退火時間或該兩方予以控制，而可將構成金屬薄膜 220 之金屬原子，以及構成半導體層 106 的半導體原子之橫方向的反應予以控制，且可將源極區域 206 及汲極區域 208 之彼此相對的界面之位置予以控制。亦即可將進入到源極區域 206 及汲極區域 208 的閘極電極下的區域之程度予以控制。藉此方式，可容易製造通道長度為數十 nm 左右(100nm 以下)之平面型 MOSFET。

依據上述半導體基板 100 及使用有該基板之場效電晶體 200，利用磊晶成長法將半導體層 106 形成在由 InP 所構成之半導體層形成基板 120 上，故可提高半導體層 106 的品質。再者由於隔介非結晶型的第 1 絕緣體層 104 將基底基板 102 貼合於半導體層 106，故可維持高的半導體層 106 之品質。因此，可將使用此種半導體層 106 於通道層之場效電晶體 200 的性能予以提高。此外藉由將半導體層 106 的厚度設為極薄而可降低洩漏電流。此外因將離閘極絕緣膜遠的第 1 結晶層 108 之電子親和力 E_{a1} 設為比離閘極絕緣膜近的第 2 結晶層 110 之電子親和力 E_{a2} 還大，故可抑制通過通道之載子電子的散射，且可提高通道之載子移動

率。並且，因將場效電晶體 200 之源極區域 206 及汲極區域 208 進行有金屬化處理，故可減少源極／汲極間之電阻。由於降低源極／汲極間的電阻故可減少對通道層之摻雜量，且可提高載子移動率。

此外如第 9 圖所示，半導體層 106 可復包含第 3 結晶層 302。第 9 圖係顯示半導體基板 300 之剖面。半導體基板 300 係半導體層 106 復包含第 3 結晶層 302 之外，亦可具有與半導體基板 100 相同的構成。在半導體基板 300 中，從基底基板 102 之側將第 1 結晶層 108、第 2 結晶層 110 及第 3 結晶層 302，按照第 3 結晶層 302、第 1 結晶層 108、第 2 結晶層 110 之順序進行積層。第 3 結晶層 302 之電子親和力 E_{a3} 係以比第 1 結晶層 108 的電子親和力 E_{a1} 還小之方式構成。第 10 圖係使顯示用有半導體基板 300 之場效電晶體 400 的剖面。場效電晶體 100 係半導體層 106 復具有第 3 結晶層 302 之外，亦可具有與場效電晶體 200 相同的構成。

依據半導體基板 300 及場效電晶體 400，因具有第 3 結晶層 302，故半導體層 106 內之載子電子，從半導體層 106 與第 1 絕緣體層 104 之間的界面遠離。結果，可將起因於在第 1 絕緣體層 104 與第 3 結晶層 302 的界面之界面狀態的載子電子之散射予以抑制。結果，載子之移動率提高。此外，藉由第 1 結晶層被包夾在滿足 $E_{a2} < E_{a1}$ 與 $E_{a3} < E_{a1}$ 之第 2 結晶層 110 與第 3 結晶層 302，來將半導體層 106 中的通道電子進行量化。因此，可使半導體層 106 中之通

道電子的數目成為最大之位置從半導體層 106 與第 1 絕緣體層 104 的界面以及半導體層 106 與第 2 絕緣體層 210 之界面遠離。因此載子移動率提高。

第 3 結晶層 302 係對第 1 結晶層 108 進行晶格匹配或擬晶格匹配。第 1 結晶層 108 為 InGaAs，而第 2 結晶層 110 為 InGaAsP 時，作為第 3 結晶層 302 可例示 InGaAsP。第 1 結晶層 108 為 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}$ ($0 < x_1 \leq 1$)，第 2 結晶層 110 為 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 < 1, x_1 > x_2$) 時，作為第 3 結晶層 302 可例示 $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{As}$ ($0 \leq x_3 < 1, x_1 > x_3$)。作為第 1 結晶層 108 可例示 $\text{In}_{x_1}\text{Ga}_{1-x_1}\text{As}$ ($0.53 \leq x_1 \leq 1$)，此情形時，作為第 2 結晶層 110 可例示 $\text{In}_{x_2}\text{Ga}_{1-x_2}\text{As}$ ($0 \leq x_2 < 0.53$)，而作為第 3 結晶層 302 可例示 $\text{In}_{x_3}\text{Ga}_{1-x_3}\text{As}$ ($0 \leq x_3 < 0.53$)。再者，亦可為 $x_2 = x_3$ 。第 1 結晶層 108 為 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ ，而第 2 結晶層 110 為 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 時，作為第 3 結晶層 302 可例示 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 。第 1 結晶層 108 為 InAs，而第 2 結晶層 110 為 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 時，作為第 3 結晶層 302 可例示 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 。

第 3 結晶層 302 的厚度可在 20nm 以下之範圍內，尤其在 2nm 至 5nm 之範圍內為佳。在半導體層 106 的製造過程中，第 3 結晶層 302 係可在形成第 1 結晶層 108 後利用磊晶成長法來形成。

在上述說明中，就在半導體基板的表面側具有閘極電極 212 之前閘極型的場效電晶體之例作了說明，而場效電晶體亦可採用具有如第 11 圖所示之後閘極電極 502 之結構。亦即相對於第 5 圖或第 10 圖所示之場效電晶體 200 或

場效電晶體 400 的構成，第 11 圖所示之場效電晶體 500 在不具備第 2 絕緣體層 210 及閘極電極 212，且在基底基板 102 的與第 1 絕緣體層 104 相反側之面具備後閘極電極 502 這點上為不同之處。場效電晶體 500 可具有與第 5 圖或第 10 圖所示之場效電晶體 200 或場效電晶體 400 相同的源極電極 202、汲極電極 204、源極區域 206、汲極區域 208、半導體層 106、第 1 絕緣體層 104 及基底基板 102。此外，在場效電晶體 500 中，第 1 絕緣體層 104 的一部分具有作為閘極絕緣層之功能。

此外，如第 12 圖所示，場效電晶體亦可具備前閘極結構及後閘極結構的兩個結構之雙閘極結構。亦即，第 12 圖所示之場效電晶體 600 係具備後閘極電極 502 及閘極電極 212，其中後閘極電極 502 係設置在基底基板 102，而閘極電極 212 係在與半導體層 106 與第 1 絕緣體層 104 接觸之面相對向之半導體層 106 的另一面，隔介第 2 絕緣體層 210 而設置，並將第 1 絕緣體層 104 及第 2 絕緣體層 210 的一部分作為閘極絕緣膜。場效電晶體 600 可具備與第 5 圖或第 10 圖所示之場效電晶體 200 或場效電晶體 400 相同之源極電極 202、汲極電極 204、源極區域 206、汲極區域 208、半導體層 106、第 1 絕緣體層 104 及基底基板 102。

(第 1 實施例)

利用 MOVPE (Metal Organic Vapor Phase Epitaxy, 有機金屬氣相磊晶法) 法在面方向 (001) 之 InP 基板上將 InGaAs 層進行磊晶成長，且利用 ALD 法在 InGaAs 層上形

成 Al_2O_3 層。另在矽基板上利用 ALD 法形成 Al_2O_3 層。對 InP 基板與矽基板之各個的 Al_2O_3 層進行親水化處理，且將 InP 基板與矽基板進行貼合後，利用 HCl 溶液選擇性地去除 InP。藉此方式製造由 InGaAs 層/ Al_2O_3 層 (BOX 層)/矽基板構成的半導體基板。

使用丙酮、 NH_4OH 、 $(\text{NH}_4)_2\text{S}$ 將上述半導體基板之 InGaAs 層表面予以清洗，並且進行使硫原子鍵結於基板表面的處理後，在 InGaAs 層上，利用 ALD 法形成 10nm 厚度之 Al_2O_3 層。在使硫原子鍵結於基板表面的處理中，亦可不使用丙酮、 NH_4OH ，而僅用 $(\text{NH}_4)_2\text{S}$ 。利用濺鍍法形成由鈦構成的閘極電極，且施行後金屬化退火處理後，形成 20nm 厚度的鎳膜。以 250°C 對鎳膜施行 RTA 處理，以形成 Ni-InGaAs 合金的源極/汲極 (S/D)，來製造場效電晶體。

製作 InGaAs 層為下述 5 種之樣本 (1) 至樣本 (5)。

(1) 10nm 厚度之 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ (單層)

(2) 5nm 厚度之 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ (單層)

(3) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 2/1/3nm 之積層

(4) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 2/3/3nm 之積層

(5) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 2/5/3nm 之積層

此外，在下述之第 13 圖至第 20 圖中，有將 (1) 及 (2) 之樣本稱為「無緩衝區」或稱為「單通道」之情形，而有

將(3)至(5)之樣本稱為「有緩衝區」之情形。有將 InGaAs 層的厚度稱為「本體厚度」的情形，而在(3)至(5)的樣本中有將 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 之厚度稱為「通道的厚度」之情形。

第 13 圖係樣本(5)之剖面 TEM 照片。可清楚看出適宜地形成有各層的結構。此外，可以看清閘極下之 Ni-InGaAs 合金的重疊適度，且看清藉自我對準可形成 Ni-InGaAs 合金之源極／汲極。

第 14 圖係顯示樣本(1)的 I_d - V_g 特性。第 15 圖係顯示樣本(1)之 I_d - V_d 特性。此外，第 16 圖係顯示樣本(1)之移動率與電荷密度 N_s 之關係。在第 16 圖中，作為比較，亦顯示不對源極／汲極進行 Ni-InGaAs 合金化處理而將 InGaAs 通道(9nm 厚度)進行重摻雜之樣本的資料。參照第 14 圖至第 16 圖時，樣本(1)雖通道摻雜濃度為低的 1×10^{16} atoms/cm³，但觀測到高的導通電流。此係可推測為起因於將源極／汲極進行過 Ni-InGaAs 合金化處理之故。如第 15 圖所示，樣本(1)之 I_d - V_d 特性佳。如第 16 圖所示，與沒對源極／汲極進行 Ni-InGaAs 合金化處理之比較例比較時，樣本(1)的移動率顯示為約 1.9 倍的值。可確認 Ni-InGaAs 合金之源極／汲極之移動率提高的效果。

第 17 圖係顯示樣本(5)之 I_d - V_g 特性。觀測到 3 位數之導通關斷比與 183mV/dec 之低的次臨限(subthreshold)係數。第 18 圖係顯示樣本(3)之 I_d - V_g 特性。觀測到 7 位數之導通關斷比與次臨限係數 103mV/dec 之極佳的特性。第 19 圖係以與電荷密度 N_s 之關係來顯示樣本(5)的移動

率。在第 19 圖中，作為比較，亦顯示樣本(1)之值(無緩衝區)及 Si MOSFET 的值。與 Si MOSFET 之比較，觀測到樣本(5)之移動率為 4.2 倍，而與樣本(1)之比較，觀測到樣本(5)之移動率為 1.6 倍之高的值。證實 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 的積層通道之移動率提高的效果。

第 20 圖係顯示樣本(1)到(5)之移動率的通道層厚度依賴性。可以看出從通道層之厚度(整體的本體厚度)低於 10nm 的附近起移動率急速降低，惟於 $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之積層通道結構(有緩衝區)之情況與單層(無緩衝區)比較，即使為薄的通道厚度亦可維持高的移動率。此外，在積層通道結構中，可知比起塊體(bulk)的情況其移動率變高。

(第 2 實施例)

與第 1 實施例相同，在面方向(001)之 InP 基板上，利用 MOVPE 法，將 InGaAs 層進行磊晶成長，並利用 ALD 法在 InGaAs 層上形成 Al_2O_3 層。另利用 ALD 法在矽基板上形成 Al_2O_3 層。對 InP 基板與矽基板之各個的 Al_2O_3 層進行親水化處理，且在將 InP 基板與矽基板予以貼合後，利用 HCl 溶液選擇性地去除 InP。藉此方式製造由 InGaAs 層/ Al_2O_3 層(BOX 層)/矽基板構成之半導體基板。

利用丙酮、 NH_4OH 、 $(\text{NH}_4)_2\text{S}$ 將上述半導體基板之 InGaAs 層表面予以清洗，並且進行使硫原子鍵結於基板表面的處理後，在 InGaAs 層上，利用 ALD 法形成 10nm 厚度之 Al_2O_3 層。利用濺鍍法形成由鈹構成之閘極電極，且進行後金屬

化退火處理後，形成 20nm 厚度的鎳膜。以 250°C 對鎳膜進行 RTA 處理，而形成 Ni-InGaAs 合金之源極／汲極(S/D)，來製造場效電晶體。場效電晶體之閘極長度 L 為 5 μm 且將閘極寬度 w 設為 100 μm。

製造 InGaAs 層為下述 4 種之樣本(6)至(9)。

(6) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InAs}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 3/3/3nm 之積層

(7) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 3/5/3nm 之積層

(8) 10nm 厚度之 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ (單層)

(9) 20nm 厚度之 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (單層)

此外，在下述之第 21 圖至第 23 圖中，有將(8)及(9)之樣本稱為「無緩衝區」或「單通道」之情形，且有將(6)及(7)之樣本稱為「有緩衝區」之情形。有將 InGaAs 層的厚度稱為「主體厚度」之情形，在(8)及(9)之樣本中有將 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 或 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 之厚度稱為「通道之厚度」之情形。

第 21 圖係樣本(6)的剖面 TEM 照片。通道層為 InAs 時，亦與第 1 實施例相同適當地形成各層的結構，且閘極下之 Ni-InGaAs 合金之重疊亦適度。以自我對準之方式可形成 Ni-InGaAs 合金之源極／汲極。第 22 圖係顯示樣本(6)之 Id-Vg 特性。通道層為 InAs 時，亦與第 1 實施例相同地顯示適當的電晶體運作。

第 23 圖係顯示樣本(6)至(9)的室溫之移動率與電荷

密度 N_s 之關係。在積層型通道之樣本(6)及樣本(7)中可觀察到比單層通道的樣本(8)及樣本(9)還高的移動率。此外，在相當於第 1 結晶層 108 的層之銦組成為 1 之樣本(6)中，觀察到比相當於第 1 結晶層 108 之層的銦組成為 0.7 之樣本(7)還高的移動率。可說該銦組成愈大愈可實現高的移動率。樣本(6)之最大移動率到達 $3180 \text{ cm}^2/\text{Vs}$ ，且在膜厚 10nm 以下之超薄膜主體 InAs 積層通道(ultrathin body (UTB) InAs-composite-0 I channel)中，首次達成移動率 $3180 \text{ cm}^2/\text{Vs}$ 。

(第 3 實施例)

與第 1 實施例相同，在面方向(001)之 InP 基板上，利用 MOVPE 法磊晶成長 InGaAs 層，且利用 ALD 法在 InGaAs 層上形成 Al_2O_3 層。另利用 ALD 法在矽基板上形成 Al_2O_3 層。對 InP 基板與矽基板之各個 Al_2O_3 層進行親水化處理，並將 InP 基板與矽基板予以貼合後，利用 HCl 溶液選擇性地去除 InP。藉此方式來製造由 InGaAs 層/ Al_2O_3 層(BOX 層)/矽基板所構成的半導體基板。

利用丙酮、 NH_4OH 、 $(\text{NH}_4)_2\text{S}$ 將上述半導體基板之 InGaAs 層表面予以清洗，並於進行使硫原子鍵結於基板表面的處理後，利用 ALD 法在 InGaAs 層上形成 10nm 厚度之 Al_2O_3 層。使用濺鍍法及電子束微影法形成由鈿所構成之閘極電極。將閘極電極之寬度設為 200nm 左右，來嘗試微細加工。施行後金屬化退火處理後，形成 20nm 厚度之鎳膜。以 250°C 對鎳膜進行 RTA 處理，形成 Ni-InGaAs 合金之源極/汲極

(S/D)。源極／汲極係藉 InGaAs 層與鎳之熱反應，橫向 (lateral) 地成長，而源極區域、汲極區域之彼此相對的部分形成在閘極電極下。以此方式製造場效電晶體。電界效果電晶體之閘極長度 L 為 55nm 左右。

製作 InGaAs 層為下述 2 種之樣本(10)及(11)。

(10) $\text{In}_{0.3}\text{Ga}_{0.7}\text{As}/\text{InAs}/\text{In}_{0.3}\text{Ga}_{0.7}\text{As}$ 之各厚度為 3/3/3nm 之積層

(11) 10nm 厚度之 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (單層)

再者，在下述之第 24 圖至第 37 圖中，有將(11)之樣本稱為「無緩衝區」或「單通道」之情形，而有將(10)之樣本稱為「有緩衝區」之情形。有將 InGaAs 層之厚度稱為「主體厚度」之情形，而在(11)之樣本中，有將 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 之厚度稱為「通道的厚度」之情形。

第 24 圖及第 25 圖係樣本(10)之剖面 TEM 照片。與第 1 實施例相同適當地形成各層的結構。若參照第 25 圖，在 InGaAs 層之閘極下形成有 Ni-InGaAs 合金之重疊，而從閘極端起之重疊長度為數十 nm 左右。若事先將閘極電極之寬度設為數百 nm，且以熱處理的溫度或時間來控制重疊長度，便可精密且簡單地控制電晶體的閘極長度(源極／汲極間的距離)。此外，可知藉自我對準之方式可形成 Ni-InGaAs 合金之源極／汲極。依此種方法，可容易製造通道長度為 100nm 以下之平面型 MOSFET。

第 26 圖係顯示樣本(10)之 I_d-V_g 特性。第 27 圖係顯示樣本(10)之 I_d-V_d 特性。可知即使為將閘極長度予以微

細化處理為 55nm 之 InAs 積層通道絕緣層上的 MOSFET，亦可顯示良好的電晶體特性。

第 28 圖係顯示樣本(11)的 S.S 值(次臨限值)之通道長度依賴性，第 29 圖係顯示樣本(11)的 DIBL 值(汲極引致能障下降效應值)之通道長度依賴性。在兩圖中，將屬於閘極絕緣層之 Al_2O_3 的厚度分別為 6nm、12nm 之情況的對比予以顯示。S.S 值係 Al_2O_3 的厚度為 6nm 之情況比 12nm 之情況還小。此現象可推測是通道形成在離閘極電極較近的場所之效果。DIBL 值係 Al_2O_3 的厚度為 6nm 之情況比 12nm 之情況還小。可知道藉由縮小 (scaling) 等效氧化層厚度 (EOT Equivalent Oxide Thickness) 之效果，改善電晶體之性能。

第 30 圖至第 35 圖係針對樣本(10)及樣本(11)，分別顯示臨限值 (V_{th}) 之通道長度依賴性(第 30 圖)、S.S 值之通道長度依賴性(第 31 圖)、DIBL 值之通道長度依賴性(第 32 圖)、導通電流 / 關斷電流特性(第 33 圖)、導通電流之 DIBL 依賴性(第 34 圖)、源極 / 汲極間之總電阻值的通道長度依賴性(第 35 圖)。此外，臨限值係汲極電流以 $10^{-6} \mu A / \mu m$ 之閘極電壓來定義，而 DIBL 係以各個的汲極電壓之臨限值的差來予以評估。

從第 31 圖來看，在樣本(10)及樣本(11)之任一個中，亦看不到臨限值之激烈的變化 (roll-off) 或臨限值轉移為負偏差之現象。由 roll-off 等之現象係因短通道效應而產生，可確認抑制短通道效應。該短通道效應之抑制效果係可推測可藉由在絕緣層 (BOX 層) 上形成電晶體之 OI 結構而

得到，而可確認 0I 結構之優點。

透過第 32 圖及第 33 圖，可知在通道長度為數百 nm 左右之短通道 MOSFET 中，亦可得到良好的 S.S. 值及 DIBL 值。此外，在通道長度為 100nm 以下之區域中，樣本(10)的 DIBL 值低且佳。可確認短通道區域之 InAs 積層通道結構(樣本(10))的優越性。

透過第 34 圖，可知道比起樣本(11)，樣本(10)可實現約 4 倍的導通電流(關斷電流為 $1\text{nA}/\mu\text{m}$ 之情況)，而透過第 35 圖，可知道比起樣本(11)，樣本(10)可實現約 4 倍的導通電流(相同的 DIBL 值之情況)。

透過第 35 圖，可知道樣本(10)之源極/汲極間的寄生電阻為 $1.16\text{k}\Omega \cdot \mu\text{m}$ ，而樣本(11)之源極/汲極間的寄生電阻為 $5.54\text{k}\Omega \cdot \mu\text{m}$ 。此外，源極/汲極間之寄生電阻係對應將通道長 L_{ch} 設為零時之源極/汲極間的總電阻值 R_{tot} 。亦即，可知樣本(10)之寄生電阻比起樣本(11)之寄生電阻，為約其 5 分之 1。

第 36 圖係顯示樣本(10)，樣本(11)及第 1、2、4 參照例之場效電晶體的 S.S. 值之通道長度依賴性，而第 37 圖係顯示樣本(10)及第 1 參照例至第 4 參照例之場效電晶體的 DIBL 值之通道長度依賴性。第 1 表係顯示與第 3 實施例之樣本(10)及第 1 參照例至第 4 參照例之主要的結構與特性作比較之表。

[第 1 表]

	第3實施例 (InAs)	第1參照例 Tri-gate	第2參照例 Tri-gate	第3參照例 Fin FET	第4參照例 GAA
$L_{ch}(nm)$	55	70	60	130	50
$W_{fin}/H_{fin}(nm)$	ETB Planar	60/50	40/40	220/100	30/30
EOT(nm)	~3.5	1.2	1.2	3.8	~7
$I_{on}(\mu A/\mu m)$ at $V_G - V_{th} = V_D = 0.5V$	278	~300	~400	~80	~180
$S. S. (mV/dec)$	105	120	90	230	150
DIBL(mV/V)	84	110	60	120	210

此外，第 1 參照例至第 4 參照例係記載在下列文獻之電晶體，任一參照例皆具有三閘極型、鰭式或環繞式閘極之立體閘極結構。

第 1 參照例：M. Radosavljevic et al., 2010 IEDW, pp. 126-129.

第 2 參照例：M. Radosavljevic et al., 2010 IEDW, pp. 765-768.

第 3 參照例：H. C. Chin et al., EDL32, 2(2011).

第 4 參照例：J. J. Gu. et al., 2011 IEDW, pp. 769-772.

從第 36 圖、第 37 圖及第 1 表，可知樣本(10)為具有平面型的閘極結構之 MOSFET，且具有與立體結構閘極相同或超過立體結構閘極之特性。

此外在本說明書中，除了層、區域或基板之類的第 1 元件位於第 2 元件上(on)的情況外，第 1 元件直接位於第 2 元件上之情況之外，亦可包含其他元件介設第 1 元件及

第 2 元件之間，而使第 1 元件間接位於第 2 元件上之情況。此外，所謂從開口露出之半導體層 106，係指開口的底部之半導體層 106。再者，場效電晶體為 n 通道型場效電晶體時，在本說明書中說明過的各電子親和力之關係亦可為相反。

【圖式簡單說明】

第 1 圖係顯示半導體基板 100 的剖面。

第 2 圖係顯示半導體基板 100 的製造過程之剖面。

第 3 圖係顯示半導體基板 100 的製造過程之剖面。

第 4 圖係顯示半導體基板 100 的製造過程之剖面。

第 5 圖係顯示場效電晶體 200 的剖面。

第 6 圖係顯示場效電晶體 200 的製造過程之剖面。

第 7 圖係顯示場效電晶體 200 的製造過程之剖面。

第 8 圖係顯示場效電晶體 200 的製造過程之剖面。

第 9 圖係顯示半導體基板 300 之剖面。

第 10 圖係顯示場效電晶體 400 之剖面。

第 11 圖係顯示場效電晶體 500 之剖面。

第 12 圖係顯示場效電晶體 600 之剖面。

第 13 圖係顯示第 1 實施例的場效電晶體之剖面 TEM 照片。

第 14 圖係顯示第 1 實施例的場效電晶體之 I_d - V_g 特性。

第 15 圖係顯示第 1 實施例的場效電晶體之 I_d - V_d 特性。

第 16 圖係顯示第 1 實施例的場效電晶體之移動率。

第 17 圖係顯示第 1 實施例的場效電晶體之 I_d - V_g 特性。

第 18 圖係顯示第 1 實施例的場效電晶體之 I_d - V_g 特性。

第 19 圖係顯示第 1 實施例的場效電晶體之移動率。

第 20 圖係顯示第 1 實施例的場效電晶體之移動率的通道層厚度依賴性。

第 21 圖係顯示第 2 實施例的場效電晶體之剖面 TEM 照片。

第 22 圖係顯示第 2 實施例的場效電晶體之 I_d - V_g 特性。

第 23 圖係顯示第 2 實施例的場效電晶體之移動率。

第 24 圖係顯示第 3 實施例的場效電晶體之剖面 TEM 照片。

第 25 圖係顯示第 3 實施例的場效電晶體之剖面 TEM 照片。

第 26 圖係顯示第 3 實施例的場效電晶體之 I_d - V 特性。

第 27 圖係顯示第 3 實施例的場效電晶體之 I_d - V_d 特性。

第 28 圖係顯示場效電晶體的次臨限(S.S)值之通道長度依賴性。

第 29 圖係顯示場效電晶體的汲極電壓造成之汲極引致能障下降效應(DIBL)值的通道長度依賴性。

第 30 圖係顯示第 3 實施例的場效電晶體之臨限值(V_{th})的通道長度依賴性。

第 31 圖係顯示第 3 實施例的場效電晶體之 S.S 值的通道長度依賴性。

第 32 圖係顯示第 3 實施例的場效電晶體之 DIBL 值的通道長度依賴性。

第 33 圖係顯示第 3 實施例的場效電晶體之導通電流／關斷電流特性。

第 34 圖係顯示第 3 實施例的場效電晶體之導通電流的 DIBL 依賴性。

第 35 圖係顯示第 3 實施例的場效電晶體之總電阻值的通道長度依賴性。

第 36 圖係顯示第 3 實施例及參照例之場效電晶體的 S.S. 值之通道長度依賴性。

第 37 圖係顯示第 3 實施例及參照例之場效電晶體的 DIBL 值之通道長度依賴性。

【主要元件符號說明】

100	半導體基板
102	基底基板
104	第 1 絕緣體層
106	半導體層
108	第 1 結晶層
110	第 2 結晶層
120	半導體層形成基板

122	氬氣束
200	場效電晶體
202	源極電極
204	汲極電極
206	源極區域
208	汲極區域
210	第 2 絕緣體層
211	金屬層
212	閘極電極
220	金屬薄膜
300	半導體基板
302	第 3 結晶層
400	場效電晶體
500	場效電晶體
502	後閘極電極
600	場效電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

10110633

※申請日：

101.7.2

※IPC 分類：

H01L 29/12 (2006.01)

H01L 29/78 (2006.01)

一、發明名稱：(中文/英文)

半導體基板、場效電晶體、半導體基板之製造方法及場效電晶體之製造方法

SEMICONDUCTOR SUBSTRATE, FIELD EFFECT TRANSISTOR,
METHOD FOR MAKING A SEMICONDUCTOR SUBSTRATE, AND A
METHOD FOR MAKING A FIELD EFFECT TRANSISTOR

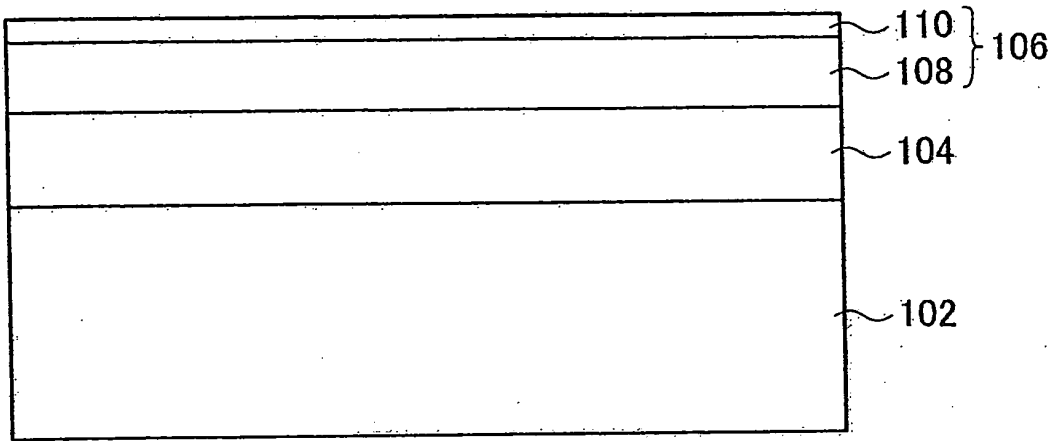
二、中文發明摘要：

本發明提供一種半導體基板，係具有基板、第 1 絕緣體層與半導體層，而基底基板、第 1 絕緣體層及半導體層的位置係依基底基板、第 1 絕緣體層、半導體層之順序而排列，而第 1 絕緣體層係由非結晶型金屬氧化物或非結晶型金屬氮化物所構成，而半導體層包含第 1 結晶層及第 2 結晶層，且第 1 結晶層及第 2 結晶層的位置係從基底基板之側，依第 1 結晶層、第 2 結晶層之順序而排列，而第 1 結晶層之電子親和力 E_{a1} 比第 2 結晶層的電子親和力 E_{a2} 還大。

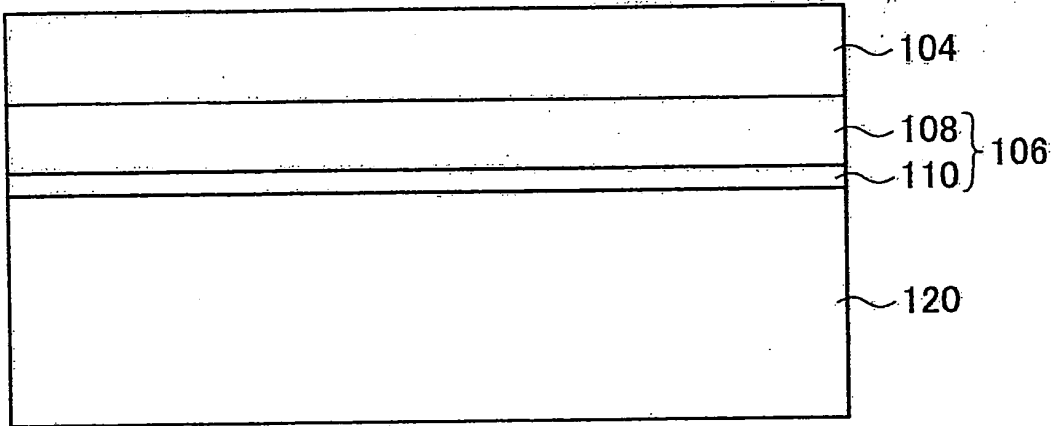
三、英文發明摘要：

This invention provides a semiconductor substrate having a base substrate, a first insulation layer and a semiconductor layer. The base substrate, the first insulation layer and the semiconductor layer are sequentially positioned. The first insulation layer is constituted by an amorphous metal oxide or an amorphous metal nitride. The semiconductor layer contains a first crystal layer and a second crystal layer sequentially position from the base substrate side. The first crystal layer has an electron affinity E_{a1} larger than the electron affinity E_{a2} of the second crystal layer.

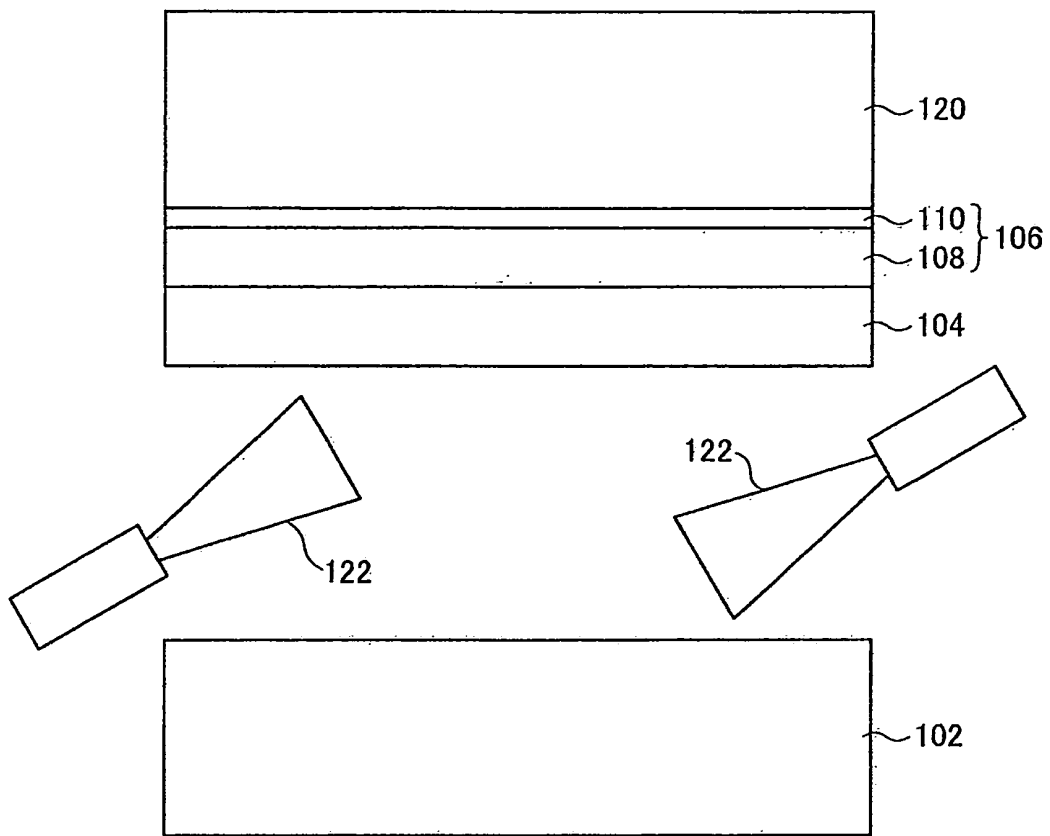
八、圖式：



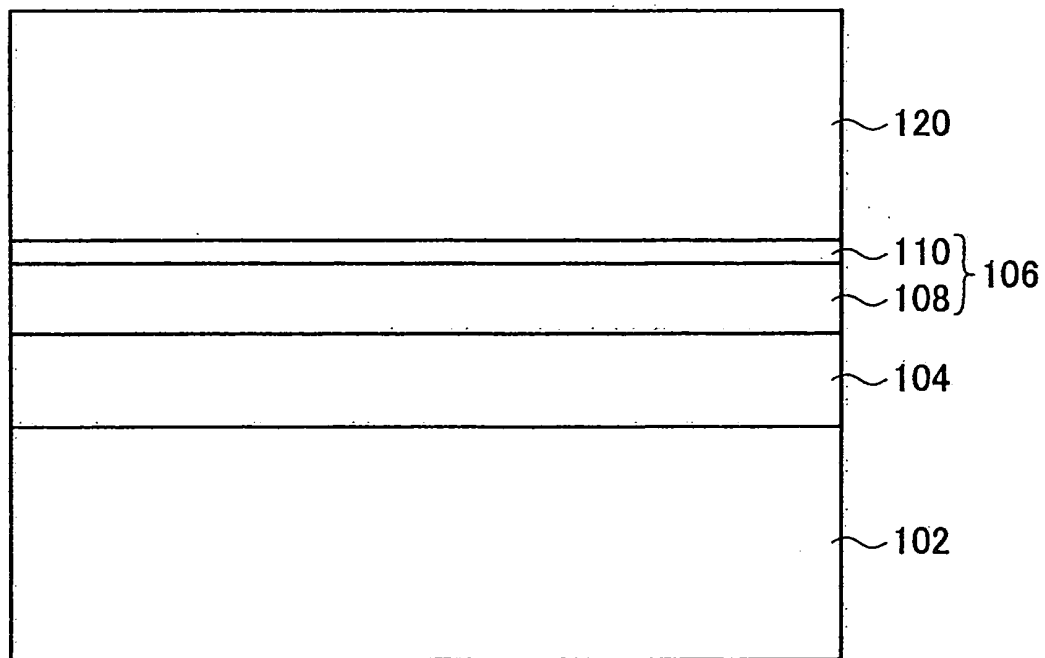
100 第1圖



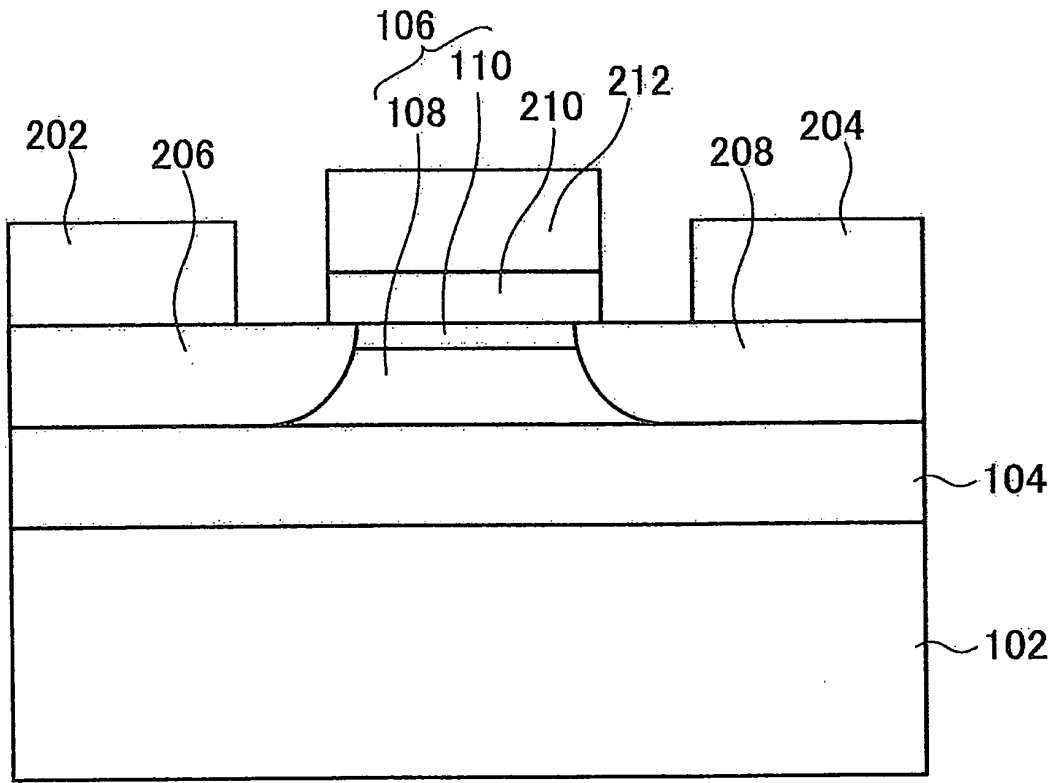
第2圖



第3圖

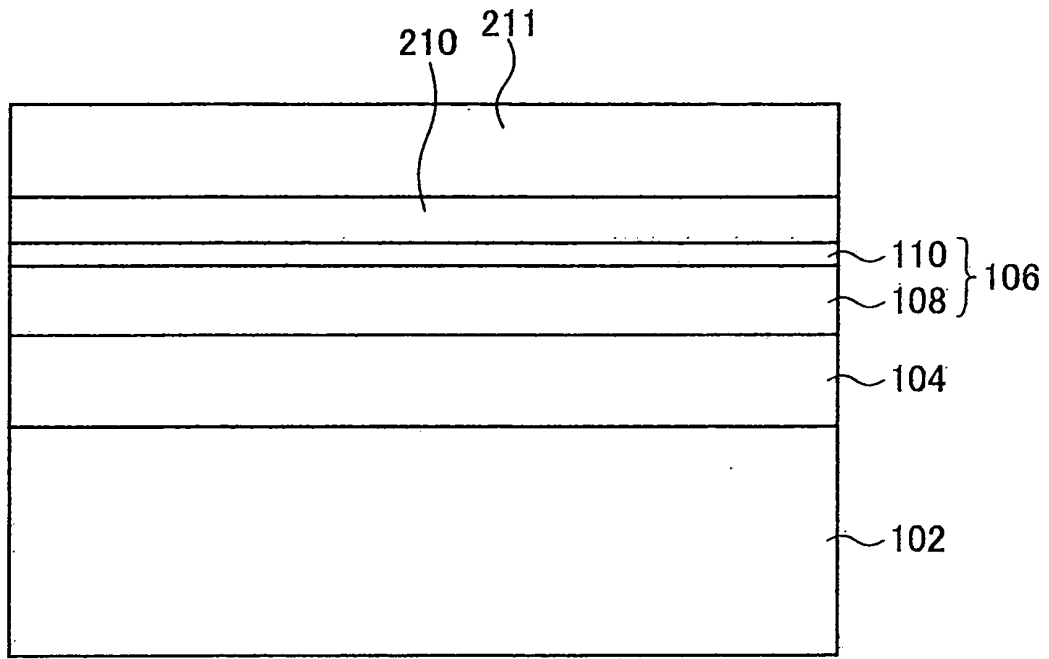


第4圖

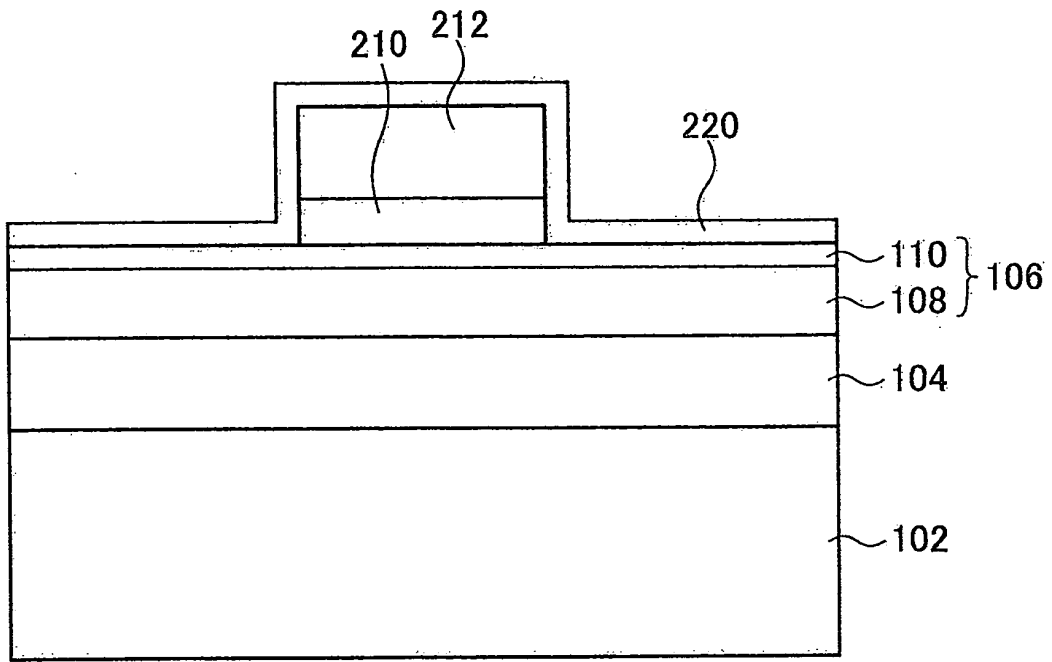


200

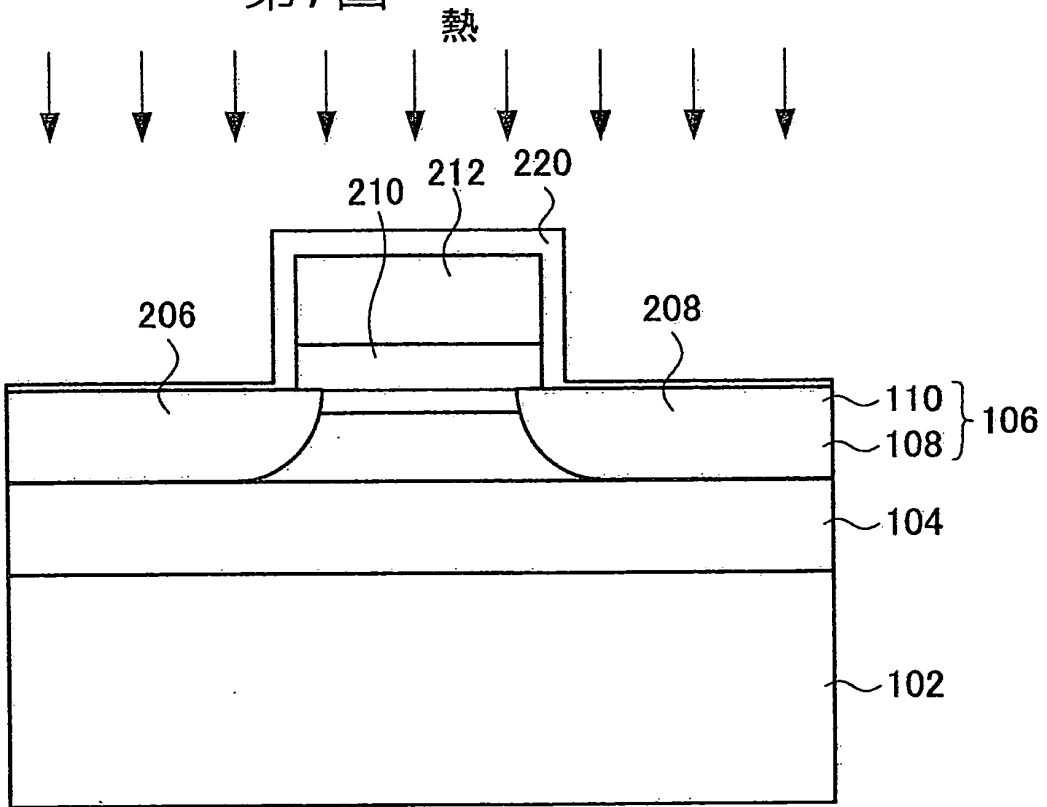
第5圖



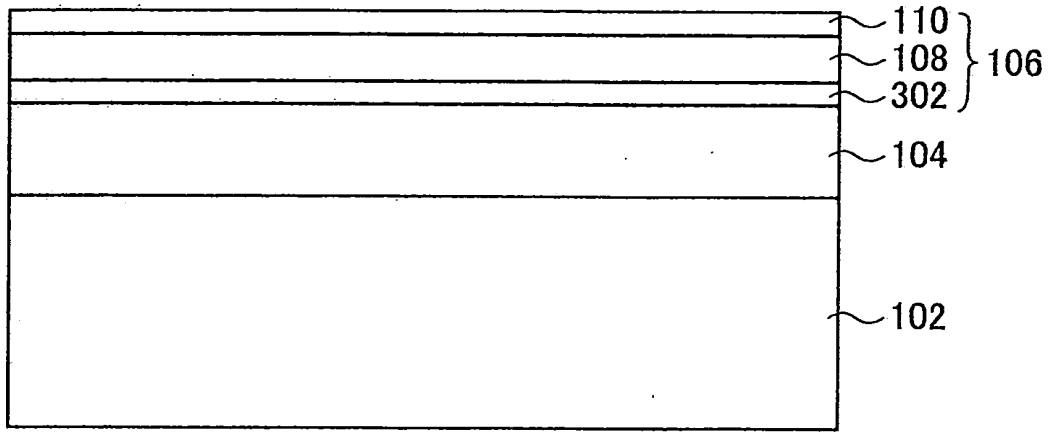
第6圖



第7圖

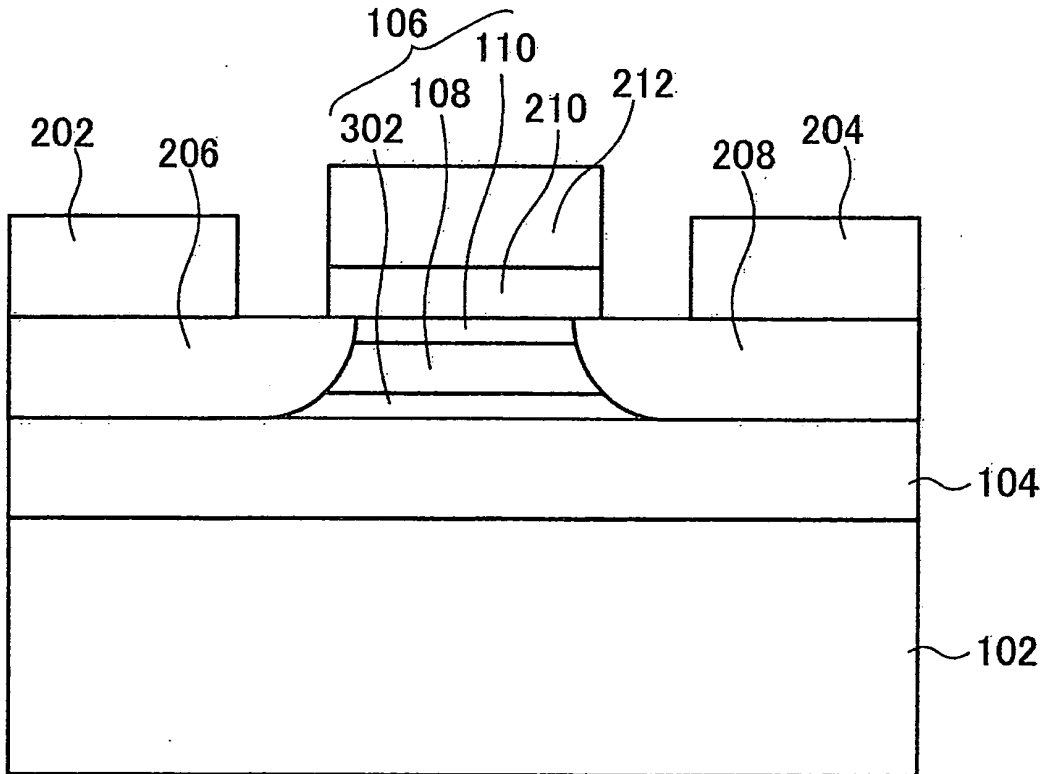


第8圖



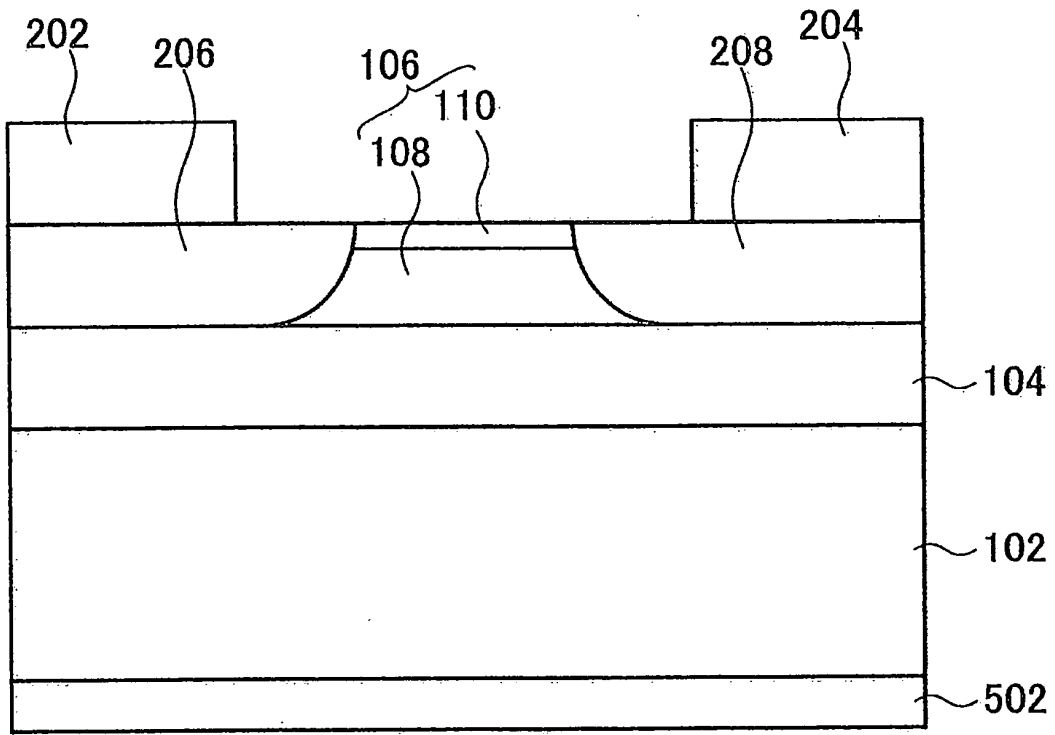
300

第9圖



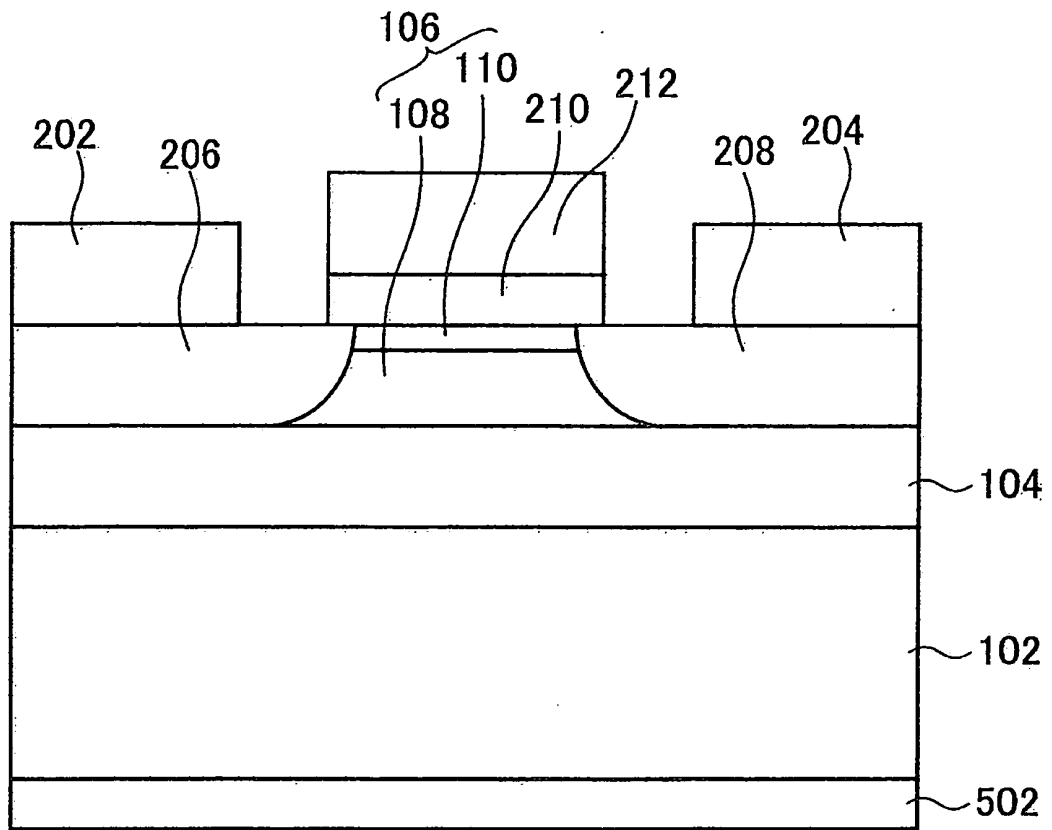
400

第10圖



500

第11圖



600

第12圖

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	半導體基板
102	基底基板
104	第 1 絕緣體層
106	半導體層
108	第 1 結晶層
110	第 2 結晶層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

七、申請專利範圍：

1. 一種半導體基板，係具有基底基板、第 1 絕緣體層與半導體層，而前述基底基板、前述第 1 絕緣體層及前述半導體層的位置係依前述基底基板、前述第 1 絕緣體層、前述半導體層之順序而排列，

前述第 1 絕緣體層係由非結晶型金屬氧化物或非結晶型金屬氮化物所構成，

而前述半導體層包含第 1 結晶層、第 2 結晶層及第 3 結晶層，

前述第 1 結晶層、前述第 2 結晶層及前述第 3 結晶層的位置係從前述基底基板之側，依前述第 3 結晶層、前述第 1 結晶層、前述第 2 結晶層之順序而排列，

前述第 1 結晶層之電子親和力 E_{a1} 比前述第 2 結晶層的電子親和力 E_{a2} 為大，

而前述第 3 結晶層之電子親和力 E_{a3} 比前述第 1 結晶層之電子親和力 E_{a1} 還小。

2. 如申請專利範圍第 1 項所述之半導體基板，其中，

前述半導體層的厚度在 20nm 以下。

3. 一種場效電晶體，係具有申請專利範圍第 1 項所述之半導體基板的場效電晶體，且具備電性連接在前述半導體層之源極電極及汲極電極。

4. 如申請專利範圍第 3 項所述之場效電晶體，其中，

前述半導體層具有與前述源極電極接觸之源極區域或與前述汲極電極接觸之汲極區域，

而前述源極區域或前述汲極區域包含由構成前述半導體層之 III 族原子及 V 族原子所構成之群所選出之至少 1 種原子與金屬原子之合金。

5. 如申請專利範圍第 4 項所述之場效電晶體，其中，
前述金屬原子為鎳原子。
6. 如申請專利範圍第 4 項所述之場效電晶體，其中，
前述場效電晶體為 n 通道型場效電晶體，
而前述源極區域或前述汲極區域復包含施體雜質原子。
7. 如申請專利範圍第 4 項所述之場效電晶體，其中，
前述場效電晶體為 p 通道型場效電晶體，
而前述源極區域或前述汲極區域復包含受體雜質原子。
8. 一種半導體基板之製造方法，係具備：
半導體層形成步驟，係使用磊晶成長法將半導體層形成在半導體層形成基板上；
第 1 絕緣體層形成步驟，係利用原子層堆積法將第 1 絕緣體層進行成膜在前述半導體層上；
接合步驟，係接合基底基板於前述第 1 絕緣體層上；以及
去除步驟，去除前述半導體層形成基板，
而前述半導體層形成步驟具有第 1 步驟與第 2 步驟，其中第 1 步驟係使用磊晶成長法將第 2 結晶層形成在前述半導體層形成基板上，而第 2 步驟係在前述第 1

步驟之後，將具有比前述第 2 結晶層的電子親和力 E_{a2} 還大的電子親和力 E_{a1} 之第 1 結晶層，藉由磊晶成長法形成在前述第 2 結晶層上，其中，

前述半導體層形成步驟復具有第 3 步驟，係在前述第 2 步驟之後，將具有比前述第 1 結晶層的電子親和力 E_{a1} 還小的電子親和力 E_{a3} 之第 3 結晶層，藉由磊晶成長法形成在前述第 1 結晶層上。

9. 一種場效電晶體的製造方法，係具有：

在利用申請專利範圍第 8 項所述之半導體基板的製造方法所製造的前述半導體基板之前述半導體層上，利用原子層堆積法將第 2 絕緣體層進行成膜之步驟；

在前述第 2 絕緣體層上形成閘極電極之步驟；

將形成有前述閘極電極之區域以外的前述第 2 絕緣體層之一部分予以蝕刻，以形成到達前述半導體層之開口之步驟；

形成與從前述開口露出之前述半導體層接觸之金屬薄膜之步驟；以及

將前述金屬薄膜進行熱處理，且將源極區域或汲極區域之至少一方形成在與前述金屬薄膜接觸之前述半導體層的部分。