



(12)发明专利

(10)授权公告号 CN 105096803 B

(45)授权公告日 2017. 11. 14

(21)申请号 201510532565.9

G11C 19/28(2006.01)

(22)申请日 2015.08.26

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 105096803 A

US 2008/0285705 A1, 2008.11.20,
CN 102682692 A, 2012.09.19,
CN 104537977 A, 2015.04.22,
CN 102034553 A, 2011.04.27,

(43)申请公布日 2015.11.25

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 鄂尔多斯市源盛光电有限责
任公司

审查员 刘占军

(72)发明人 王继国

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int. Cl.

G09G 3/20(2006.01)

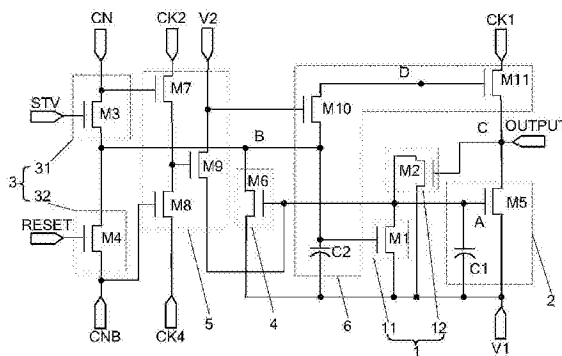
权利要求书3页 说明书8页 附图2页

(54)发明名称

移位寄存器及其驱动方法、栅极驱动电路、
显示装置

(57)摘要

本发明公开了一种移位寄存器及其驱动方
法、栅极驱动电路、显示装置,涉及显示技术领
域,用于增强移位寄存器的抗噪声能力。该移位
寄存器包括第一反馈模块和下拉模块;其中,所
述第一反馈模块包括至少两个反馈单元,各个
所述反馈单元的控制端分别连接不同的控制点,
每个所述反馈单元的输入端均连接第一电平输
入端,每个所述反馈单元的输出端均连接第一
节点,所述第一节点连接所述下拉模块的控制
端,所述下拉模块的输入端连接所述第一电
平输入端,所述下拉模块的输出端连接所述移
位寄存器的信号输出端。本发明用于为栅线
提供驱动信号。



CN 105096803 B

1. 一种移位寄存器,其特征在于,包括第一反馈模块和下拉模块;其中,所述第一反馈模块包括至少两个反馈单元,各个所述反馈单元的控制端分别连接不同的控制点,每个所述反馈单元的输入端均连接第一电平输入端,每个所述反馈单元的输出端均连接第一节点,所述第一节点连接所述下拉模块的控制端,所述下拉模块的输入端连接所述第一电平输入端,所述下拉模块的输出端连接所述移位寄存器的信号输出端。

2. 根据权利要求1所述的移位寄存器,其特征在于,还包括控制模块,所述第一反馈模块包括两个反馈单元,所述两个反馈单元为第一反馈单元和第二反馈单元,所述不同的控制点为第二节点和第三节点,所述控制模块的输出端连接所述第二节点,所述控制模块用于控制所述第二节点的电平,所述第一反馈单元的控制端连接所述第二节点,所述第二反馈单元的控制端连接所述第三节点,所述第三节点连接所述信号输出端。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述第一反馈单元包括第一晶体管,所述第一晶体管的控制端连接所述第二节点,第一端连接所述第一电平输入端,第二端连接所述第一节点;所述第二反馈单元包括第二晶体管,所述第二晶体管的控制端连接所述第三节点,第一端连接所述第一电平输入端,第二端连接所述第一节点。

4. 根据权利要求2所述的移位寄存器,其特征在于,所述控制模块包括第一控制单元和第二控制单元,所述第一控制单元的控制端连接起始信号输入端,输入端连接第一直流信号输入端,输出端连接所述第二节点,所述第二控制单元的控制端连接复位信号输入端,输入端连接第二直流信号输入端,输出端连接所述第二节点。

5. 根据权利要求4所述的移位寄存器,其特征在于,所述第一控制单元包括第三晶体管,所述第二控制单元包括第四晶体管,所述第三晶体管的控制端连接所述起始信号输入端,第一端连接所述第一直流信号输入端,第二端连接所述第二节点,所述第四晶体管的控制端连接所述复位信号输入端,第一端连接所述第二直流信号输入端,第二端连接所述第二节点。

6. 根据权利要求1所述的移位寄存器,其特征在于,所述下拉模块包括第五晶体管和第一电容,所述第五晶体管的控制端连接所述第一节点,第一端连接所述第一电平输入端,第二端连接所述信号输出端,所述第一电容的两个极板分别连接所述第一节点和所述第一电平输入端。

7. 根据权利要求2所述的移位寄存器,其特征在于,还包括第二反馈模块,所述第二反馈模块的控制端连接所述第一节点,输入端连接所述第一电平输入端,输出端连接所述第二节点。

8. 根据权利要求7所述的移位寄存器,其特征在于,所述第二反馈模块包括第六晶体管,所述第六晶体管的控制端连接所述第一节点,第一端连接所述第一电平输入端,第二端连接所述第二节点。

9. 根据权利要求1所述的移位寄存器,其特征在于,还包括第一上拉模块,所述第一上拉模块的输出端连接所述第一节点,用于控制第二电平信号输入端与所述第一节点的连接。

10. 根据权利要求9所述的移位寄存器,其特征在于,所述第一上拉模块包括第七晶体管、第八晶体管和第九晶体管,所述第七晶体管的控制端连接第一直流信号输入端,第一端连接第二时钟信号输入端,第二端连接所述第九晶体管的控制端,所述第八晶体管的控制

端连接第二直流信号输入端, 第一端连接第四时钟信号输入端, 第二端连接所述第九晶体管的控制端, 所述第九晶体管的第一端连接所述第一节点, 第二端连接所述第二电平信号输入端。

11. 根据权利要求2所述的移位寄存器, 其特征在于, 还包括第二上拉模块, 所述第二上拉模块的输出端连接所述信号输出端, 用于控制第一时钟信号输入端与所述信号输出端的连接。

12. 根据权利要求11所述的移位寄存器, 其特征在于, 所述第二上拉模块包括第十晶体管、第十一晶体管和电容, 所述第十晶体管的控制端连接所述第二电平输入端, 第一端连接所述第二节点, 第二端连接所述第十一晶体管的控制端, 所述第十一晶体管的第一端连接所述第一时钟信号输入端, 所述第十一晶体管的第二端连接所述信号输出端, 所述电容的两个极板分别连接所述第二节点和所述第一电平输入端, 所述第十一晶体管的沟道的长度和宽度的乘积是所述第十晶体管的至少两倍。

13. 一种栅极驱动电路, 其特征在于, 包括如权利要求1~12任一项所述的移位寄存器, 所有所述移位寄存器相互级联。

14. 一种显示装置, 其特征在于, 包括如权利要求13所述的栅极驱动电路。

15. 一种移位寄存器的驱动方法, 其特征在于, 所述驱动方法用于驱动如权利要求1、6、9、10任一项所述的移位寄存器, 所述驱动方法包括:

通过不同的控制点控制所述第一反馈模块包括的不同的反馈单元, 以控制所述第一节点的电位, 并通过所述第一节点控制所述下拉模块, 控制所述第一电平输入端与所述信号输出端的连接。

16. 根据权利要求15所述的移位寄存器的驱动方法, 其特征在于, 所述移位寄存器还包括控制模块, 所述第一反馈模块包括两个反馈单元, 所述两个反馈单元为第一反馈单元和第二反馈单元, 所述通过不同的控制点控制不同的反馈单元包括:

所述不同的控制点为第二节点和第三节点;

通过所述控制模块的输出端控制第二节点, 通过所述第二节点控制所述第一反馈单元, 以控制所述第一电平输入端与所述信号输出端的连接;

通过所述信号输出端控制第三节点, 通过所述第三节点控制所述第二反馈单元, 控制所述第一电平输入端与所述第一节点的连接, 以控制所述第一电平输入端与所述信号输出端的连接。

17. 一种移位寄存器的驱动方法, 其特征在于, 所述驱动方法用于驱动如权利要求2~5、7~8、11~12任一项所述的移位寄存器, 所述驱动方法包括:

通过不同的控制点控制所述第一反馈模块包括的不同的反馈单元, 以控制所述第一节点的电位, 并通过所述第一节点控制所述下拉模块, 控制所述第一电平输入端与所述信号输出端的连接。

18. 根据权利要求17所述的移位寄存器的驱动方法, 其特征在于, 所述通过不同的控制点控制不同的反馈单元包括:

通过所述控制模块的输出端控制第二节点, 通过所述第二节点控制所述第一反馈单元, 以控制所述第一电平输入端与所述信号输出端的连接;

通过所述信号输出端控制第三节点, 通过所述第三节点控制所述第二反馈单元, 控制

所述第一电平输入端与所述第一节点的连接,以控制所述第一电平输入端与所述信号输出端的连接。

移位寄存器及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] 目前,显示装置通常包括阵列基板和栅极驱动电路,其中,栅极驱动电路通过柔性电路板绑定在阵列基板的周边区域上。具体地,栅极驱动电路包括多级相互级联的移位寄存器,其中,当前级移位寄存器的输入端连接到上一级移位寄存器的输出端,并且当前级移位寄存器的复位控制端连接到下一级移位寄存器的输出端,当前级移位寄存器的输出端连接阵列基板上的一条栅线;通过各级移位寄存器控制各栅线开启,实现逐行扫描驱动,以显示图像。

[0003] 为了简化显示装置的制造工艺、降低显示装置的成本,现有技术中提供了一种将栅极驱动电路直接集成在阵列基板上的GOA(英文全称:Gate Driver on Array)技术。在GOA技术中,栅极驱动电路直接形成于阵列基板的周边区域上,栅极驱动电路中的移位寄存器包括的各个电子元件和走线均通过阵列基板上的现有膜层形成,进而能够有效地简化显示装置的制造工艺,降低显示装置的成本。

[0004] 然而,本申请的发明人发现,现有技术中,应用GOA技术形成的栅极驱动电路中的移位寄存器的电路结构不合理,存在抗噪声能力较差的问题。

发明内容

[0005] 本发明的目的在于提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,用于增强移位寄存器的抗噪声能力。

[0006] 为达到上述目的,本发明提供的移位寄存器采用如下技术方案:

[0007] 一种移位寄存器,该移位寄存器包括第一反馈模块和下拉模块;其中,所述第一反馈模块包括至少两个反馈单元,各个所述反馈单元的控制端分别连接不同的控制点,每个所述反馈单元的输入端均连接第一电平输入端,每个所述反馈单元的输出端均连接第一节点,所述第一节点连接所述下拉模块的控制端,所述下拉模块的输入端连接所述第一电平输入端,所述下拉模块的输出端连接所述移位寄存器的信号输出端。

[0008] 在本发明提供的移位寄存器中,由于第一反馈模块包括至少两个反馈单元,各个反馈单元的控制端分别连接不同的控制点,且每个反馈单元的输入端均连接第一电平输入端,每个反馈单元的输出端均连接下拉模块的控制端,每个反馈单元均能单独控制下拉模块的控制端和第一电平输入端之间的连接,因此,即使其中一个反馈单元无法正常工作时,例如,该反馈单元的控制端连接的控制点的电平不稳,或者,该反馈单元损坏时,还有至少一个反馈单元可以控制下拉模块的控制端和第一电平输入端之间的连接,进而控制移位寄存器的信号输出端与第一电平输入端的连接,因此,本发明中的移位寄存器具有很强的抗噪声能力。

[0009] 本发明进一步提供了一种栅极驱动电路,该栅极驱动电路包括如上所述的移位寄存器,所有所述移位寄存器相互级联。

[0010] 由于本发明提供的栅极驱动电路包括如上所述的移位寄存器,因此,栅极驱动电路具有和移位寄存器相同的有益效果,此处不再赘述。

[0011] 本发明进一步还提供了一种显示装置,该显示装置包括如上所述的栅极驱动电路。

[0012] 由于本发明提供的显示装置包括如上所述的栅极驱动电路,因此,显示装置具有和栅极驱动电路相同的有益效果,此处不再赘述。

[0013] 本发明进一步还提供了一种移位寄存器的驱动方法,该移位寄存器的驱动方法用于驱动如上所述的移位寄存器,包括:

[0014] 通过不同的控制点控制所述第一反馈模块包括的不同的反馈单元,以控制所述第一节点的电位,并通过所述第一节点控制所述下拉模块,控制所述第一电平输入端与所述信号输出端的连接。

[0015] 在本发明提供的移位寄存器的驱动方法中,由于通过不同的控制点控制第一反馈模块包括的不同的反馈单元,且每个反馈单元的输入端均连接第一电平输入端,每个反馈单元的输出端均连接下拉模块的控制端,每个反馈单元均能单独控制下拉模块的控制端和第一电平输入端之间的连接,因此,即使其中一个反馈单元无法正常工作,例如,该反馈单元的控制端连接的控制点的电平不稳,或者,该反馈单元损坏时,还有至少一个反馈单元可以控制下拉模块的控制端和第一电平输入端之间的连接,进而控制移位寄存器的信号输出端与第一电平输入端的连接,因此,本发明中的移位寄存器具有很强的抗噪声能力。

附图说明

[0016] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0017] 图1为本发明实施例中的移位寄存器的模块示意图;

[0018] 图2为本发明实施例中的移位寄存器的电路示意图;

[0019] 图3为本发明实施例中的移位寄存器的工作时序图。

[0020] 附图标记说明:

[0021] 1—第一反馈模块; 11—第一反馈单元; 12—第二反馈单元;

[0022] 2—下拉模块; 3—控制模块; 31—第一控制单元;

[0023] 32—第二控制单元; 4—第二反馈模块; 5—第一上拉模块;

[0024] 6—第二上拉模块。

具体实施方式

[0025] 实施例一

[0026] 本申请的发明人发现:现有的移位寄存器中的反馈模块只包括一个晶体管,因此,当该晶体管无法正常工作,例如,该晶体管的控制端连接的控制点的电平不稳,或者,该

晶体管损坏时,该移位寄存器就不具有抗噪声能力。

[0027] 有鉴于此,本申请的发明人提供了一种改进的技术方案,通过在第一反馈模块中设置至少两个反馈单元,各个反馈单元的控制端分别连接不同的控制点,且每个反馈单元的输入端均连接第一电平输入端,每个反馈单元的输出端均连接下拉模块的控制端,每个反馈单元均能单独控制下拉模块的控制端和第一电平输入端之间的连接,以提高移位寄存器的抗噪声能力。

[0028] 为了便于理解,下面结合说明书附图,对本发明所述的移位寄存器进行详细描述。

[0029] 本发明实施例提供一种移位寄存器,如图1和图2所示,该移位寄存器包括第一反馈模块1和下拉模块2;其中,第一反馈模块1包括至少两个反馈单元,各个反馈单元的控制端分别连接不同的控制点,每个反馈单元的输入端均连接第一电平输入端V1,每个反馈单元的输出端均连接第一节点A,第一节点A连接下拉模块2的控制端,由以上所述可知,第一节点A为每个反馈单元的输出端与下拉模块2的控制端之间的一个节点。下拉模块2的输入端连接第一电平输入端V1,下拉模块2的输出端连接移位寄存器的信号输出端OUTPUT。其中,第一电平输入端V1输出的第一电平信号与信号输出端OUTPUT输出的移位信号反相,即移位信号为高电平时,第一电平信号为低电平,移位信号为低电平时,第一电平信号为高电平。

[0030] 由于第一反馈模块包括至少两个反馈单元,各个反馈单元的控制端分别连接不同的控制点,且每个反馈单元的输入端均连接第一电平输入端,每个反馈单元的输出端均连接下拉模块的控制端,每个反馈单元均能单独控制下拉模块的控制端和第一电平输入端之间的连接,因此,即使其中一个反馈单元无法正常工作时,例如,该反馈单元的控制端连接的控制点的电平不稳,或者,该反馈单元损坏时,还有至少一个反馈单元可以控制下拉模块的控制端和第一电平输入端之间的连接,进而控制移位寄存器的信号输出端与第一电平输入端的连接,因此,本发明中的移位寄存器具有很强的抗噪声能力。

[0031] 如图1和图2所示,移位寄存器还包括控制模块3,第一反馈模块1包括两个反馈单元,两个反馈单元为第一反馈单元11和第二反馈单元12,不同的控制点为第二节点B和第三节点C,控制模块3的输出端连接第二节点B,控制模块3用于控制第二节点B的电平,第一反馈单元11的控制端连接第二节点B,由以上所述可知,第二节点B为控制模块3的输出端与第一反馈单元11的控制端之间的一个节点,第一反馈单元11的输出端连接下拉模块2的控制端,第一反馈单元11的输入端连接第一电平输入端V1,从而通过控制模块3可以控制第一反馈单元11的输出端与输入端的连接,进而可以控制下拉模块2的控制端与第一电平输入端V1的连接,以控制信号输出端OUTPUT与第一电平输入端V1的连接。第二反馈单元12的控制端连接第三节点C,第三节点C连接信号输出端OUTPUT,由以上所述可知,第三节点C为控信号输出端OUTPUT与第二反馈单元12的控制端之间的一个节点,从而通过信号输出端OUTPUT可以控制第二反馈单元12的输出端与输入端的连接,由以上所述可知,第二反馈单元12的输出端连接下拉模块2的控制端,第二反馈单元12的输入端连接第一电平输入端V1,进而可以控制下拉模块2的控制端与第一电平输入端V1的连接,进而可以控制信号输出端OUTPUT与第一电平输入端V1的连接。

[0032] 具体地,第一反馈单元11包括第一晶体管M1,第一晶体管M1的控制端连接第二节点B,第一端连接第一电平输入端V1,第二端连接第一节点A,进而可以通过第二节点B控制

第一晶体管M1的导通或者截止,进而控制第一电平输入端V1与第一节点A的连接,进而控制下拉模块2的控制端与第一电平输入端V1的连接;第二反馈单元12包括第二晶体管M2,第二晶体管M2的控制端连接第三节点C,第一端连接第一电平输入端V1,第二端连接第一节点A,进而可以通过第三节点C控制第二晶体管M2的导通或者截止,进而控制第一节点A与第一电平输入端V1的连接,进而控制下拉模块2的控制端与第一电平输入端V1的连接。

[0033] 进一步地,控制模块3包括第一控制单元31和第二控制单元32,第一控制单元31的控制端连接起始信号输入端STV,输入端连接第一直流信号输入端CN,输出端连接第二节点B,由以上所述可知,第一反馈单元11的控制端连接第二节点B,因此,第一控制单元31可以控制第一反馈单元11的控制端与第一直流信号CN的连接。第二控制单元32的控制端连接复位信号输入端RESET,输入端连接第二直流信号输入端CNB,输出端连接第二节点B,由以上所述可知,第一反馈单元11的控制端连接第二节点B,因此,第二控制单元32进而可以控制第一反馈单元11的控制端与第二直流信号输入端CNB的连接。其中,除第一级移位寄存器以外的所有级移位寄存器的起始信号输入端均连接其上一级移位寄存器的信号输出端,除最后一级移位寄存器以外的所有级移位寄存器的复位信号输入端均连接其下一级移位寄存器的信号输出端。

[0034] 具体地,第一控制单元31包括第三晶体管M3,第二控制单元32包括第四晶体管M4,第三晶体管M3的控制端连接起始信号输入端STV,第一端连接第一直流信号输入端CN,第二端连接第二节点B,进而可以通过起始信号输入端STV控制第三晶体管M3的导通或者截止,进而控制第二节点B与第一直流信号输入端CN的连接,进而控制第一晶体管M1的控制端与第一直流信号输入端CN的连接;第四晶体管M4的控制端连接复位信号输入端RESET,第一端连接第二直流信号输入端CNB,第二端连接第二节点B,进而可以通过复位信号输入端RESET控制第四晶体管M4的导通或者截止,进而控制第二直流信号输入端CNB与第二节点B的连接,进而控制第一晶体管M1的控制端与第二直流信号输入端CNB的连接。

[0035] 此外,下拉模块2包括第五晶体管M5和第一电容C1,第五晶体管M5的控制端连接第一节点A,第一端连接第一电平输入端V1,第二端连接信号输出端OUTPUT,进而可以通过第一节点A控制第五晶体管M5的导通或者截止,进而控制信号输出端OUTPUT与第一电平输入端V1的连接,第一电容C1的两个极板分别连接第一节点A和第一电平输入端V1,从而可以通过第一电容C1放电控制第一节点A的电平。

[0036] 此外,移位寄存器还包括第二反馈模块4,第二反馈模块4的控制端连接第一节点A,输入端连接第一电平输入端V1,输出端连接第二节点B,第二节点B连接第一反馈单元11的控制端,从而第二反馈模块4可以控制第一反馈单元11的控制端与第一电平输入端V1的连接。

[0037] 具体地,第二反馈模块4包括第六晶体管M6,第六晶体管M6的控制端连接第一节点A,第一端连接第一电平输入端V1,第二端连接第二节点B,进而可以通过第一节点A控制第六晶体管M6的导通或者截止,进而控制第二节点B与第一电平输入端V1的连接。

[0038] 此外,移位寄存器还包括第一上拉模块5,第一上拉模块5的输出端连接第一节点A,用于控制第二电平信号输入端V2与第一节点A的连接,由于第一节点A同时连接第二反馈模块4的控制端和下拉模块2的控制端,因此第一上拉模块5可以同时控制第二反馈模块4的控制端与第二电平输入端V2的连接,以及下拉模块2的控制端与第二电平输入端V2的连接。

其中,第二电平输入端V2输出的第二电平信号与第一电平输入端V1输出的第一电平信号反相,即第一电平信号为高电平时,第二电平信号为低电平,第一电平信号为低电平时,第二电平信号为高电平。

[0039] 具体地,第一上拉模块5包括第七晶体管M7、第八晶体管M8和第九晶体管M9,第七晶体管M7的控制端连接第一直流信号输入端CN,第一端连接第二时钟信号输入端CK2,第二端连接第九晶体管M9的控制端,进而可以通过第一直流信号输入端CN控制第七晶体管M7的导通或者截止,进而控制第九晶体管M9的控制端与第二时钟信号输入端CK2的连接,第八晶体管M8的控制端连接第二直流信号输入端CNB,第一端连接第四时钟信号输入端CK4,第二端连接第九晶体管M9的控制端,进而可以通过第二直流信号输入端CNB控制第八晶体管M8的导通或者截止,进而控制第九晶体管M9的控制端与第四时钟信号输入端CK4的连接,第九晶体管M9的第一端连接第一节点A,第二端连接第二电平信号输入端V2,进而控制第一节点A与第二电平信号输入端V2的连接。

[0040] 此外,移位寄存器还包括第二上拉模块6,第二上拉模块6的输出端连接信号输出端OUTPUT,用于控制第一时钟信号输入端CK1与信号输出端OUTPUT的连接。具体地,第二上拉模块6包括第十晶体管M10、第十一晶体管M11和第二电容C2,第十晶体管M10的控制端连接第二电平输入端V2,第一端连接第二节点B,第二端连接第十一晶体管M11的控制端,进而可以通过第二电平输入端V2控制第十晶体管M10的导通或者截止,进而控制第十一晶体管M11的控制端与第二节点B的连接,第十一晶体管M11的第一端连接第一时钟信号输入端CK1,第十一晶体管M11的第二端连接信号输出端OUTPUT,进而可以通过第二节点B控制第十一晶体管M11的导通或者截止,进而控制第一时钟信号输入端CK1与信号输出端OUTPUT的连接。第二电容C2的两个极板分别连接第二节点B和第一电平输入端V1,从而可以通过第二电容C2的放电来控制第二节点B的电平,第十一晶体管M11的沟道的长度和宽度的乘积是第十晶体管M10的至少两倍。其中,第十一晶体管M11的控制端为第四节点D。

[0041] 上述限定第十一晶体管M11的沟道的长度和宽度的乘积是第十晶体管M10的至少两倍的原因在于:以晶体管的控制端为栅极、第一端为源极和第二端为漏极为例,晶体管的栅极和源极以及栅极和漏极之间的寄生电容的大小为: $(WLC_{ox}/2) + WC_{ov}$,其中W表示晶体管的沟道的宽度, C_{ov} 表示晶体管的沟道的单位宽度的交叠电容,L表示晶体管的沟道的长度, C_{ox} 表示晶体管的沟道的单位长度的电容。因此晶体管的寄生电容的大小与晶体管的沟道的长度和宽度的乘积成正比。由于第十一晶体管M11的沟道的长度和宽度的乘积是第十晶体管M10的至少两倍,从而使得第十一晶体管M11栅极和源极以及栅极和漏极之间具有较大的寄生电容,进而当第十一晶体管M11的源极和漏极的电平发生变化时,第十一晶体管M11能够发生自举作用,使得第四节点D(即第十一晶体管M11的栅极连接的节点)的电平和信号输出端OUTPUT输出的电平之间保持一定的电平差。

[0042] 需要说明的是,上述第一直流信号输入端CN输出的电平信号与第二直流信号输入端CNB输出的电平信号反相,即为第一直流信号输入端CN输出的电平信号为高电平时,第二直流信号输入端CNB输出的电平信号为低电平,第二直流信号输入端CNB输出的电平信号为低电平时,第一直流信号输入端CN输出的电平信号为高电平。第一时钟信号输入端CK1输出的电平信号、第二时钟信号输入端CK2输出的电平信号、第三时钟信号输入端CK3输出的电平信号与第四时钟信号输入端CK4输出的电平信号为相差1/4周期的时钟信号。

[0043] 此外,本发明实施例还提供了一种栅极驱动电路,该栅极驱动电路包括如上所述的移位寄存器,所有移位寄存器相互级联,其中,除第一级移位寄存器外,每一级移位寄存器的信号输入端连接到上一级移位寄存器的信号输出端;除最后一级移位寄存器外,每一级移位寄存器的复位信号控制端连接到下一级移位寄存器的信号输出端;并且每一级移位寄存器的信号输出端均连接阵列基板上的一条栅线。本发明实施例中的栅极驱动电路能够实现正向扫描和反向扫描。由于本发明实施例所提供的栅极驱动电路包括如上所述的移位寄存器,因此该栅极驱动电路具有和移位寄存器相同的有益效果,此处不再进行赘述。

[0044] 此外,本发明实施例还提供了一种显示装置,该显示装置包括如上所述的栅极驱动电路。该显示装置可以为:液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于本发明实施例所提供的显示装置包括如上所述的栅极驱动电路,因此该显示装置具有和栅极驱动电路相同的有益效果,此处不再进行赘述。

[0045] 实施例二

[0046] 本发明实施例提供了一种移位寄存器的驱动方法,该驱动方法用于驱动如上所述的移位寄存器,该驱动方法包括:

[0047] 通过不同的控制点控制第一反馈模块包括的不同的反馈单元,以控制第一节点的电位,并通过第一节点控制下拉模块,控制第一电平输入端与信号输出端的连接。

[0048] 由于通过不同的控制点控制第一反馈模块包括的不同的反馈单元,且每个反馈单元的输入端均连接第一电平输入端,每个反馈单元的输出端均连接下拉模块的控制端,每个反馈单元均能单独控制下拉模块的控制端和第一电平输入端之间的连接,因此,即使其中一个反馈单元无法正常工作时,例如,该反馈单元的控制端连接的控制点的电平不稳,或者,该反馈单元损坏时,还有至少一个反馈单元可以控制下拉模块的控制端和第一电平输入端之间的连接,进而控制移位寄存器的信号输出端与第一电平输入端的连接,因此,本发明中的移位寄存器具有很强的抗噪声能力。

[0049] 进一步地,如图1和2所示,当移位寄存器还包括控制模块3,第一反馈模块1包括两个反馈单元,两个反馈单元为第一反馈单元11和第二反馈单元12,且各个模块、单元之间具有如图1和图2所示的连接关系时,上述通过不同的控制点控制不同的反馈单元的步骤具体包括:

[0050] 上述不同的控制点为第二节点B和第三节点C;

[0051] 通过控制模块3的输出端控制第二节点B,通过第二节点B控制第一反馈单元11,以控制第一电平输入端V1与信号输出端OUTPUT的连接;

[0052] 通过信号输出端OUTPUT控制第三节点C,通过第三节点C控制第二反馈单元12,从而控制第一电平输入端V1与第一节点A的连接,进而控制第一电平输入端V1与信号输出端OUTPUT的连接。

[0053] 下面结合如图2所示的本发明实施例中的移位寄存器的电路示意图和图3所示的本发明实施例中的移位寄存器的工作时序图,对本发明实施例中的移位寄存器的一种最为具体的驱动方法进行说明。需要说明的是,本发明实施例以所有的晶体管的类型为N型晶体管为例进行说明,当N型晶体管的控制端的电平为高电平时,晶体管导通;当N型晶体管的控制端的电平为低电平时,晶体管截止。其中,第一电平输入端V1输出低电平信号,第二电平

输入端V2输出高电平信号,第一直流信号输入端CN输出高电平信号,第二直流信号输入端CNB输出低电平信号。移位寄存器的信号输出端OUTPUT输出的移位信号为高电平信号。

[0054] 第一阶段T1:第一时钟信号输入端CK1输出低电平信号,第二时钟信号输入端CK2输出低电平信号,第四时钟信号输入端CK4输出低电平信号,起始信号输入端STV输出高电平信号,复位信号输入端RESET输出低电平信号。由于复位信号输入端RESET输出低电平信号,从而使得第四晶体管M4截止。由于起始信号输入端STV输出高电平信号,从而使得第三晶体管M3导通,第一直流信号输入端CN输出的高电平信号使得第二节点B的电平变为高电平,对第二电容C2进行充电,同时第一晶体管M1导通,第一电平输入端V1输入的低电平信号使得第一节点A的电平信号变为低电平,进而使得第五晶体管M5截止。同时,由于第二电平输入端V2输出高电平信号,从而使得第十晶体管M10导通,第二节点B的高电平传输至第四节点D,使得第四节点D的电平变为高电平,进而使得第十一晶体管M11导通,第一时钟信号输入端CK1输出的低电平信号传输至信号输出端OUTPUT,使得信号输出端OUTPUT输出低电平信号。

[0055] 第二阶段T2:第一时钟信号输入端CK1输出高电平信号,第二时钟信号输入端CK2输出低电平信号,第四时钟信号输入端CK4输出低电平信号,起始信号输入端STV输出低电平信号,复位信号输入端RESET输出低电平信号。由于起始信号输入端STV输出低电平信号,从而使得第三晶体管M3截止。由于复位信号输入端RESET输出低电平信号,从而使得第四晶体管M4截止。此时,第二电容C2放电,从而使得第二节点B保持高电平,进而使得第一晶体管M1继续导通,第一电平输入端V1输出的低电平信号继续传输至第一节点A,使得第一节点A,保持低电平,进而使得第五晶体管M5保持截止。同时,由于第二电平输入端V2输出高电平信号,从而使得第十晶体管M10保持导通,第二节点B的高电平传输至第四节点D,使得第四节点D保持高电平,进而使得第十一晶体管M11保持导通,第一时钟信号输入端CK1输出的高电平信号传输至信号输出端OUTPUT,使得信号输出端OUTPUT输出高电平信号。

[0056] 此时,由于第十一晶体管M11存在较大的寄生电容,因此当信号输出端OUTPUT的输出信号由低电平信号变为高电平信号后,第十一晶体管M11自身发生自举作用,从而使得第四节点D的电平信号进一步升高,进而使得第十晶体管M10的一端的电平高于自身的控制端的电平,进而使得第十晶体管M10截止,有效地使得第四节点D保持高电平,进而使得第十一晶体管M11保持导通。

[0057] 由于在第二阶段T2,第二节点B和第三节点C均为高电平,从而第一晶体管M1和第二晶体管M2均导通,进而第一电平输入端V1输出的低电平信号可以分别通过第一晶体管M1和第二晶体管M2传输至第一节点A,使得第一节点A保持低电平,进而使得第五晶体管M5截止,保证信号输出端OUTPUT稳定输出高电平信号。

[0058] 第三阶段T3:第一时钟信号输入端CK1输出低电平信号,第二时钟信号输入端CK2输出高电平信号,第四时钟信号输入端CK4输出低电平信号,起始信号输入端STV输出低电平信号,复位信号输入端RESET输出高电平信号。在第三阶段T3,第一时钟信号输入端CK1输出的信号由高电平信号变为低电平信号后的极短时刻内,第一时钟信号输入端CK1输出的低电平信号传输至信号输出端OUTPUT,使得信号输出端OUTPUT输出低电平信号,由于第十一晶体管M11的自举作用,第四节点D的电平降低,进而使得第十晶体管M10的两端的电平均低于控制端的高电平,进而使得第十晶体管M10重新导通。

[0059] 由于起始信号输入端STV输出低电平信号,从而使得第三晶体管M3截止。由于复位信号输入端RESET输出高电平信号,从而使得第四晶体管M4导通,进而第二直流信号输入端CNB输出的低电平信号传输至第二节点B,使得第二节点B的电平变为低电平。由于第十晶体管M10导通,从而使得第二节点B的低电平传输至第四节点D,使得第四节点D的电平变为低电平,进而使得第十一晶体管M11截止。由于第一直流信号输入端CN输出高电平信号,从而使得第七晶体管M7导通,进而第二时钟信号输入端CK2输出的高电平信号传输至第九晶体管M9的控制端,使得第九晶体管M9导通,进而第二电平输入端V2输出的高电平信号传输至第一节点A,使得第一节点A的电平变为高电平,同时给第一电容C1充电。由于第一节点A为高电平,从而使得第五晶体管M5导通,进而第一电平输入端V1输出的低电平信号传输至信号输出端OUTPUT,使得信号输出端OUTPUT输出低电平信号。

[0060] 如果本发明实施例中的所有的晶体管的类型为P型晶体管,那么当P型晶体的控制端为高电平时,晶体管截止;当P型晶体的控制端为低电平时,晶体管导通。当本发明实施例中的所有的晶体管的类型为P型晶体管时,由于本领域的技术人员很容易想到相应的移位寄存器的驱动方法,因此此处不再赘述。

[0061] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

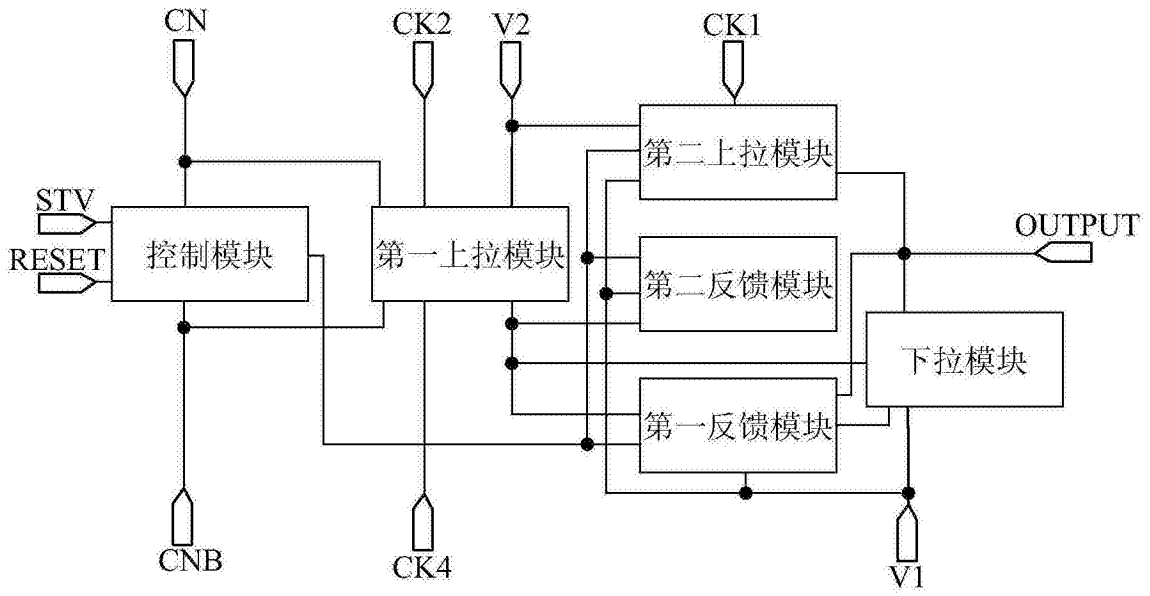


图1

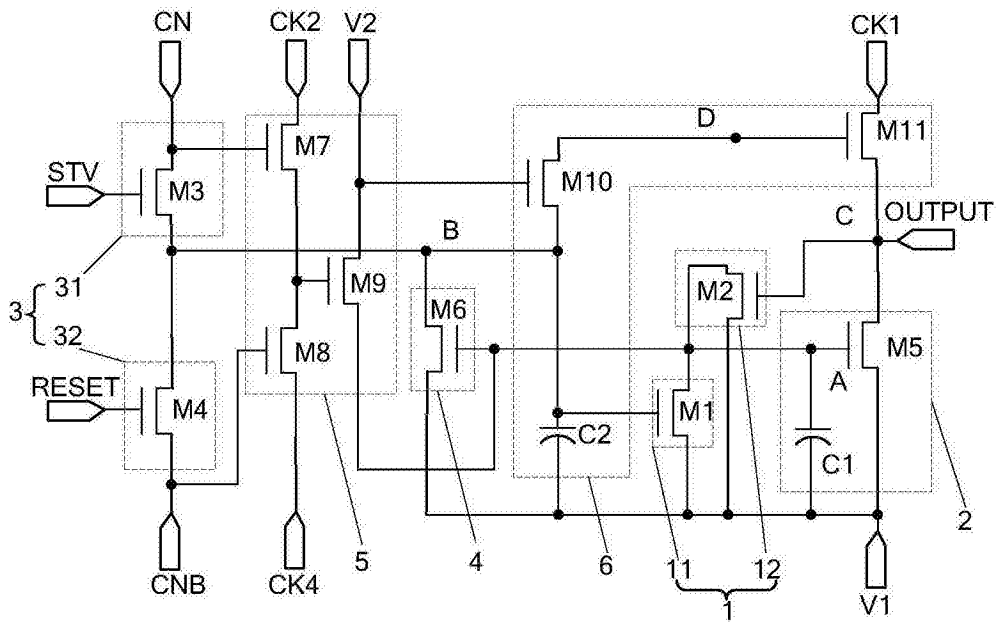


图2

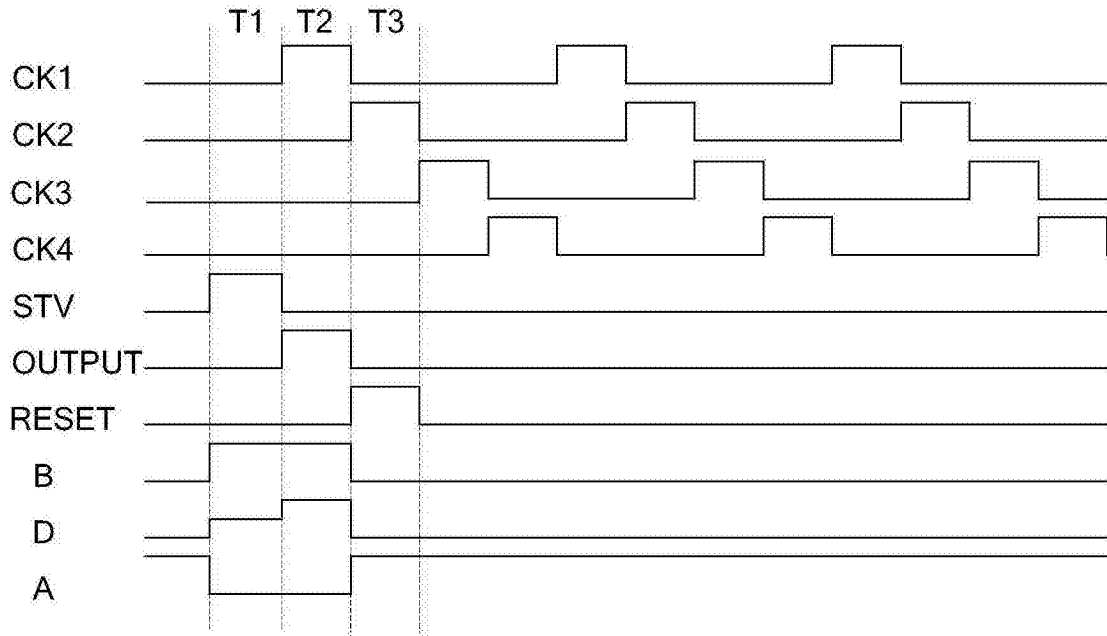


图3