

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2001-14212(P2001-14212A)

【公開日】平成13年1月19日(2001.1.19)

【出願番号】特願平11-180839

【国際特許分類第7版】

G 06 F 12/00

G 06 F 12/02

G 06 T 1/60

G 06 T 1/00

【F I】

G 06 F 12/00 5 6 0 B

G 06 F 12/00 5 6 0 C

G 06 F 12/02 5 9 0 C

G 06 F 15/64 4 5 0 F

G 06 F 15/66 J

【手続補正書】

【提出日】平成16年11月16日(2004.11.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリ操作のトランザクションを、指定するメモリアドレスとともに発行する処理手段と、

前記処理手段から発行されたトランザクションを格納するキューと、

前記キューに格納されたトランザクションを読み出してメモリに対してコマンドを発行し、指定したアドレスへのアクセスを制御する制御手段とを備えることを特徴とするメモリアクセス制御装置。

【請求項2】

それが対応するメモリ領域へとアクセスする複数のDMAコントローラを有する処理手段と、

前記処理手段の各DMAコントローラから発行されたトランザクションを調停する調停手段と、

前記調停手段に調停されたトランザクションに基づいてメモリに対するコマンドを発行し、指定したアドレスへのアクセスを制御する制御手段とを備えることを特徴とするメモリ制御装置。

【請求項3】

ページモードでアクセス可能なメモリと、

メモリからデータをプリフェッチするプリフェッチ手段と、

メモリへデータを書き戻すライトバック手段とを備え、

プリフェッチによるページミス発生の可能性があると判定された場合には、前記ライトバック手段により直前のデータを書き戻すまでプリフェッチを延期することを特徴とするメモリ制御装置。

【請求項4】

メモリと、

前記メモリの複数の領域それぞれへとアクセスするための複数のDMAコントローラと

、前記複数の領域から読み取った画像データを処理する画像処理手段とを有する処理手段と、

前記処理手段の各DMAコントローラから発行されたトランザクションに基づいてメモリに対するコマンドを発行し、指定したアドレスへのアクセスを制御する制御手段とを備えることを特徴とする描画装置。

#### 【請求項5】

前記処理手段から発行されたトランザクションを格納するキューを更に備え、

前記制御手段は、前記キューに格納されたトランザクションを読み出してメモリに対しコマンドを発行し、指定したアドレスへのアクセスを制御することを特徴とする請求項4に記載の描画装置。

#### 【請求項6】

前記処理手段は、複数のDMAコントローラとして、生成したデータを書き込むための領域からデータを読み出すための第1のコントローラと、その領域へデータを書き戻すための第2のコントローラとを有し、

前記第1のコントローラのプリフェッチによるページミス発生の可能性があると判定された場合には、前記第2のコントローラにより直前のデータを書き戻すまで前記第1のコントローラによるプリフェッチを延期することを特徴とする請求項4に記載の描画装置。

#### 【請求項7】

前記処理手段は、複数のDMAコントローラとして、更に、描画する元データを読み出すための第3のコントローラを有し、前記第3のコントローラは連続したアドレスをプリフェッチすることを特徴とする請求項6に記載の描画装置。

#### 【請求項8】

前記処理手段は、複数のDMAコントローラとして、更に、描かれるパターンを読み出すための第4のコントローラを有し、前記第4のコントローラは、パターンの幅が前記第4のコントローラの有するバッファに収まる場合には、それ以上データをプリフェッチしないことを特徴とする請求項6または7に記載の描画装置。

#### 【請求項9】

前記第2のコントローラによりメモリに書き戻されたデータを出力する手段を更に備えることを特徴とする請求項6に記載の描画装置。

#### 【請求項10】

前記第1のコントローラは、1ラインのプリフェッチが終了したことを判定し、終了した場合には、ページミスの可能性があると判定することを特徴とする請求項6に記載の描画装置。

#### 【請求項11】

ページモードでアクセス可能なメモリと、メモリからデータをプリフェッチするプリフェッチ手段と、メモリへデータを書き戻すライトバック手段とを用いたメモリ制御方法であって、

プリフェッチによるページミス発生の可能性を判定し、可能性があると判定された場合には、前記ライトバック手段により直前のデータを書き戻すまでプリフェッチを延期することを特徴とするメモリ制御方法。

#### 【請求項12】

ページモードでアクセス可能なメモリと、メモリからデータをプリフェッチするプリフェッチ手段と、メモリへデータを書き戻すライトバック手段とを制御するためのコンピュータプログラムを格納する記憶媒体であって、

前記プログラムにより、プリフェッチによるページミス発生の可能性があると判定された場合には、前記ライトバック手段により直前のデータを書き戻すまでプリフェッチを延期することを特徴とする記憶媒体。

**【請求項 1 3】**

請求項 1 乃至 3 のいずれかに記載のメモリ制御装置によりアクセス制御されるメモリに画像データを生成する描画手段と、生成した画像データを印刷する印刷手段とを備えることを特徴とする印刷装置。

**【請求項 1 4】**

請求項 4 に記載の描画装置により処理された画像データを印刷することを特徴とする印刷装置。

**【請求項 1 5】**

ページモードでアクセス可能なメモリと、  
メモリからデータをプリフェッチするプリフェッチ手段と、  
メモリにライトバックするライトバック手段とを有し、  
プリフェッチの結果としてページミスが起きると判断されるとき、前記ライトバック手段が直ちに先行するデータをライトバックするまで、プリフェッチを延期することを特徴とするメモリアクセスコントローラ。

**【請求項 1 6】**

メモリからデータをプリフェッチするプリフェッチ手段と、  
メモリへデータを書き戻すライトバック手段とを有し、  
前記プリフェッチ手段は、ラインエンドであるか判別し、ラインエンドであると判別された場合、カレントラインの前記ライトバック手段によるライトバックが終了するまで前記プリフェッチ手段によるプリフェッチを延期することを特徴とするメモリ制御装置。

**【請求項 1 7】**

前記メモリに記憶されたデータに基づきプリントを行うプリントエンジンを更に有することを特徴とする請求項 1 6 記載のメモリ制御装置。

**【請求項 1 8】**

前記プリフェッチ手段は、ソースデータをプリフェッチするソースプリフェッチ手段とパターンデータをプリフェッチするパターンプリフェッチ手段とディスティネーションデータをプリフェッチするディスティネーションプリフェッチ手段とを含むことを特徴とする請求項 1 6 記載のメモリ制御装置。

**【請求項 1 9】**

ソースデータをプリフェッチするソースプリフェッチ手段とパターンデータをプリフェッチするパターンプリフェッチ手段とディスティネーションデータをプリフェッチするディスティネーションプリフェッチ手段とを含むプリフェッチ手段と、

ソースデータとパターンデータとディスティネーションデータとを演算処理する演算処理手段と、

前記演算処理手段が演算処理したデータをメモリに書き戻すライトバック手段とを有し、

前記プリフェッチ手段は、ラインエンドであるか判別し、ラインエンドであると判別された場合、カレントラインの前記ライトバック手段によるライトバックが終了するまで前記プリフェッチ手段によるプリフェッチを延期することを特徴とするメモリ制御装置。