

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月4日(04.11.2021)

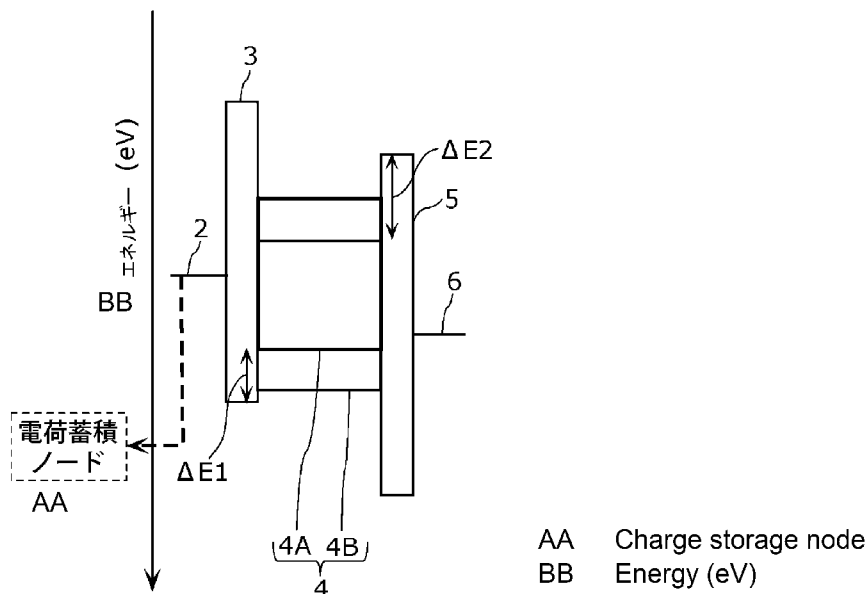


(10) 国際公開番号
WO 2021/220820 A1

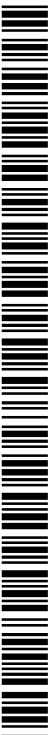
- (51) 国際特許分類:
H01L 31/10 (2006.01) *H04N 5/357* (2011.01)
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2021/015520
- (22) 国際出願日: 2021年4月15日(15.04.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2020-078446 2020年4月27日(27.04.2020) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 飯島 浩章(HIJIMA Hiroaki). 岸本 有子(KISHIMOTO Yuko). 平出 雅哉(HIRADE Masaya). 田中 真司(TANAKA Shinji).
- (74) 代理人: 鎌田 健司, 外(KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: An imaging device according to the present invention comprises a plurality of pixels. Each of the plurality of pixels comprises: a first electrode; a second electrode; a photoelectric conversion layer that is positioned between the first electrode and the second electrode, contains a donor semiconductor material and an acceptor semiconductor material, and generates electron-hole pairs; a first charge blocking layer positioned between the first electrode and the photoelectric conversion layer; a second charge blocking layer positioned between the second electrode and the photoelectric conversion



WO 2021/220820 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

layer, and a charge storage region that is electrically connected to the second electrode and stores holes. The difference in electron affinity between the acceptor semiconductor material and the first charge blocking layer is greater than the difference in ionizing potential between the donor semiconductor material and the second charge blocking layer.

(57) 要約 : 撮像装置は、複数の画素を備える。複数の画素のそれぞれは、第1電極と、第2電極と、第1電極と第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、第1電極と光電変換層との間に位置する第1電荷ブロッキング層と、第2電極と光電変換層との間に位置する第2電荷ブロッキング層と、第2電極と電氣的に接続され、正孔を蓄積する電荷蓄積領域とを含む。アクセプタ性半導体材料の電子親和力と第1電荷ブロッキング層の電子親和力との差は、ドナー性半導体材料のイオン化ポテンシャルと第2電荷ブロッキング層のイオン化ポテンシャルとの差より大きい。

明 細 書

発明の名称 : 撮像装置

技術分野

[0001] 本開示は、光電変換素子を用いた撮像装置に関するものである。

背景技術

[0002] 半導体材料薄膜を用いた光電変換素子は、光によって発生する電荷を電気信号として取り出すことにより、光センサとして利用することができる。その際、例えば、特許文献1では、電極からの電荷の逆流が起こらないようにするため、光電変換材料と電極との間に電子ブロッキング層または正孔ブロッキング層を備えるという方法が開示されている。また、特許文献2では、光電変換素子の両端に接続する電極に印加するバイアス電圧を変化させる方法が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第5969843号公報

特許文献2：特開2018-092990号公報

発明の概要

発明が解決しようとする課題

[0004] 撮像装置のS/N（シグナルノイズ）比を向上させるために、寄生感度を低減することが望まれる。

[0005] そこで、本開示は、寄生感度を低減することができる撮像装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る撮像装置は、複数の画素を備える。前記複数の画素のそれぞれは、第1電極と、第2電極と、前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、前記第1電極と前記光電変換層

との間に位置する第1電荷ブロッキング層と、前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、前記第2電極と電氣的に接続され、信号電荷として前記正孔を蓄積する電荷蓄積領域と、を含む。前記第2電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャル以上である。前記第1電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力より小さい。前記アクセプタ性半導体材料の前記電子親和力と前記第1電荷ブロッキング層の前記電子親和力との差は、前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第2電荷ブロッキング層の前記イオン化ポテンシャルとの差より大きい。

[0007] また、本開示の一態様に係る撮像装置は、複数の画素を備える。前記複数の画素のそれぞれは、第1電極と、第2電極と、前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、前記第1電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、前記第2電極と電氣的に接続され、信号電荷として前記電子を蓄積する電荷蓄積領域と、を含む。前記第2電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力以下である。前記第1電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャルより大きい。前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第1電荷ブロッキング層の前記イオン化ポテンシャルとの差は、前記アクセプタ性半導体材料の前記電子親和力と前記第2電荷ブロッキング層の前記電子親和力との差より大きい。

発明の効果

[0008] 本開示によれば、寄生感度を低減することができる撮像装置を提供できる。

図面の簡単な説明

[0009] [図1]図1は、実施の形態に係る光電変換素子の構成を示す概略断面図である。

[図2]図2は、実施の形態に係る光電変換素子における例示的なエネルギーバンド図である。

[図3A]図3Aは、実施の形態に係る光電変換素子における逆バイアス電圧印加時の例示的なエネルギーバンド図である。

[図3B]図3Bは、実施の形態に係る光電変換素子における順バイアス電圧印加時の例示的なエネルギーバンド図である。

[図4]図4は、実施の形態に係る撮像装置の回路構成の一例を示す図である。

[図5]図5は、実施の形態に係る撮像装置における画素のデバイス構造を示す概略断面図である。

[図6]図6は、実施の形態に係る光電変換層の模式的な電流－電圧特性の一例を示す図である。

[図7]図7は、本実施の形態に係る別の光電変換素子における例示的なエネルギーバンド図である。

[図8]図8は、実施の形態に係る画素の模式的な回路構成の一部を示す図である。

[図9]図9は、実施の形態に係る光電変換部の上部電極に供給する電圧と撮像装置の画素アレイの各行における動作のタイミングの例を示すタイミングチャートである。

[図10]図10は、実施の形態に係る撮像装置における、パルスデューティ制御方式により光電変換の感度を調整する動作の例を示すタイミングチャートである。

[図11]図11は、実施例における光電変換素子の概略構成を示す図である。

[図12]図12は、比較例における光電変換素子の概略構成を示す図である。

[図13]図13は、実施例における光電変換素子にバイアス電圧を印加した際の明時および暗時における電流密度を示す図である。

[図14]図14は、比較例における光電変換素子にバイアス電圧を印加した際

の明時および暗時における電流密度を示す図である。

発明を実施するための形態

[0010] (本開示の概要)

本開示の一態様の概要は以下の通りである。

[0011] 本開示の一態様に係る撮像装置は、複数の画素を備える。前記複数の画素のそれぞれは、第1電極と、第2電極と、前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、前記第1電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、前記第2電極と電氣的に接続され、信号電荷として前記正孔を蓄積する電荷蓄積領域と、を含む。前記第2電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャル以上である。前記第1電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力より小さい。前記アクセプタ性半導体材料の前記電子親和力と前記第1電荷ブロッキング層の前記電子親和力との差は、前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第2電荷ブロッキング層の前記イオン化ポテンシャルとの差より大きい。

[0012] このような、電子親和力およびイオン化ポテンシャルの関係であることにより、光電変換層で生成した電子が第1電極へ移動する際のエネルギー障壁が、光電変換層で生成した正孔が第2電極へ移動する際のエネルギー障壁より大きい。そのため、電子のほうが正孔より光電変換層に残存しやすくなる。その結果、電荷蓄積領域に蓄積された正孔を信号電荷として読み出す際に、電荷蓄積領域への正孔の移動を停止したいタイミングにおいて、光電変換層に残存しやすい電子が、光電変換層に残存している正孔と再結合することで、正孔の再結合が不足なく促される。これにより、光電変換層に照射される光量に関係なく、電荷蓄積領域への正孔の移動が抑制される。よって、撮像装置における寄生感度を低減することができる。

- [0013] また、例えば、前記アクセプタ性半導体材料の前記電子親和力と前記第1電荷ブロッキング層の前記電子親和力との差は、前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第2電荷ブロッキング層の前記イオン化ポテンシャルとの差より0.1 eV以上大きくてもよい。
- [0014] これにより、光電変換層で生成した電子が第1電極へ移動する際のエネルギー障壁が、光電変換層で生成した正孔が第2電極へ移動する際のエネルギー障壁より十分に大きくなる。よって、撮像装置における寄生感度をさらに低減することができる。
- [0015] また、例えば、前記第1電荷ブロッキング層は、前記ドナー性半導体材料を含有していてもよい。
- [0016] これにより、光電変換層4に含まれるドナー性有機半導体材料で構成されるため、より少ない種類の材料で寄生感度を低減できる撮像装置が実現できる。
- [0017] また、本開示の一態様に係る撮像装置は、複数の画素を備える。前記複数の画素のそれぞれは、第1電極と、第2電極と、前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、前記第1電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、前記第2電極と電氣的に接続され、信号電荷として前記電子を蓄積する電荷蓄積領域と、を含む。前記第2電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力以下である。前記第1電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャルより大きい。前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第1電荷ブロッキング層の前記イオン化ポテンシャルとの差は、前記アクセプタ性半導体材料の前記電子親和力と前記第2電荷ブロッキング層の前記電子親和力との差より大きい。
- [0018] このような、電子親和力およびイオン化ポテンシャルの関係であることに

より、光電変換層で生成した正孔が第1電極へ移動する際のエネルギー障壁が、光電変換層で生成した電子が第2電極へ移動する際のエネルギー障壁より大きい。そのため、正孔のほうが電子より光電変換層に残存しやすくなる。その結果、電荷蓄積領域に蓄積された電子を信号電荷として読み出す際に、電荷蓄積領域への電子の移動を停止したいタイミングにおいて、光電変換層に残存しやすい正孔が、光電変換層に残存している電子と再結合することで、電子が消滅しやすくなる。これにより、光電変換層に照射される光量に関係なく、電荷蓄積領域への電子の移動が抑制される。よって、撮像装置における寄生感度を低減することができる。

[0019] また、例えば、前記撮像装置は、前記第1電極と電氣的に接続され、前記第1電極と前記第2電極との間に電位差を与える電圧供給回路をさらに備え、前記電圧供給回路は前記第1電極に対し、第1期間において第1電圧を供給し、第2期間において前記第1電圧とは異なる第2電圧を供給してもよい。

[0020] これにより、第1電圧と第2電圧とを光電変換層の特性に合わせて設定することで、光電変換のタイミングと読み出しを行うタイミングとを分けることができ、寄生感度をさらに低減できる。

[0021] また、例えば、前記第1期間における前記複数の画素の光電変換効率は、前記第2期間における前記複数の画素の光電変換効率と異なってもよい。

[0022] これにより、第1期間および第2期間では、光電変換層に入射する光量に応じて電流密度の変化が異なるような第1電圧および第2電圧が選択され、例えば、光量に応じて電流密度の変化が小さくなる期間に光電変換層の正孔と電子とが再結合されることで、寄生感度を低減できる。

[0023] また、例えば、前記撮像装置は、前記複数の画素の間で露光期間のタイミングが統一されるグローバルシャッタ方式で動作してもよく、前記露光期間において、前記電荷蓄積領域に前記信号電荷が蓄積されてもよい。

[0024] このように、全画素において同じタイミングで露光させることができるため、ローリングシャッタ特有の物体の像がゆがんだりするなどの現象が発生

することを抑制しつつ、寄生感度を低減できる撮像装置が実現できる。

[0025] また、例えば、前記第1期間は前記露光期間であり、前記第2期間は、前記露光期間と異なる非露光期間であってもよい。

[0026] このように、第2期間を信号読み出しのための非露光期間とすることで、第2期間において寄生感度を低減しつつ、グローバルシャッタ方式を実現できる。

[0027] また、例えば、前記電圧供給回路により前記第1電極に前記第2電圧が供給されることによって、前記光電変換層において前記電子と前記正孔とが再結合してもよい。

[0028] このように、第2期間中は電子と正孔とを再結合させる第2電圧が供給されるため、非露光期間である第2期間を信号読み出し期間とすることで、非露光期間において、光電変換層から発生する電流密度が、光電変換層に入射する光量に、左右されにくくなる。よって、第2期間において、寄生感度を低減できる。

[0029] また、例えば、前記電圧供給回路により前記第1電極に前記第1電圧が供給されることにより、前記光電変換層において光電変換の感度が生じてもよい。

[0030] このように、露光期間である第1期間において、光電変換層に感度を生じさせる電圧が第1電極に供給されるため、S/N比を向上させつつ、寄生感度を低減できる撮像装置が実現できる。

[0031] また、例えば、前記第1期間および前記第2期間は、同一フレーム内の1つ以上の露光期間のいずれかに含まれ、前記1つ以上の露光期間において、前記電荷蓄積領域に前記信号電荷が蓄積されてもよい。

[0032] これにより、同一フレーム内の1つ以上の露光期間のいずれかに、第1電極に対して異なる電圧が供給される第1期間と第2期間とが含まれる。そのため、撮像装置は、第1電圧および第2電圧の大きさ、または、第1期間および第2期間の長さを調節して、光電変換の感度を調整できる。よって、このような、電子ND (Neutral Density) 機能を有する撮像

装置において、寄生感度を低減することができる。

[0033] また、例えば、前記ドナー性半導体材料は、ドナー性有機半導体材料であり、前記アクセプタ性半導体材料は、アクセプタ性有機半導体材料であってもよい。

[0034] これにより、容易に光電変換層となる薄膜を形成できる。

[0035] また、例えば、前記第1電荷ブロッキング層の厚さは、5 nm以上であってもよい。

[0036] これにより、第1電荷ブロッキング層の機能が確保されやすくなり、寄生感度をさらに低減することができる。

[0037] また、例えば、前記第2電荷ブロッキング層の厚さは、5 nm以上であってもよい。

[0038] これにより、第2電荷ブロッキング層の機能が確保されやすくなり、寄生感度をさらに低減することができる。

[0039] 以下、実施の形態について、図面を参照しながら説明する。

[0040] なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、各図は、必ずしも厳密に図示したものではない。各図において、実質的に同一の構成については同一の符号を付し、重複する説明は省略または簡略化することがある。

[0041] (実施の形態)

[光電変換素子]

まず、本実施の形態に係る撮像装置が備える光電変換素子について、図1を用いて説明する。本実施の形態に係る光電変換素子は、電荷読み出し方式の光電変換素子である。図1は、本実施の形態に係る光電変換素子10の構成を示す概略断面図である。

- [0042] 図1に示されるように、光電変換素子10は、支持基板1に支持されており、一对の電極である上部電極6および下部電極2と、上部電極6と下部電極2との間に位置する光電変換層4と、上部電極6と光電変換層4との間に位置する正孔ブロッキング層5と、下部電極2と光電変換層4との間に位置する電子ブロッキング層3とを備える。本実施の形態において、上部電極6は第1電極の一例であり、下部電極2は、第2電極の一例である、また、正孔ブロッキング層5は、第1電荷ブロッキング層の一例であり、電子ブロッキング層3は、第2電荷ブロッキング層の一例である。
- [0043] 以下、本実施の形態に係る光電変換素子10の各構成要素について説明する。
- [0044] 支持基板1は、一般的な光電変換素子の支持に使用される基板であればよく、例えば、ガラス基板、石英基板、半導体基板またはプラスチック基板等であってもよい。
- [0045] 下部電極2は、金属、金属窒化物、金属酸化物または導電性が付与されたポリシリコンなどから形成される。金属の例としては、アルミニウム、銅、チタンおよびタングステンなどが挙げられる。ポリシリコンに導電性を付与する方法の例としては、不純物をドーピングすることが挙げられる。
- [0046] 上部電極6は、例えば、透明な導電性材料から形成される透明電極である。上部電極6の材料としては、例えば、透明導電性酸化物(TCO: Transparent Conducting Oxide)、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、AZO (Aluminum-doped Zinc Oxide)、FTO (Fluorine-doped Tin Oxide)、SnO₂およびTiO₂等が挙げられる。なお、上部電極6は、所望の透過率に応じて、適宜、TCO、およびアルミニウム(Al)ならびに金(Au)などの金属材料を単独または複数組み合わせることで作製してもよい。
- [0047] なお、下部電極2および上部電極6の材料は、上述した導電性材料に限られず、他の材料を用いてもよい。例えば、下部電極2は、透明電極であって

もよい。

[0048] 下部電極 2 および上部電極 6 の作製には、使用する材料によって種々の方法が用いられる。例えば、ITO を使用する場合、電子ビーム法、スパッタリング法、抵抗加熱蒸着法、ゾルーゲル法などの化学反応法、酸化インジウムスズの分散物の塗布などの方法を用いてもよい。この場合、下部電極 2 および上部電極 6 の作製には、ITO 膜を成膜した後に、さらに UV-オゾン処理、プラズマ処理などを施してもよい。

[0049] 光電変換層 4 は、ドナー性半導体材料およびアクセプタ性半導体材料を含む。光電変換層 4 は、例えば、有機半導体材料を用いて作製される。光電変換層 4 の作製方法は、例えば、スピコートなどによる塗布法などの湿式の方法、または、真空蒸着法などの乾式の方法などを用いることができる。真空蒸着法とは、真空下で加熱することにより層の材料を気化し、基板上に堆積させる方法である。また、光電変換層 4 は、例えば、ドナー性有機半導体材料およびアクセプタ性有機半導体材料を含むバルクヘテロ構造の混合膜である。光電変換層 4 は、ドナー性有機半導体材料およびアクセプタ性有機半導体材料を含むことにより、容易に薄膜として形成される。以下、ドナー性有機半導体材料およびアクセプタ性有機半導体材料を具体的に例示する。

[0050] ドナー性有機半導体材料としては、例えば、トリアリールアミン化合物、ベンジジン化合物、ピラゾリン化合物、スチリルアミン化合物、ヒドラゾン化合物、トリフェニルメタン化合物、カルバゾール化合物、ポリシラン化合物、チオフェン化合物、フタロシアニン化合物、ナフトロシアニン化合物、サブフタロシアニン化合物、シアニン化合物、メロシアニン化合物、オキノール化合物、ポリアミン化合物、インドール化合物、ピロール化合物、ピラゾール化合物、ポリアリール化合物、縮合芳香族炭素環化合物（例えば、ナフトレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体およびフルオランテン誘導体等）および含窒素ヘテロ環化合物を配位子として有する金属錯体等が挙げられる。

[0051] アクセプタ性有機半導体材料としては、例えば、フラレン（例えば、C₆₀フラレンおよびC₇₀フラレン等）、フラレン誘導体（例えば、PCBM（フェニルC₆₀酪酸メチルエステル）およびICBA（インデンC₆₀ビス付加体）等）、縮合芳香族炭素環化合物（例えば、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体およびフルオランテン誘導体等）、窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物（例えば、ピリジン、ピラジン、ピリミジン、ピリダジン、トリアジン、キノリン、キノキサリン、キナゾリン、フタラジン、シンノリン、イソキノリン、プテリジン、アクリジン、フェナジン、フェナントロリン、テトラゾール、ピラゾール、イミダゾール、チアゾール、オキサゾール、インダゾール、ベンズイミダゾール、ベンゾトリアゾール、ベンゾオキサゾール、ベンゾチアゾール、カルバゾール、プリン、トリアゾロピリダジン、トリアゾロピリミジン、テトラザインデン、オキサジアゾール、イミダゾピリジン、ピロリジン、ピロロピリジン、チアジアゾロピリジン、ジベンズアゼピンおよびトリベンズアゼピン等）、ポリアリレン化合物、フルオレン化合物、シクロペンタジエン化合物、シリル化合物および含窒素ヘテロ環化合物を配位子として有する金属錯体等が挙げられる。

[0052] なお、ドナー性有機半導体材料およびアクセプタ性有機半導体材料は、上記例に限らない。乾式および湿式のいずれかの方法で光電変換層として成膜できる有機化合物であれば、低分子の有機化合物および高分子の有機化合物を、光電変換層4を構成するドナー性有機半導体材料およびアクセプタ性有機半導体材料として用いてよい。

[0053] また、光電変換層4は、上記以外の半導体材料をドナー性半導体材料およびアクセプタ性半導体材料として含んでもよい。光電変換層4は、半導体材料として、例えば、シリコン半導体、化合物半導体、量子ドット、ペロブスカイト材料、カーボンナノチューブ等、または、これらのいずれか2つ以上の混合物を含んでもよい。

- [0054] 本実施の形態に係る光電変換素子10は、下部電極2と光電変換層4との間に設けられた電子ブロッキング層3と、上部電極6と光電変換層4との間に設けられた正孔ブロッキング層5を備える。電子ブロッキング層3および正孔ブロッキング層5を設けることにより、電極からの電荷の注入を抑制することができ、S/N比へ悪影響を与える雑信号を低減できる。
- [0055] 電子ブロッキング層3の厚さは、例えば、5nm以上である。これにより、電子ブロッキング層3の機能が確保されやすくなる。また、電子ブロッキング層3の厚さは、光電変換素子10の光電変換効率の低下を抑制する観点からは、100nm以下であってもよい。
- [0056] 正孔ブロッキング層5の厚さは、例えば、5nm以上である。これにより、正孔ブロッキング層5の機能が確保されやすくなる。また、正孔ブロッキング層5の厚さは、光電変換素子10の光電変換効率の低下を抑制する観点からは、100nm以下であってもよい。
- [0057] 電子ブロッキング層3および正孔ブロッキング層5に用いられる材料としては、後述するエネルギーバンドを有する半導体材料が用いられる。電子ブロッキング層3および正孔ブロッキング層5は、例えば、有機半導体材料にて形成される。電子ブロッキング層3および正孔ブロッキング層5を形成する材料は、有機半導体材料に限定されず、酸化物半導体または窒化物半導体などであってもよく、その複合材料であってもよい。
- [0058] また、正孔ブロッキング層5は、主な材料として光電変換層4に含まれるドナー性有機半導体材料を含んでいてもよい。正孔ブロッキング層5は、例えば、光電変換層4に含まれるドナー性有機半導体材料で構成される。正孔ブロッキング層5が、光電変換層4に含まれるドナー性有機半導体材料を含むことで、より少ない種類の材料で光電変換素子10を実現できる。また、図示されているように光電変換層4と正孔ブロッキング層5とが接している場合、正孔ブロッキング層5が光電変換層4と同じドナー性有機半導体材料を含むことで、光電変換層4と正孔ブロッキング層5との界面の密着性が向上する。

[0059] 図2は、図1に示される光電変換素子10における例示的なエネルギーバンド図である。図2において、各層のエネルギーバンドが矩形で示されている。

[0060] 光電変換層4は、光の照射を受けて内部に電子と正孔との対を生成する。生成した電子と正孔との対は、光電変換層4にかかる電界によって電子と正孔とに分離される。電子と正孔とは、それぞれ電界に従って下部電極2側または上部電極6側に移動する。ここで、光を吸収して発生した電子と正孔との対のうち、電子を他方の材料へ供与する半導体材料がドナー性半導体材料であり、電子を受容する半導体材料がアクセプタ性半導体材料である。ドナー性有機半導体材料はドナー性半導体材料の一例であり、アクセプタ性有機半導体材料はアクセプタ性半導体材料の一例である。光電変換層4が光の照射を受けると、例えば、ドナー性半導体材料が電子と正孔との対を生成し、アクセプタ性半導体材料に電子を供与する。異なる2種類の有機半導体材料を用いる場合、どちらがドナー性半導体材料となりどちらがアクセプタ性半導体材料となるかは、一般に、接触界面における2種類の有機半導体材料それぞれのHOMO (Highest-Occupied-Molecular-Orbital) とLUMO (Lowest-Unoccupied-Molecular-Orbital) のエネルギー準位の相対位置で決まる。図2においてエネルギーバンドを示す矩形のうち、上端がLUMOのエネルギー準位であり、下端がHOMOのエネルギー準位である。

[0061] 図2に示されるように、2種類の有機半導体材料のうち、真空準位とLUMOのエネルギー準位とのエネルギー差である電子親和力が小さい方がドナー性半導体材料であるドナー性有機半導体材料4Aとなり、大きい方がアクセプタ性半導体材料であるアクセプタ性有機半導体材料4Bとなる。

[0062] また、図2に示されるように、本実施の形態に係る光電変換素子10では、電子ブロッキング層3の、真空準位とHOMOのエネルギー準位とのエネルギー差であるイオン化ポテンシャルは、光電変換層4のドナー性有機半導体材料4Aのイオン化ポテンシャル以上である。また、電子ブロッキング層

3の電子親和力は、例えば、光電変換層4のアクセプタ性有機半導体材料4Bの電子親和力以下である。

[0063] また、正孔ブロッキング層5の電子親和力は、光電変換層4のアクセプタ性有機半導体材料4Bの電子親和力よりも小さい。また、正孔ブロッキング層5のイオン化ポテンシャルは、例えば、光電変換層4のドナー性有機半導体材料4Aのイオン化ポテンシャル以上である。

[0064] また、図2中の ΔE_2 で示される正孔ブロッキング層5と光電変換層4のアクセプタ性有機半導体材料4Bとの電子親和力の差は、図2中の ΔE_1 で示される電子ブロッキング層3と光電変換層4のドナー性有機半導体材料4Aとのイオン化ポテンシャルの差より大きい。

[0065] 電子ブロッキング層3および正孔ブロッキング層5の材料としては、例えば、上記で例示したドナー性有機半導体材料およびアクセプタ性有機半導体材料の中から上記のエネルギーの大小関係になる材料が用いられる。

[0066] なお、図2に示されるように、下部電極2は、後述する電荷蓄積ノード34と電氣的に接続されている。電荷蓄積領域の一例である電荷蓄積ノード34は、光電変換層4で生成した正孔を蓄積する。

[0067] 図3Aは、下部電極2と上部電極6との間に、逆方向のバイアスとなる電圧を印加した際の、光電変換素子10における例示的なエネルギーバンド図である。また、図3Bは、下部電極2と上部電極6との間に、順方向のバイアスとなる電圧を印加した際の、光電変換素子10における例示的なエネルギーバンド図である。本明細書において、上部電極6に下部電極2よりも高い電圧を印加する場合の電圧が逆方向のバイアス、いわゆる逆バイアスの電圧であり、上部電極6に下部電極2よりも低い電圧を印加する場合の電圧が順方向のバイアス、いわゆる順バイアスの電圧であるとし、以降の説明を行う。

[0068] 例えば、光電変換モードとして図3Aに示される状態で、光電変換層4に電子と正孔との対を生成させ、その後に、下部電極2へ正孔を、上部電極6へ電子を移動させ、読み出しモードとして図3Bに示される状態で、下部電

極2を介して電荷蓄積ノード34に蓄積された正孔の信号を読み出す。

[0069] この場合、光電変換モードにおいて、正孔が、光電変換層4から下部電極2に移動する際のエネルギー障壁は ΔE_1 になり、電子が、光電変換層4から上部電極6に移動する際のエネルギー障壁は ΔE_2 になる。正孔の移動のエネルギー障壁である ΔE_1 より、電子の移動のエネルギー障壁である ΔE_2 のほうが大きくなるため、電子の方が正孔より移動しにくい。その結果、光電変換モードの際に、電子のほうが、正孔より光電変換層4に残存しやすくなる。そのため、読み出しモードへの移行時に、残存している電子と正孔とが再結合する場合、残存しやすい電子の存在により、正孔の再結合が不足なく促されるため、残存している正孔の下部電極2への移動を抑制できるようになる。

[0070] 以上のように、本実施の形態に係る撮像装置100に備えられる光電変換素子10は、上述したエネルギーバンドを有する電子ブロッキング層3および正孔ブロッキング層5を用いることにより、下部電極2から正孔を読み出す方式において効果的に寄生感度の低減することが可能である。

[0071] [撮像装置]

以下、本実施の形態に係る撮像装置について図4および図5を用いて説明する。図4は、図1に示される光電変換素子10を用いた光電変換部10Aを実装した撮像装置100の回路構成の一例を示す図である。また、図5は、本実施の形態に係る撮像装置100における画素24のデバイス構造の一例を示す概略断面図である。

[0072] 図4および図5に示されるように、本実施の形態に係る撮像装置100は、半導体基板40と、複数の画素24とを備える。複数の画素24の各々は、半導体基板40に設けられた電荷検出回路35、半導体基板40上に設けられた光電変換部10A、及び電荷検出回路35と光電変換部10Aとに電気的に接続された電荷蓄積ノード34を含む。複数の画素24の光電変換部10Aは、上記光電変換素子10を含む。つまり、複数の画素24それぞれは、上部電極6と、下部電極2と、光電変換層4と、正孔ブロッキング層5

と、電子ブロッキング層3と、電荷蓄積ノード34とを備える。本実施の形態において、電荷蓄積ノード34は、電荷蓄積領域の一例である。

[0073] 電荷蓄積ノード34は、光電変換部10Aで得られた電荷を蓄積し、電荷検出回路35は、電荷蓄積ノード34に蓄積された電荷を検出する。なお、半導体基板40に設けられた電荷検出回路35は、半導体基板40上に設けられていてもよく、半導体基板40中に設けられたものであってもよい。

[0074] 図4に示されるように、撮像装置100は、複数の画素24と周辺回路とを備えている。撮像装置100は、1チップの集積回路で実現される有機イメージセンサであり、2次元に配列された複数の画素24を含む画素アレイPAを有する。撮像装置100は、例えば、複数の画素24の間で露光期間が統一されるグローバルシャッタ方式で動作する撮像装置である。つまり、撮像装置100は、グローバルシャッタ機能を有する。露光期間の詳細については後述する。

[0075] 複数の画素24は、半導体基板40上に2次元、すなわち行方向および列方向に配列されて、画素領域である感光領域を形成している。図4では、画素24は、2行2列のマトリクス状に配列される例を示している。なお、図4では、図示の便宜上、画素24の感度を個別に設定するための回路（例えば、画素電極制御回路）の図示を省略している。また、撮像装置100は、ラインセンサであってもよい。その場合、複数の画素24は、1次元に配列されていてもよい、なお、本明細書において、行方向および列方向とは、行および列がそれぞれ伸びる方向をいう。つまり、図4において、紙面における縦方向が列方向であり、横方向が行方向である。

[0076] 図4および図5に示されるように、各画素24は、光電変換部10Aと、電荷検出回路35とに電氣的に接続された電荷蓄積ノード34とを備える。電荷検出回路35は、増幅トランジスタ21と、リセットトランジスタ22と、アドレストランジスタ23とを含む。

[0077] 光電変換部10Aは、画素電極として設けられた下部電極2および対向電極として設けられた上部電極6を備える。光電変換部10Aは、上述した光

電変換素子 10 を含む。上部電極 6 には、対向電極信号線 26 を介して所定のバイアス電圧を印加するための電圧が供給される。

[0078] 下部電極 2 は、増幅トランジスタ 21 のゲート電極 21G に接続され、下部電極 2 によって集められた信号電荷は、下部電極 2 と増幅トランジスタ 21 のゲート電極 21G との間に位置する電荷蓄積ノード 34 に蓄積される。本実施の形態では、信号電荷は正孔である。つまり、電荷蓄積ノード 34 は、下部電極 2 と電氣的に接続され、光電変換層 4 で生成した正孔を蓄積する。

[0079] 電荷蓄積ノード 34 に蓄積された信号電荷は、信号電荷の量に応じた電圧として増幅トランジスタ 21 のゲート電極 21G に印加される。増幅トランジスタ 21 は、この電圧を増幅し、信号電圧として、アドレストランジスタ 23 によって、選択的に読み出される。リセットトランジスタ 22 は、そのソース／ドレイン電極が、下部電極 2 に接続されており、電荷蓄積ノード 34 に蓄積された信号電荷をリセットする。換言すると、リセットトランジスタ 22 は、増幅トランジスタ 21 のゲート電極 21G および下部電極 2 の電位をリセットする。

[0080] 複数の画素 24 において上述した動作を選択的に行うために、撮像装置 100 は、電源配線 31 と、垂直信号線 27 と、アドレス信号線 36 と、リセット信号線 37 とを有し、これらの線が各画素 24 にそれぞれ接続されている。具体的には、電源配線 31 は、増幅トランジスタ 21 のソース／ドレイン電極に接続され、垂直信号線 27 は、アドレストランジスタ 23 のソース／ドレイン電極に接続される。アドレス信号線 36 はアドレストランジスタ 23 のゲート電極 23G に接続される。またリセット信号線 37 は、リセットトランジスタ 22 のゲート電極 22G に接続される。

[0081] 周辺回路は、電圧供給回路 19 と、垂直走査回路 25 と、水平信号読み出し回路 20 と、複数のカラム信号処理回路 29 と、複数の負荷回路 28 と、複数の差動増幅器 32 とを含む。

[0082] 電圧供給回路 19 は、対向電極信号線 26 を介して上部電極 6 と電氣的に

接続されている。電圧供給回路 19 は、上部電極 6 に電圧を供給することで、上部電極 6 と下部電極 2 との間に電位差を与える。電圧供給回路 19 は、例えば、後述する露光期間等の第 1 期間において第 1 電圧を供給し、非露光期間等の第 2 期間において第 1 電圧とは異なる第 2 電圧を供給する。

[0083] 垂直走査回路 25 は、アドレス信号線 36 およびリセット信号線 37 に接続されており、各行に配置された複数の画素 24 を行単位で選択し、信号電圧の読み出しおよび下部電極 2 の電位のリセットを行う。ソースフォロア電源である電源配線 31 は、各画素 24 に所定の電源電圧を供給する。水平信号読み出し回路 20 は、複数のカラム信号処理回路 29 に電氣的に接続されている。カラム信号処理回路 29 は、各列に対応した垂直信号線 27 を介して、各列に配置された画素 24 に電氣的に接続されている。負荷回路 28 は各垂直信号線 27 に電氣的に接続されている。負荷回路 28 と増幅トランジスタ 21 は、ソースフォロア回路を形成する。

[0084] 複数の差動増幅器 32 は、各列に対応して設けられている。差動増幅器 32 の負側の入力端子は、対応した垂直信号線 27 に接続されている。また差動増幅器 32 の出力端子は、各列に対応したフィードバック線 33 を介して画素 24 に接続されている。

[0085] 垂直走査回路 25 は、アドレス信号線 36 によって、アドレストランジスタ 23 のオンおよびオフを制御する行選択信号をアドレストランジスタ 23 のゲート電極 23G に印加する。これより、読み出し対象の行が走査され、選択される。選択された行の画素 24 から垂直信号線 27 に信号電圧が読み出される。また、垂直走査回路 25 は、リセット信号線 37 を介して、リセットトランジスタ 22 のオンおよびオフを制御するリセット信号をリセットトランジスタ 22 のゲート電極 22G に印加する。これにより、リセット動作の対象となる画素 24 の行が選択される。垂直信号線 27 は、垂直走査回路 25 によって選択された画素 24 から読み出された信号電圧をカラム信号処理回路 29 へ伝達する。

[0086] カラム信号処理回路 29 は、相関二重サンプリングに代表される雑音抑制

信号処理およびアナログーデジタル変換（AD変換）などを行う。

- [0087] 水平信号読み出し回路20は、複数のカラム信号処理回路29から水平共通信号線（不図示）に信号を順次読み出す。
- [0088] 差動増幅器32は、フィードバック線33を介してリセットトランジスタ22のドレイン電極に接続されている。したがって、差動増幅器32は、アドレストランジスタ23の出力値を負端子に受ける。増幅トランジスタ21のゲート電位が所定のフィードバック電圧となるように、差動増幅器32はフィードバック動作を行う。このとき、差動増幅器32の出力電圧値は、0Vまたは0V近傍の正電圧である。フィードバック電圧とは、差動増幅器32の出力電圧を意味する。
- [0089] 図5に示されるように、画素24は、半導体基板40と、電荷検出回路35と、光電変換部10Aと電荷蓄積ノード34（図4参照）とを含む。
- [0090] 半導体基板40は、感光領域が形成される側の表面に半導体層が設けられた絶縁性基板等であってもよく、例えば、p型シリコン基板である。半導体基板40は、不純物領域21D、21S、22D、22Sおよび23Sと、画素24間の電氣的な分離のための素子分離領域41とを有する。不純物領域21D、21S、22D、22Sおよび23Sは、例えば、n型領域である。ここでは、素子分離領域41は、不純物領域21Dと不純物領域22Dとの間に設けられている。これにより、電荷蓄積ノード34で蓄積される信号電荷のリークが抑制される。なお、素子分離領域41は、例えば、所定の注入条件下でアクセプタのイオン注入を行うことによって形成される。
- [0091] 不純物領域21D、21S、22D、22Sおよび23Sは、例えば、半導体基板40内に形成された拡散領域である。図5に示されるように、増幅トランジスタ21は、不純物領域21Sおよび不純物領域21Dとゲート電極21Gとを含む。不純物領域21Sおよび不純物領域21Dは、それぞれ増幅トランジスタ21の例えばソース領域およびドレイン領域として機能する。不純物領域21Sおよび不純物領域21Dの間に、増幅トランジスタ21のチャンネル領域が形成される。

- [0092] 同様に、アドレストランジスタ 23 は、不純物領域 23 S および不純物領域 21 S と、アドレス信号線 36 に接続されたゲート電極 23 G とを含む。この例では、増幅トランジスタ 21 およびアドレストランジスタ 23 は、不純物領域 21 S を共有することによって互いに電氣的に接続されている。不純物領域 23 S は、アドレストランジスタ 23 の例えばソース領域として機能する。不純物領域 23 S は図 4 に示される垂直信号線 27 との接続を有する。
- [0093] リセットトランジスタ 22 は、不純物領域 22 D および 22 S と、リセット信号線 37 に接続されたゲート電極 22 G とを含む。不純物領域 22 S は、リセットトランジスタ 22 の例えばソース領域として機能する。不純物領域 22 S は、図 4 に示されるリセット信号線 37 との接続を有する。
- [0094] 半導体基板 40 には、増幅トランジスタ 21、アドレストランジスタ 23 およびリセットトランジスタ 22 を覆うように層間絶縁層 50 が積層されている。
- [0095] また、層間絶縁層 50 中には、配線層（不図示）が配置され得る。配線層は、例えば、銅などの金属から形成され、例えば、上述の垂直信号線 27 などの配線をその一部に含み得る。層間絶縁層 50 中の絶縁層の層数および層間絶縁層 50 中に配置される配線層に含まれる層数は、任意に設定可能である。
- [0096] 層間絶縁層 50 中には、増幅トランジスタ 21 のゲート電極 21 G と電氣的に接続されたコンタクトプラグ 53、リセットトランジスタ 22 の不純物領域 22 D と接続されたコンタクトプラグ 54、下部電極 2 と接続されたコンタクトプラグ 51、およびコンタクトプラグ 51 とコンタクトプラグ 54 とコンタクトプラグ 53 とを接続する配線 52 が配置される。これにより、リセットトランジスタ 22 の不純物領域 22 D が増幅トランジスタ 21 のゲート電極 21 G と電氣的に接続されている。図 5 に例示される構成において、コンタクトプラグ 51、53 および 54、配線 52、増幅トランジスタ 21 のゲート電極 21 G、ならびに、リセットトランジスタ 22 の不純物領域

- 22Dは、電荷蓄積ノード34の少なくとも1部を構成する。
- [0097] 電荷検出回路35は、下部電極2によって捕捉された信号電荷を検出し、信号電圧を出力する。電荷検出回路35は、増幅トランジスタ21と、リセットトランジスタ22と、アドレストラジスタ23とを含み、半導体基板40に形成されている。
- [0098] 増幅トランジスタ21は、半導体基板40内に形成され、それぞれドレイン電極およびソース電極として機能する不純物領域21Dおよび不純物領域21Sと、半導体基板40上に形成されたゲート絶縁層21Xと、ゲート絶縁層21X上に形成されたゲート電極21Gとを含む。
- [0099] リセットトランジスタ22は、半導体基板40内に形成され、それぞれドレイン電極およびソース電極として機能する不純物領域22Dおよび不純物領域22Sと、半導体基板40上に形成されたゲート絶縁層22Xと、ゲート絶縁層22X上に形成されたゲート電極22Gとを含む。
- [0100] アドレストラジスタ23は、半導体基板40内に形成され、それぞれドレイン電極およびソース電極として機能する不純物領域21Sおよび23Sと、半導体基板40上に形成されたゲート絶縁層23Xと、ゲート絶縁層23X上に形成されたゲート電極23Gとを含む。不純物領域21Sは、増幅トランジスタ21及びアドレストラジスタ23と直列に接続される。
- [0101] 層間絶縁層50上には、上述の光電変換部10Aが配置される。換言すれば、本実施の形態では、画素アレイPAを構成する複数の画素24が、半導体基板40上に形成されている。そして、半導体基板40上に2次元に配置された複数の画素24は、感光領域を形成する。隣接する2つの画素24間の距離（すなわち、画素ピッチ）は、例えば2 μ m程度であってもよい。
- [0102] 光電変換部10Aは、上述した光電変換素子10の構造を備える。
- [0103] 光電変換部10Aの上方には、カラーフィルタ60、その上方にマイクロレンズ61が形成されている。カラーフィルタ60は、例えば、パターニングによるオンチップカラーフィルタとして形成され、染料または顔料が分散された感光性樹脂等が用いられる。マイクロレンズ61は、例えば、オンチ

ップマイクロレンズとして形成され、紫外線感光材料等が用いられる。

[0104] 撮像装置100の製造には、一般的な半導体製造プロセスを用いることができる。特に、半導体基板40としてシリコン基板を用いる場合には、種々のシリコン半導体プロセスを利用することができる。

[0105] 図6は、光電変換層4の模式的な電流－電圧（I－V）特性の一例を示す図である。図6中、太い実線のグラフは、光が照射された状態において、下部電極2と上部電極6との間に電圧を印加した際の、光電変換層4の例示的なI－V特性を示している。また、図6には、光が照射されていない状態において、下部電極2と上部電極6との間に電圧を印加した際の、光電変換層4のI－V特性の一例も、太い破線によって合わせて示されている。

[0106] 図6に示されるように、本実施の形態に係る光電変換層4の光電流特性は、概略的には、第1電圧範囲、第2電圧範囲および第3電圧範囲によって特徴付けられる。第1電圧範囲では、下部電極2と上部電極6との間に印加されるバイアス電圧、および、光電変換層4への入射光量に対する、光電変換層4の電流変化の依存性が小さい。つまり、第1電圧範囲では、光電変換層4への光入射がある場合に流れる電流値と、光入射がない場合に流れる電流値との差が小さいとみなすことができる。第1電圧範囲では、光電変換層4への光の入射により正孔と電子との対が生成しても、下部電極2と上部電極6との間に印加される電圧の絶対値が大きくないため、正孔と電子とが分離する前にこれらの再結合が生じる。

[0107] また、図6中の第2電圧範囲は、逆バイアスの電圧範囲であって、逆方向のバイアス電圧の増大に従って出力電流密度の絶対値が増大する領域である。つまり、第2電圧範囲は、光電変換層4への入射光量、および、下部電極2と上部電極6との間に印加されるバイアス電圧の増大に従って電流値が増大する領域である。

[0108] また、第3電圧範囲は、順バイアスの電圧範囲であって、順方向のバイアス電圧の増大に従って出力電流密度が増大する領域である。つまり、第3電圧範囲は、光電変換層4への光入射がなくとも、下部電極2と上部電極6と

の間に印加されるバイアス電圧の増大に従って電流が増大する領域である。

[0109] 上述した図3Aは、光電変換素子10において第2電圧範囲のバイアス電圧が印加されている場合の例示的なエネルギーバンド図に相当する。また、図3Bは、光電変換素子10において第1電圧範囲のバイアス電圧が印加されている場合の例示的なエネルギーバンド図に相当する。

[0110] 本実施の形態に係る撮像装置100の光電変換素子10で構成される光電変換部10Aは、このような、光電変換層4への光入射がある場合に流れる電流値と、光入射がない場合に流れる電流値との差が小さい第1電圧範囲を有する光電変換層4を備えることによって、撮像装置100は、寄生感度を低減しつつグローバルシャッタ機能を実現できる。

[0111] 検出する信号電荷が、正孔である場合、図2、図3Aおよび図3Bに示されるように、アクセプタ性有機半導体材料4Bと正孔ブロッキング層5との電子親和力の差 ΔE_2 が、ドナー性有機半導体材料4Aと電子ブロッキング層3とのイオン化ポテンシャルの差 ΔE_1 より大きいほど、電子のほうが、正孔より光電変換層4に残存しやすい。そのため、下部電極2と上部電極6との間に印加されるバイアス電圧が第1電圧範囲である場合に、電子と正孔との再結合を促す効果を高めることで、正孔が下部電極2に移動しにくくなり、寄生感度を低減できる。例えば、寄生感度を低減する効果を高める観点から、アクセプタ性有機半導体材料4Bと正孔ブロッキング層5との電子親和力の差 ΔE_2 は、ドナー性有機半導体材料4Aと電子ブロッキング層3とのイオン化ポテンシャルの差 ΔE_1 より0.1eV以上大きくてもよい。寄生感度を低減する効果をさらに高める観点から、アクセプタ性有機半導体材料4Bと正孔ブロッキング層5との電子親和力の差 ΔE_2 は、ドナー性有機半導体材料4Aと電子ブロッキング層3とのイオン化ポテンシャルの差 ΔE_1 より、0.3eV以上大きくてもよい。

[0112] なお、検出する信号電荷が、電子である場合、下部電極2と光電変換層4との間に第2電荷ブロッキング層の一例として正孔ブロッキング層を設け、上部電極6と光電変換層4との間に第1電荷ブロッキング層の一例として電

子ブロッキング層を設け、下部電極 2 が電荷蓄積ノード 3 4 に電氣的に接続された構成であってもよい。つまり、本実施の形態に係る撮像装置は、上部電極 6 と、下部電極 2 と、上部電極 6 と下部電極 2 との間に位置する光電変換層 4 と、下部電極 2 と光電変換層 4 との間に位置する正孔ブロッキング層と、上部電極 6 と光電変換層 4 との間に位置する電子ブロッキング層と、下部電極 2 と電氣的に接続され、電子を蓄積する電荷蓄積ノード 3 4 とを備えていてもよい。図 7 は、本実施の形態に係る別の光電変換素子における例示的なエネルギーバンド図である。図 7 には、本実施の形態に係る撮像装置における光電変換素子の別の例として、上部電極 6 と、下部電極 2 と、上部電極 6 と下部電極 2 との間に位置する光電変換層 4 と、下部電極 2 と光電変換層 4 との間に位置する正孔ブロッキング層 5 A と、上部電極 6 と光電変換層 4 との間に位置する電子ブロッキング層 3 A とを備える光電変換素子のエネルギーバンドが示されている。この場合、正孔ブロッキング層 5 A の電子親和力は、アクセプタ性半導体材料 4 B の電子親和力以下であり、電子ブロッキング層 3 A のイオン化ポテンシャルは、ドナー性半導体材料 4 A のイオン化ポテンシャルより大きい。また、光電変換層 4 のドナー性有機半導体材料 4 A と電子ブロッキング層 3 A とのイオン化ポテンシャルの差 ΔE_4 が、光電変換層 4 のアクセプタ性有機半導体材料 4 B と正孔ブロッキング層 5 A との電子親和力の差 ΔE_3 より大きい構成とする。このような、電子を電荷蓄積ノード 3 4 に蓄積して読み出す方式の撮像装置であっても、正孔を電荷蓄積ノード 3 4 に蓄積して読み出す撮像装置 100 と同じメカニズムで、光電変換層 4 に正孔のほうが、電子より残存しやすくなり、寄生感度の低減効果が得られる。

[0113] [撮像装置の動作]

次に、図 8 および図 9 を参照しながら撮像装置 100 の動作を説明する。ここでは、上述のように信号電荷として正孔が用いられている。

[0114] 図 8 は、画素 2 4 の模式的な回路構成の一部を示す図である。ここでは説明を簡易にするため、電荷蓄積ノード 3 4 の一端は接地されており、電位は

ゼロである場合を示している。この状態は、例えば図4に示されるフィードバック線33が0Vに設定されている場合に相当する。この状態では、電荷蓄積ノード34の電圧を V_c とすると、 V_c はゼロである。

[0115] 図4に示される電圧供給回路19は、対向電極信号線26を介して第1期間の一例である露光期間と第2期間の一例である非露光期間との間で互いに異なる電圧を上部電極6に供給する。本明細書において、「露光期間」とは、光電変換により生成される電子および正孔の一方を信号電荷として電荷蓄積ノード34に蓄積するための期間を意味する。すなわち、「露光期間」を「電荷蓄積期間」と呼んでもよい。また、本明細書では、撮像装置の動作中であって露光期間以外の期間を「非露光期間」と呼ぶ。「非露光期間」は、光電変換部10Aへの光の入射が遮断されている期間であってもよいし、光電変換部10Aに光が照射されているが、電荷蓄積ノード34に電荷が、実質的に蓄積されない期間であってもよい。

[0116] 初期状態において、光電変換部10Aの下部電極2と上部電極6との電位差、つまり光電変換層4、電子ブロッキング層3および正孔ブロッキング層5に印加されるバイアス電圧が、第1電圧範囲内の値となるように設定する。例えば、電圧供給回路19は、対向電極信号線26を用いて上部電極6に下部電極2の電圧と等しい電圧を供給する。ここでは、上部電極6に供給する電圧を V_2 とし、 V_2 は、基準電圧 V_{ref} であるとする。この場合、光電変換部10Aに印加されるバイアス電圧を V_o とすると、 $V_o = V_2 - V_c$ であり、 $V_o = 0$ である。

[0117] 次に、露光期間の動作について説明する。露光期間開始時に、電圧供給回路19は、光電変換部10Aに、第2電圧範囲内の電圧、つまり逆バイアスの電圧が印加されるように、対向電極信号線26を用いて、上部電極6に電圧 V_2 を供給する。つまり、露光期間において、電圧供給回路19は、上部電極6に対し、光電変換層4に光電変換の感度が生じる電圧 V_2 を供給する。例えば、光電変換層4が有機半導体材料によって構成される場合、 V_2 は、数Vから10V程度の電圧である。これにより、各画素24の電荷蓄積ノ

ード34に、信号電荷として、光電変換層4への入射光量に応じた量の正孔が蓄積される。

[0118] 次に、非露光期間の動作について説明する。露光期間の終了後、電圧供給回路19は、光電変換部10Aに、第1電圧範囲の電圧が印加されるように、対向電極信号線26を用いて、上部電極6に電圧V2を供給する。つまり、非露光期間において、電圧供給回路19は、上部電極6に対し、光電変換層4の電子と正孔とを再結合させる電圧V2を供給する。例えば、上部電極6に供給する電圧V2を基準電圧Vrefに設定する。各画素24の電荷蓄積ノード34には、露光期間に光電変換層4に入射した光量に応じた正孔が蓄積されており、Vcの値は画素24によって異なる。Vo = V2 - Vcであるため、露光されずにVcが変化していない画素24では、Voもゼロになる。しかし、Vcが変化した画素24では、Voはゼロとはならない。第1電圧範囲の幅が十分広い電圧範囲で確保される場合、Vcの値が各画素24で異なっても、画素24において、光電変換部10Aに印加される電圧Voが第1電圧範囲内に収まるように電圧V2を設定し得る。第1電圧範囲内に収まる電圧Vcの値のばらつきは、ダイナミックレンジの広さに相当する。例えば、第1電圧範囲の幅が0.5V以上であれば、変換ゲインが50μV/e-の撮像装置において、ヒトの目に相当する80dB以上のダイナミックレンジを確保し得る。

[0119] 上部電極6に、電圧Voが第1電圧範囲となるように電圧V2が供給されている状態では、画素24に光が入射しても、正孔は電荷蓄積ノード34へ移動しにくい。つまり、電圧供給回路19は、露光期間と非露光期間とにおける、複数の画素24、具体的には光電変換部10Aの光電変換効率が異なるように上部電極6に対して電圧を供給している。また、電荷蓄積ノード34に蓄積されている正孔が下部電極2へ排出されたり、下部電極2を介して電圧供給回路19から供給される電荷が電荷蓄積ノード34へ流入したりしにくい。

[0120] 従って、各画素24の電荷蓄積ノード34に蓄積された正孔は、光電変換

層4への入射光量に応じた量を維持して保持される。つまり、各画素24の電荷蓄積ノード34に蓄積された正孔を、光電変換層4に再び光が入射されても、電荷蓄積ノード34の正孔をリセットしない限り保持することができる。このため、非露光期間において、行ごとに順次読み出し動作が行われる場合でも、その読み出し動作の間に新たな正孔の蓄積が起こりにくい。そのため、例えば、ローリングシャッタのようにローリング歪みが発生しない。よって、例えば、転送トランジスタと追加の蓄積容量を備えることなく、画素24のような簡易な画素回路でグローバルシャッタ機能を実現することができる。画素回路が簡易であるため、撮像装置100では画素24の微細化を有利に行うことができる。

[0121] 図9は、光電変換部10Aの上部電極6に供給する電圧V2と撮像装置100の画素アレイPAの各行における動作のタイミングの例を示すタイミングチャートである。図9は、分かりやすさのため、電圧V2の変化、ならびに、R0からR7で示される画素アレイPAにおける各行の露光および信号読み出しのタイミングのみを示している。撮像装置100において、非露光期間Nでは、電圧供給回路19は、上部電極6に、電圧V0が第1電圧範囲内に収まる電圧V2として電圧Vbを供給し、露光期間Eでは、電圧V0が第2電圧範囲内に収まる電圧V2として電圧Vaを供給する。図9に示されるように、非露光期間Nにおいて、R0からR7の各行の画素24の信号読み出しRが順次行われる。また、露光期間Eの開始および終了のタイミングは、R0からR7のすべての行の画素24において一致している。つまり、撮像装置100は、各行の画素24の信号の読み出しを順次行いつつ、全ての画素アレイPAの行が一括で露光されるグローバルシャッタ機能を実現している。

[0122] 以上のように、本実施の形態に係る撮像装置100において、電子ブロッキング層3のイオン化ポテンシャルは、ドナー性有機半導体材料4Aのイオン化ポテンシャル以上であり、正孔ブロッキング層5の電子親和力は、アクセプタ性有機半導体材料4Bの電子親和力より小さい。また、アクセプタ性

有機半導体材料4 Bと正孔ブロッキング層5との電子親和力の差 ΔE_2 は、ドナー性有機半導体材料4 Aと電子ブロッキング層3とのイオン化ポテンシャルの差 ΔE_1 より大きい。

[0123] これにより、光電変換層4で生成した電子が上部電極6に移動する際のエネルギー障壁である ΔE_2 が、光電変換層4で正孔が下部電極2に移動する際のエネルギー障壁である ΔE_1 より大きくなるため、光電変換層4中に電子が残存しやすい。そのため、下部電極2と接続された電荷蓄積ノード34に蓄積された正孔を読み出す際に、正孔と電子との再結合が促され、正孔が電荷蓄積ノード34に移動しにくくなる。これにより、光電変換層4に照射される光量に関係なく、電荷蓄積ノード34への正孔の移動が抑制される。よって、寄生感度を低減できる撮像装置100が実現される。

[0124] なお、撮像装置100の動作は、上記の例には限らず、例えば、光電変換の感度を調整する電子ND機能を実現する動作を行ってもよい。

[0125] 例えば、図9における露光期間Eにおいて、電圧供給回路19は、電圧V2として、電圧V_aの代わりに、バイアス電圧とその電圧における電流値（つまり、生成した正孔および電子が取り出される量）の関係から、あらかじめ定めたND値に相当する電圧を上部電極6に供給することで、撮像装置100の電子ND機能を実現できる。

[0126] また、図10は、撮像装置100における、パルスデューティ制御方式により光電変換の感度を調整する動作の例を示すタイミングチャートである。図10に示されるように、電圧供給回路19は、例えば、露光期間Eにおいて、上述の電圧V_aと電圧V_bとを繰り返すパルス状の電圧を供給する。このように、第1電圧の一例である電圧V_aを供給する第1期間および第2電圧の一例である電圧V_bを供給する第2期間は、同一フレーム内の露光期間Eに含まれていてもよい。この場合、電圧V_aと電圧V_bとを繰り返すパルス状の電圧のデューティ比を、あらかじめ定めたND値に相当するデューティ比にして、電圧供給回路19が上部電極6に電圧を供給する。これによっても、撮像装置100の電子ND機能を実現できる。

[0127] このように、撮像装置100が電子ND機能を有する場合であっても、上述のように撮像装置100の寄生感度が低減されるため、撮像装置100は、ノイズの少ない撮像を実現できる。

実施例

[0128] 以下、実施例にて本開示に係る撮像装置に備えられる光電変換素子を具体的に説明するが、本開示は以下の実施例のみに何ら限定されるものではない。詳細には、本開示の実施の形態に係る撮像装置に備えられる光電変換素子および特性比較のための光電変換素子を作製し、明時および暗時における電流を測定し、寄生感度を評価した。

[0129] (光電変換素子の作製)

実施例および比較例における光電変換素子を作製した。

[0130] [実施例]

支持基板として、TiNが成膜された基板を用いた。仕事関数が4.7 eVであるTiNを下部電極2とし、下部電極2上に、電子ブロッキング層3の材料として9,9'-[1,1'-Biphenyl]-4,4'-diylbis[3,6-bis(1,1-dimethylethyl)]-9H-carbazoleを真空蒸着法にて成膜することで、電子ブロッキング層3を形成した。電子ブロッキング層3の膜厚は50 nmであった。

[0131] 次に、電子ブロッキング層3上に、光電変換層4の材料として、ドナー性有機半導体材料であるサブフタロシアニンと、アクセプタ性有機半導体材料であるC60フラーレンとを、重量比1:9になるように真空蒸着法により共蒸着することで、光電変換層4を形成した。なお、このときに得られた光電変換層4の膜厚は、およそ500 nmであった。また、サブフタロシアニンとしては、中心金属としてホウ素(B)を有し、Bに塩化物イオンが配位子として配位したサブフタロシアニンを用いた。

[0132] 次に、光電変換層4上に、真空蒸着法により金属製シャドウマスクを介して、正孔ブロッキング層5の材料として、サブフタロシアニンを、10 nmの膜厚になるように蒸着することで、正孔ブロッキング層5を形成した。

[0133] 次に、正孔ブロッキング層5上に、上部電極6としてITO膜を、スパッタリング法により30nmの膜厚で形成した後、さらに封止膜としてAl₂O₃膜を原子層堆積法により上部電極6上に形成することで、光電変換素子を得た。実施例における光電変換素子の概略構成を図11に示す。図11において、材料Aは、9,9'-[1,1'-Biphenyl]-4,4'-diylbis[3,6-bis(1,1-dimethylethyl)]-9H-carbazoleであり、材料BはC60フラーレンであり、材料Cはサブフタロシアニンである。なお、これらは、後述する図12においても同様である。

[0134] [比較例]

正孔ブロッキング層5の材料としてサブフタロシアニンの代わりにC60フラーレンを用いた以外は、実施例と同様の工程を行い、光電変換素子を得た。比較例における光電変換素子の概略構成を図12に示す。

[0135] (材料のイオン化ポテンシャルおよび電子親和力の測定)

実施例および比較例で用いた各材料について、イオン化ポテンシャルおよび電子親和力を測定した。

[0136] イオン化ポテンシャルの測定では、まず、ITOが成膜されたガラス基板の上に、実施例で用いた各材料を成膜した試料および比較例で用いた各材料を成膜した試料を準備した。次に、準備した試料について、大気中光電子分光装置(AC-3、理研計器製)を用いて、紫外線照射のエネルギーを変化させたときの光電子数を測定し、光電子が検出され始めるエネルギー位置をイオン化ポテンシャルとした。

[0137] 電子親和力の測定では、まず、石英基板上に、実施例で用いた各材料を成膜した試料および比較例で用いた各材料を成膜した試料を準備した。次に、準備した試料について、分光光度計(U4100、日立ハイテクノロジー製)を用いて、吸収スペクトルを測定し、得られた吸収スペクトルの吸収端の結果から、光学バンドギャップを算出した。上記イオン化ポテンシャルの測定で得られたイオン化ポテンシャルと算出した光学バンドギャップとの引き

算によって電子親和力を見積もった。

[0138] 実施例で用いた各材料のイオン化ポテンシャルおよび電子親和力を表1に示す。また、比較例で用いた各材料のイオン化ポテンシャルおよび電子親和力を表2に示す。

[0139] [表1]

層	材料	イオン化ポテンシャル (eV)	電子親和力 (eV)
電子ブロッキング層	8,9'-[1,1'-Biphenyl]-4,4'-diylbis[3,6-bis(1,1-dimethylethyl)-9H-carbazole] (材料A)	5.8	2.7
光電変換層	アクセプト性有機半導体材料	6.2	4.2
	ドナー性有機半導体材料	5.5	3.4
正孔ブロッキング層	サブタロニン (材料C)	5.5	3.4

[0140]

[表2]

層	材料	イオン化ポテンシャル (eV)	電子親和力 (eV)
電子ブロッキング層	9,9'-[1,1'-Biphenyl]-4,4'-diylbis[3,6-bis(1,1-dimethylethyl)]-9H-carbazole (材料A)	5.8	2.7
光電変換層	アグセブタ性有機半導体材料 (材料B)	6.2	4.2
	ドナー性有機半導体材料 (材料C)	5.5	3.4
正孔ブロッキング層	080フラレーン (材料B)	6.2	4.2

[0141] 表1に示されるように、実施例における光電変換素子において、電子ブロッキング層3を構成する材料Aのイオン化ポテンシャルは5.8 eVであり、光電変換層4に含まれるドナー性有機半導体材料である材料Cのイオン化ポテンシャルは5.5 eVである。つまり、実施例における光電変換素子において、電子ブロッキング層3のイオン化ポテンシャルは、光電変換層4に含まれるドナー性有機半導体材料のイオン化ポテンシャルよりも大きい。

[0142] また、実施例における光電変換素子において、正孔ブロッキング層5を構

成する材料Cの電子親和力は3.4 eVであり、光電変換層4に含まれるアクセプタ性有機半導体材料である材料Bの電子親和力は4.2 eVである。つまり、実施例における光電変換素子において、正孔ブロッキング層5の電子親和力は、光電変換層4に含まれるアクセプタ性有機半導体材料の電子親和力よりも小さい。

[0143] また、実施例における光電変換素子において、光電変換層4に含まれるアクセプタ性有機半導体材料と正孔ブロッキング層5との電子親和力の差は0.8 eVであり、光電変換層4に含まれるドナー性有機半導体材料と電子ブロッキング層3とのイオン化ポテンシャルの差は0.3 eVである。つまり、実施例における光電変換素子において、光電変換層4に含まれるアクセプタ性有機半導体材料と正孔ブロッキング層5との電子親和力の差は、光電変換層4に含まれるドナー性有機半導体材料と電子ブロッキング層3とのイオン化ポテンシャルの差より大きい。

[0144] なお、実施例における光電変換素子では、正孔ブロッキング層5の材料と光電変換層4に含まれるドナー性有機半導体材料とは同一であったが、上記のエネルギーの大小関係となる材料であれば異なってもよい。

[0145] また、表2に示されるように、比較例における光電変換素子において、正孔ブロッキング層5を構成する材料Bの電子親和力は4.2 eVであり、イオン化ポテンシャルは6.2 eVである。また、比較例の光電変換素子において、光電変換層4に含まれるアクセプタ性有機半導体材料と正孔ブロッキング層5との電子親和力の差は0.0 eVであり、光電変換層4に含まれるドナー性有機半導体材料と電子ブロッキング層3とのイオン化ポテンシャルの差は0.3 eVである。つまり、比較例の光電変換素子において、光電変換層4に含まれるアクセプタ性有機半導体材料と正孔ブロッキング層5との電子親和力の差は、光電変換層4に含まれるドナー性有機半導体材料と電子ブロッキング層3とのイオン化ポテンシャルの差より小さい。

[0146] (寄生感度の評価)

実施例および比較例における光電変換素子について、寄生感度を評価する

ため、明時および暗時における電流密度を測定した。電流密度の測定には、半導体デバイス・パラメータ・アナライザ（B1500A、キーサイトテクノロジー社製）を用いた。具体的には、光電変換素子の一对の電極間、つまり、上部電極6と下部電極2との間に印加するバイアスを変化させて、明時および暗時の電流－電圧特性を測定した。

[0147] なお、バイアス電圧における逆バイアスおよび順バイアスは、下部電極2に負の電圧、または上部電極6に正の電圧を印加することを逆バイアスとし、下部電極2に正の電圧、または上部電極6に負の電圧を印加することを順バイアスとする。

[0148] 実施例における光電変換素子にバイアス電圧を印加した際の明時および暗時における電流密度を図13に示す。一方、比較例における光電変換素子にバイアス電圧を印加した際の明時および暗時における電流密度を図14に示す。図13および図14中、実線のグラフは、光が照射された状態のI－V特性を示している。また、図13および図14中、破線のグラフは、光が照射されていない状態のI－V特性を示している。また、図13および図14において、縦軸は、対数、かつ絶対値での電流密度を示し、横軸は、通常軸での電圧を示している。

[0149] 図14に示されるように、比較例における光電変換素子では、0V近辺の極わずかなバイアス電圧以外は暗時と明時との電流密度に差があるため、非露光期間にどのような電圧を設定しても寄生感度が大きくなり、非露光期間に適用可能な電圧がほとんど存在しない。それに対し、図13に示されるように、実施例における光電変換素子では、0V以下の広いバイアス電圧の範囲において明時と暗時との電流密度に差がほとんどなく、バイアス電圧がこの電圧範囲になるように非露光期間における電圧を設定することで、寄生感度を低減することが可能となる。

[0150] 以上のように、本開示に係る撮像装置に備えられる光電変換素子において、実施例における光電変換素子のように、光電変換層4に含まれるアクセプタ性有機半導体材料と正孔ブロッキング層5との電子親和力の差が光電変換

層4に含まれるドナー性有機半導体材料と電子ブロッキング層3とのイオン化ポテンシャルの差より大きくすることにより、明時と暗時との電流密度の差が抑制され、寄生感度を低減する効果が得られることが確認できた。

[0151] 以上、本開示に係る撮像装置について、実施の形態および実施例に基づいて説明したが、本開示は、これらの実施の形態および実施例に限定されるものではない。本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態および実施例に施したものの、ならびに、実施の形態および実施例における一部の構成要素を組み合わせる別の形態も、本開示の範囲に含まれる。

産業上の利用可能性

[0152] 本開示に係る撮像装置は、例えば、医療用カメラ、監視用カメラ、車載用カメラ、測距カメラ、顕微鏡カメラ、ドローン用カメラ、ロボット用カメラなど、様々なカメラシステムおよびセンサシステムに適用できる。

符号の説明

- [0153]
- 1 支持基板
 - 2 下部電極
 - 3 電子ブロッキング層
 - 4 光電変換層
 - 4 A ドナー性有機半導体材料
 - 4 B アクセプタ性有機半導体材料
 - 5 正孔ブロッキング層
 - 6 上部電極
 - 10 光電変換素子
 - 10 A 光電変換部
 - 19 電圧供給回路
 - 20 水平信号読み出し回路
 - 21 増幅トランジスタ
 - 22 リセットトランジスタ

- 2 3 アドレストランジスタ
- 2 1 D、2 1 S、2 2 D、2 2 S、2 3 S 不純物領域
- 2 1 G、2 2 G、2 3 G ゲート電極
- 2 1 X、2 2 X、2 3 X ゲート絶縁層
- 2 4 画素
- 2 5 垂直走査回路
- 2 6 対向電極信号線
- 2 7 垂直信号線
- 2 8 負荷回路
- 2 9 カラム信号処理回路
- 3 1 電源配線
- 3 2 差動増幅器
- 3 3 フィードバック線
- 3 4 電荷蓄積ノード
- 3 5 電荷検出回路
- 3 6 アドレス信号線
- 3 7 リセット信号線
- 4 0 半導体基板
- 4 1 素子分離領域
- 5 0 層間絶縁層
- 5 1、5 3、5 4 コンタクトプラグ
- 5 2 配線
- 6 0 カラーフィルタ
- 6 1 マイクロレンズ
- 1 0 0 撮像装置

請求の範囲

[請求項1]

複数の画素を備え、

前記複数の画素のそれぞれは、

第1電極と、

第2電極と、

前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、

前記第1電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、

前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、

前記第2電極と電氣的に接続され、信号電荷として前記正孔を蓄積する電荷蓄積領域と、を含み、

前記第2電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャル以上であり、

前記第1電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力より小さく、

前記アクセプタ性半導体材料の前記電子親和力と前記第1電荷ブロッキング層の前記電子親和力との差は、前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第2電荷ブロッキング層の前記イオン化ポテンシャルとの差より大きい、

撮像装置。

[請求項2]

前記アクセプタ性半導体材料の前記電子親和力と前記第1電荷ブロッキング層の前記電子親和力との差は、前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第2電荷ブロッキング層の前記イオン化ポテンシャルとの差より0.1 eV以上大きい、

請求項1に記載の撮像装置。

[請求項3] 前記第1電荷ブロッキング層は、前記ドナー性半導体材料を含有する、

請求項1または2に記載の撮像装置。

[請求項4] 複数の画素を備え、

前記複数の画素のそれぞれは、

第1電極と、

第2電極と、

前記第1電極と前記第2電極との間に位置し、ドナー性半導体材料およびアクセプタ性半導体材料を含有し、電子と正孔との対を生成する光電変換層と、

前記第1電極と前記光電変換層との間に位置する第1電荷ブロッキング層と、

前記第2電極と前記光電変換層との間に位置する第2電荷ブロッキング層と、

前記第2電極と電氣的に接続され、信号電荷として前記電子を蓄積する電荷蓄積領域と、を含み、

前記第2電荷ブロッキング層の電子親和力は、前記アクセプタ性半導体材料の電子親和力以下であり、

前記第1電荷ブロッキング層のイオン化ポテンシャルは、前記ドナー性半導体材料のイオン化ポテンシャルより大きく、

前記ドナー性半導体材料の前記イオン化ポテンシャルと前記第1電荷ブロッキング層の前記イオン化ポテンシャルとの差は、前記アクセプタ性半導体材料の前記電子親和力と前記第2電荷ブロッキング層の前記電子親和力との差より大きい、

撮像装置。

[請求項5] 前記第1電極と電氣的に接続され、前記第1電極と前記第2電極との間に電位差を与える電圧供給回路をさらに備え、

前記電圧供給回路は前記第1電極に対し、第1期間において第1電

圧を供給し、第2期間において前記第1電圧とは異なる第2電圧を供給する、

請求項1から4のいずれか1項に記載の撮像装置。

[請求項6] 前記第1期間における前記複数の画素の光電変換効率は、前記第2期間における前記複数の画素の光電変換効率と異なる、

請求項5に記載の撮像装置。

[請求項7] 前記撮像装置は、前記複数の画素の間で露光期間のタイミングが統一されるグローバルシャッタ方式で動作し、

前記露光期間において、前記電荷蓄積領域に前記信号電荷が蓄積される、

請求項5または6に記載の撮像装置。

[請求項8] 前記第1期間は前記露光期間であり、

前記第2期間は、前記露光期間と異なる非露光期間である、

請求項7に記載の撮像装置。

[請求項9] 前記電圧供給回路により前記第1電極に前記第2電圧が供給されることによって、前記光電変換層において前記電子と前記正孔とが再結合する、

請求項8に記載の撮像装置。

[請求項10] 前記電圧供給回路により前記第1電極に前記第1電圧が供給されることにより、前記光電変換層において光電変換の感度が生じる、

請求項8または9に記載の撮像装置。

[請求項11] 前記第1期間および前記第2期間は、同一フレーム内の1つ以上の露光期間のいずれかに含まれ、

前記1つ以上の露光期間において、前記電荷蓄積領域に前記信号電荷が蓄積される、

請求項6に記載の撮像装置。

[請求項12] 前記ドナー性半導体材料は、ドナー性有機半導体材料であり、

前記アクセプタ性半導体材料は、アクセプタ性有機半導体材料であ

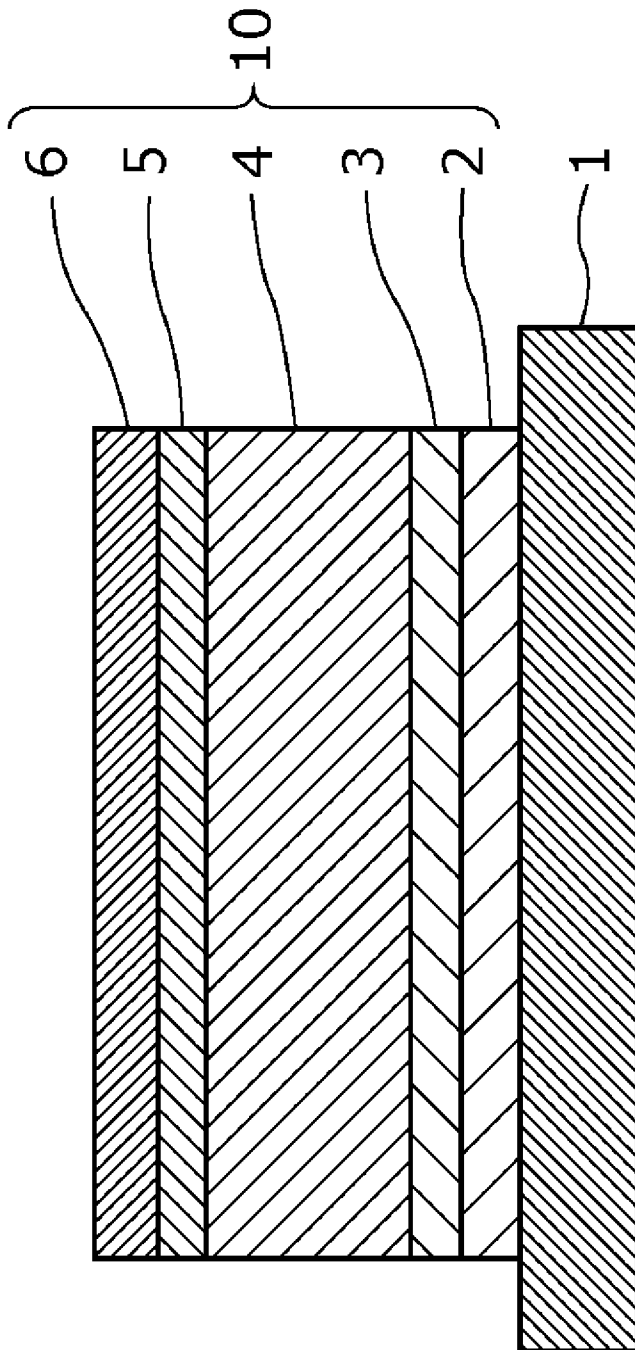
る、

請求項 1 から 1 1 のいずれか 1 項に記載の撮像装置。

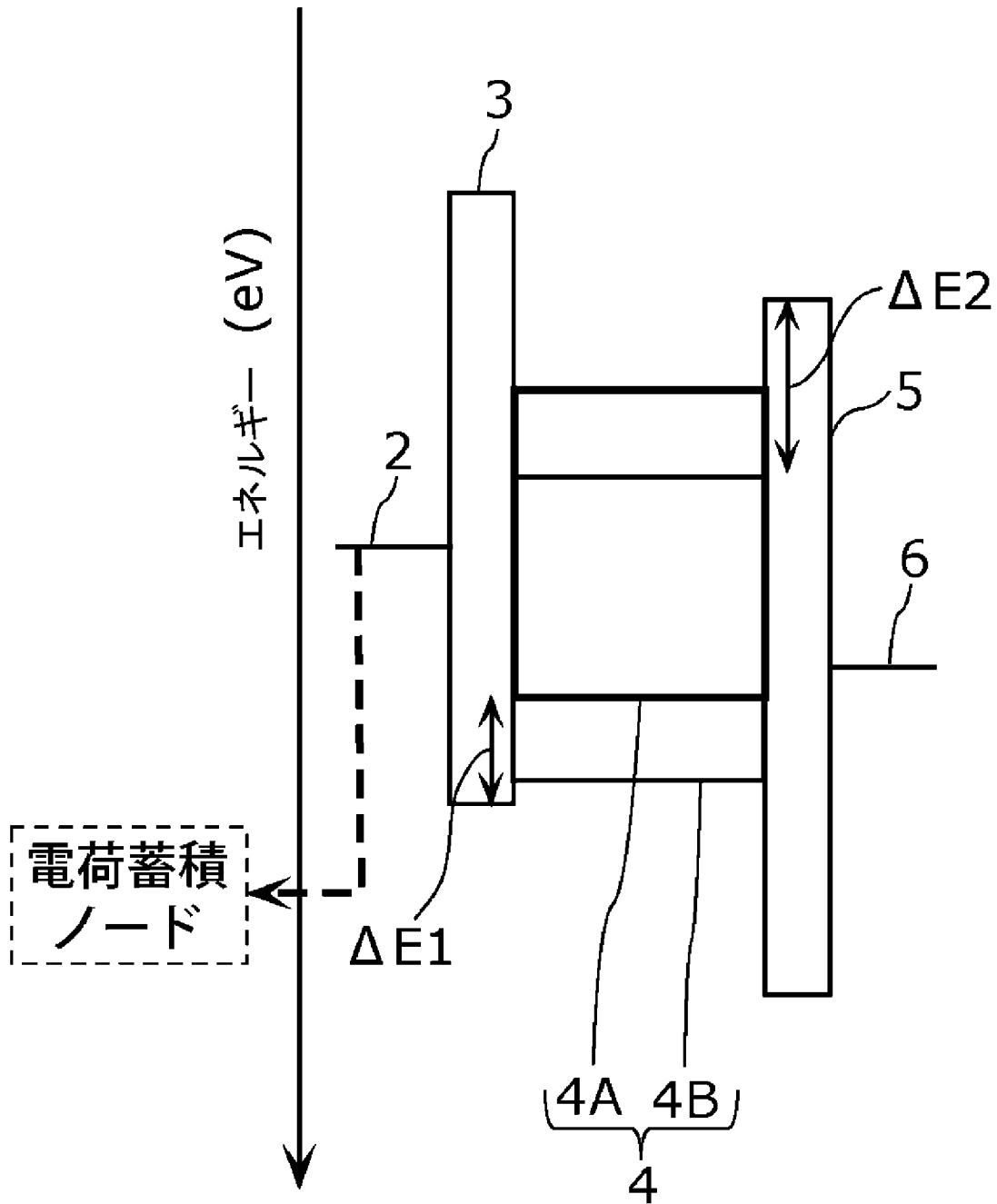
[請求項13] 前記第 1 電荷ブロッキング層の厚さは、5 nm 以上である、
請求項 1 から 1 2 のいずれか 1 項に記載の撮像装置。

[請求項14] 前記第 2 電荷ブロッキング層の厚さは、5 nm 以上である、
請求項 1 から 1 3 のいずれか 1 項に記載の撮像装置。

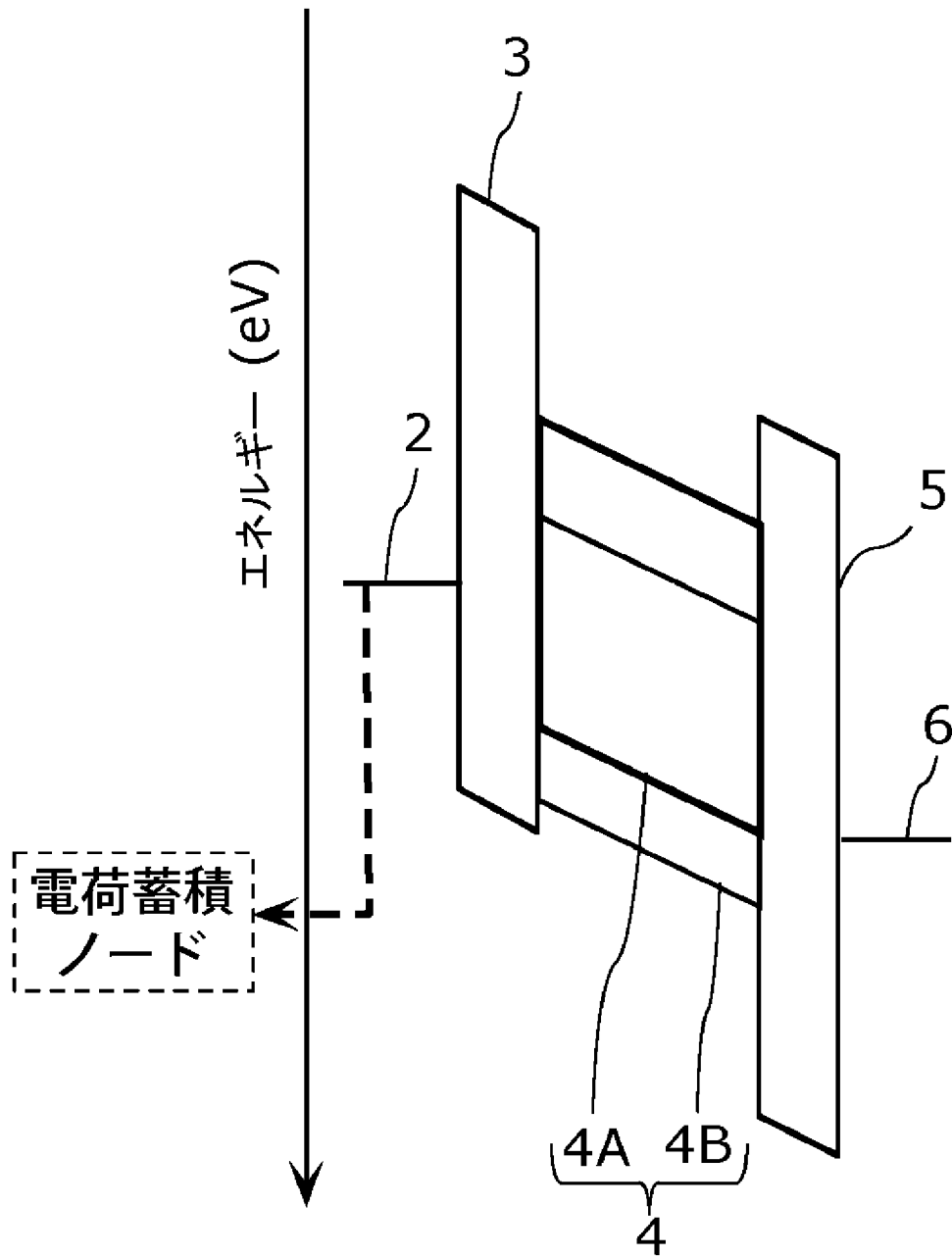
[図1]



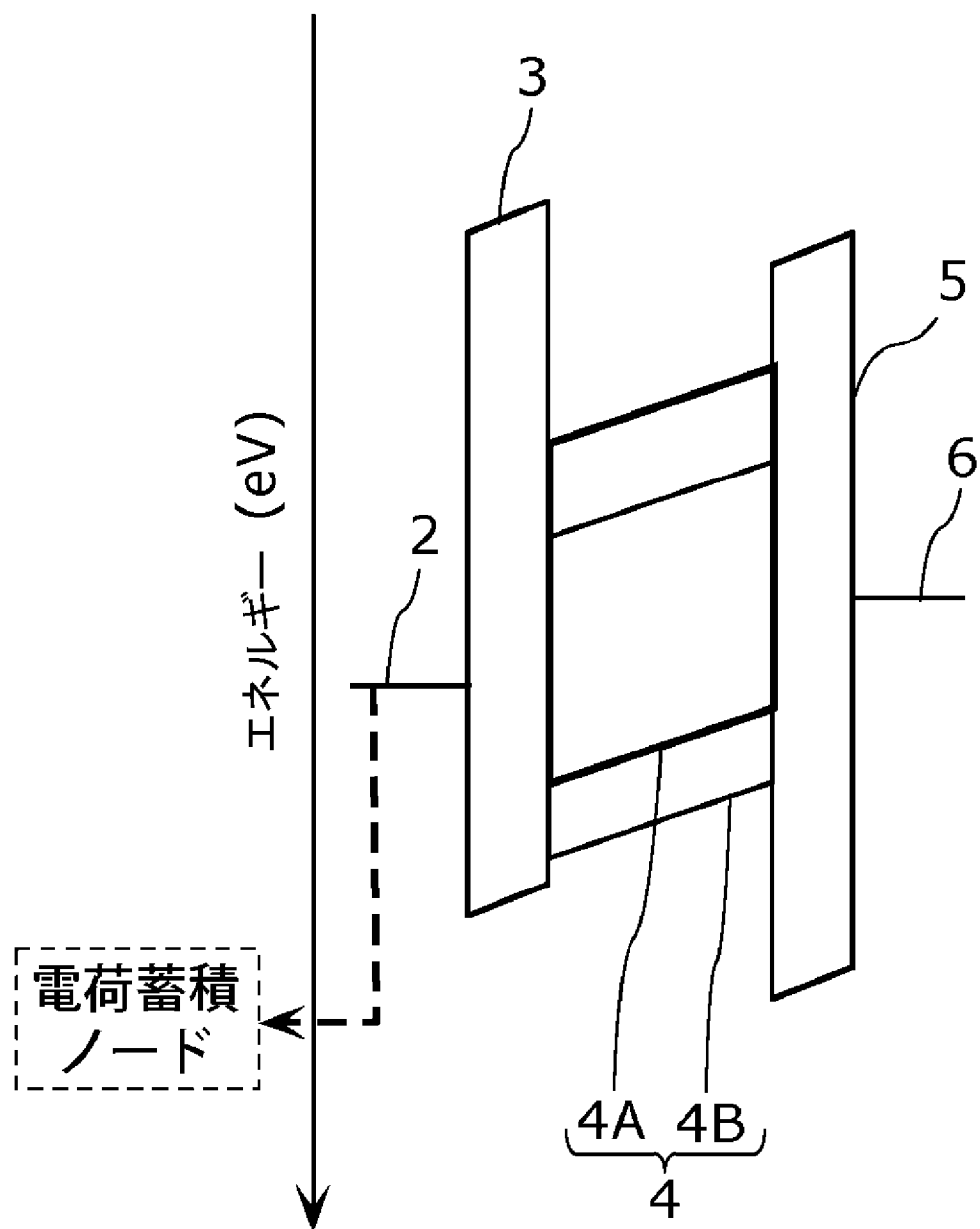
[図2]



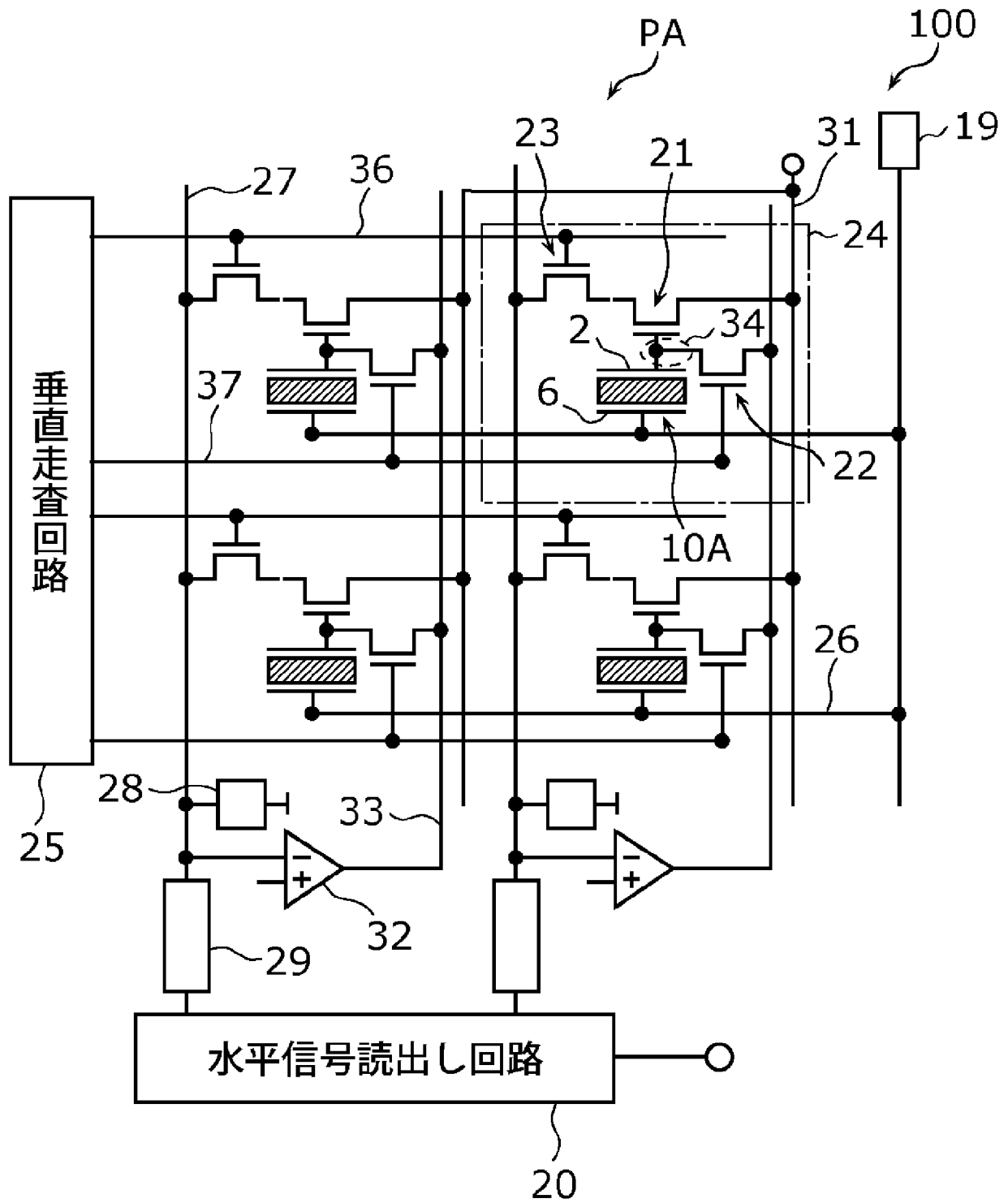
[図3A]



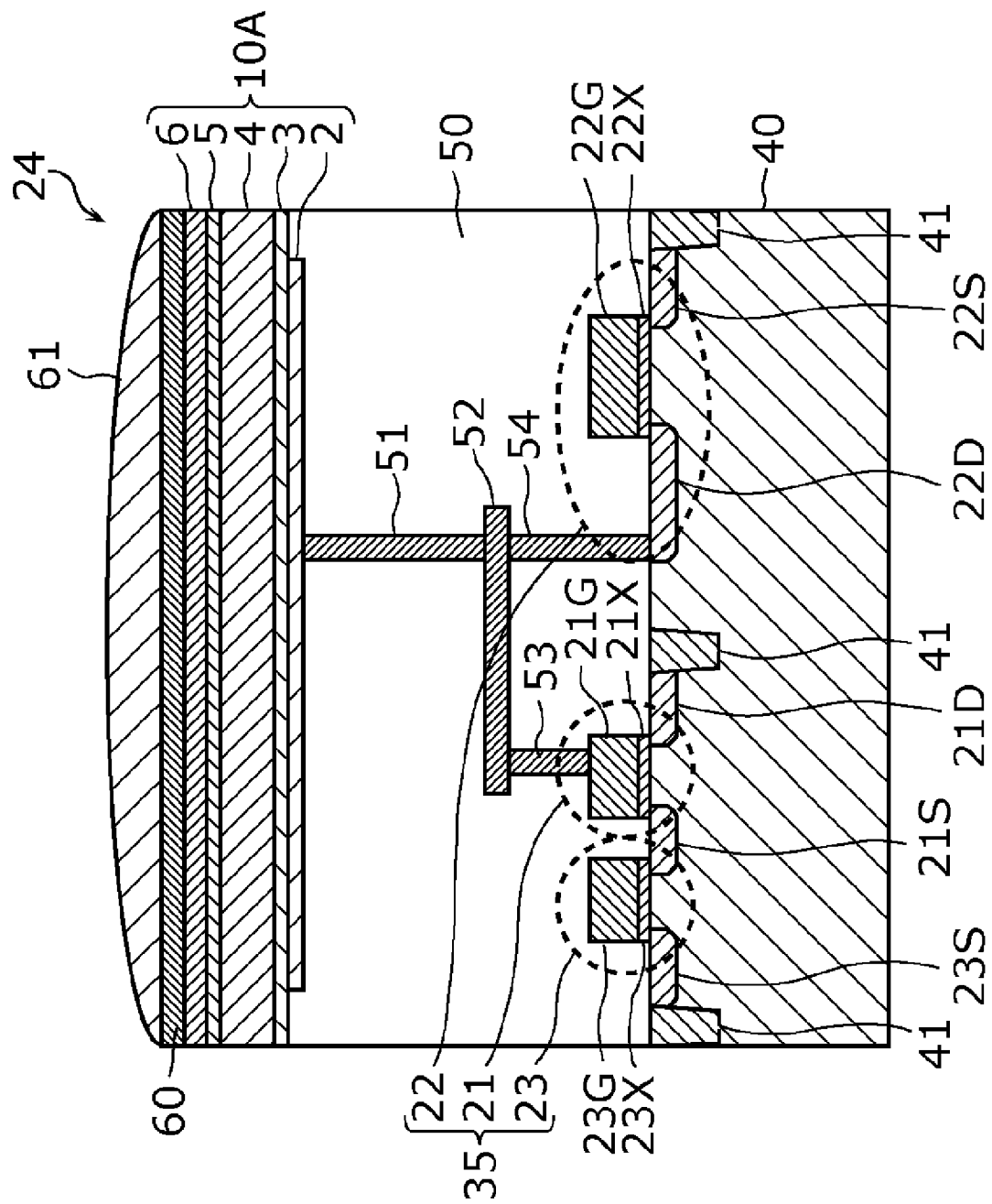
[図3B]



[図4]

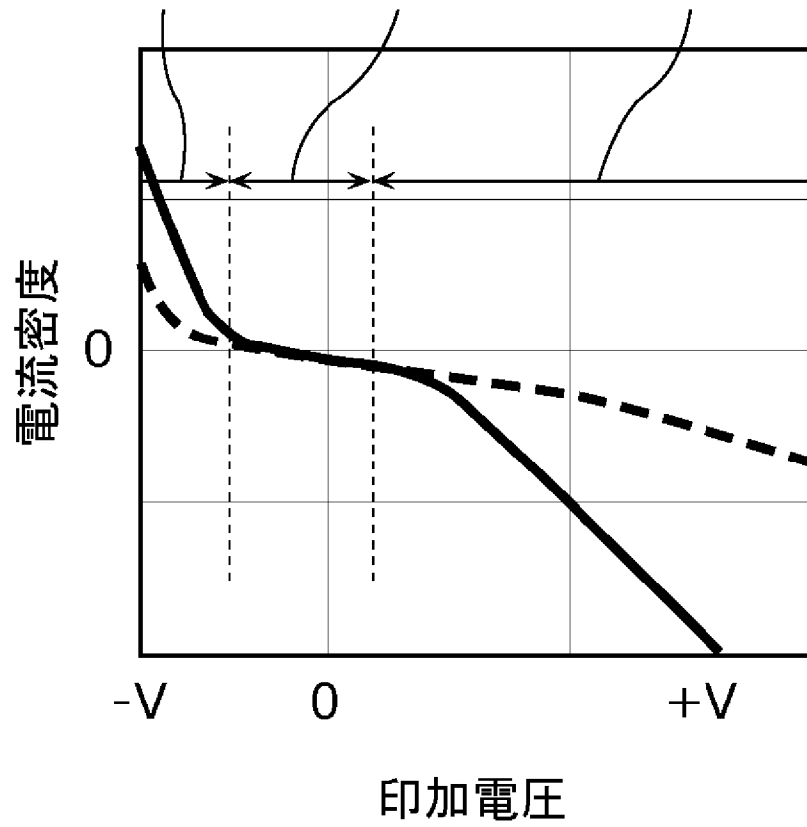


[図5]

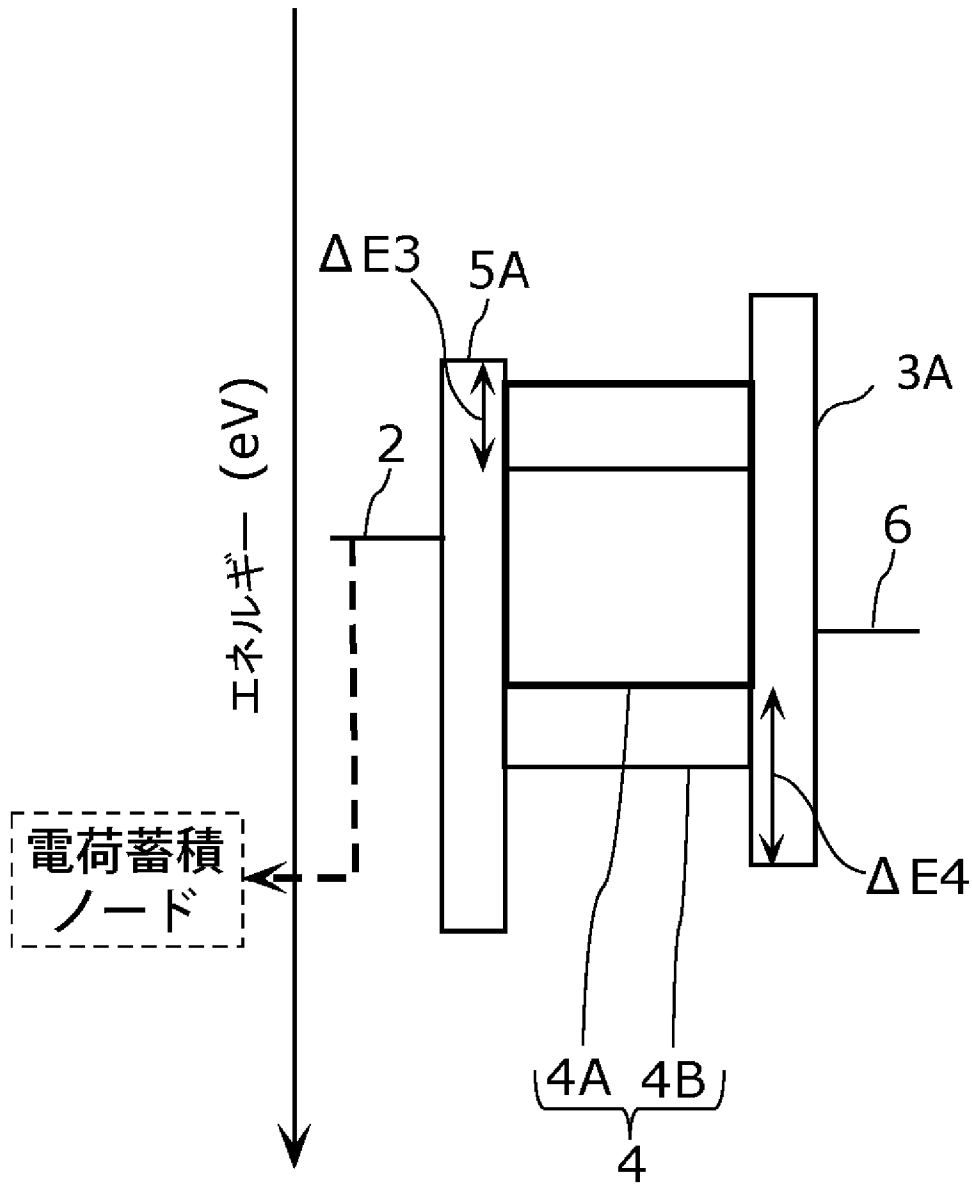


[図6]

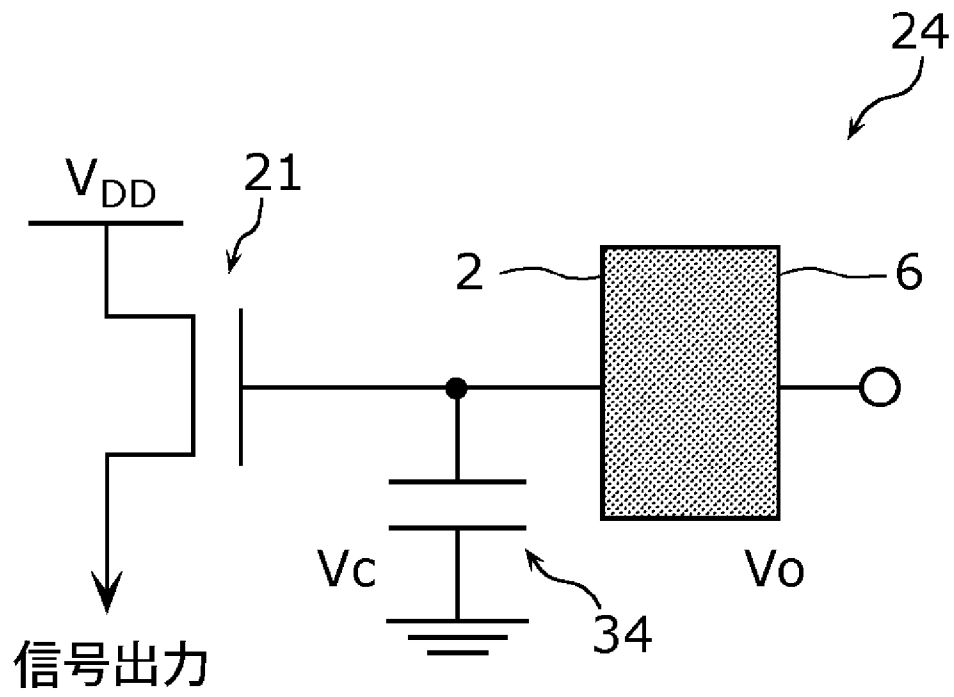
第3電圧範囲 第1電圧範囲 第2電圧範囲



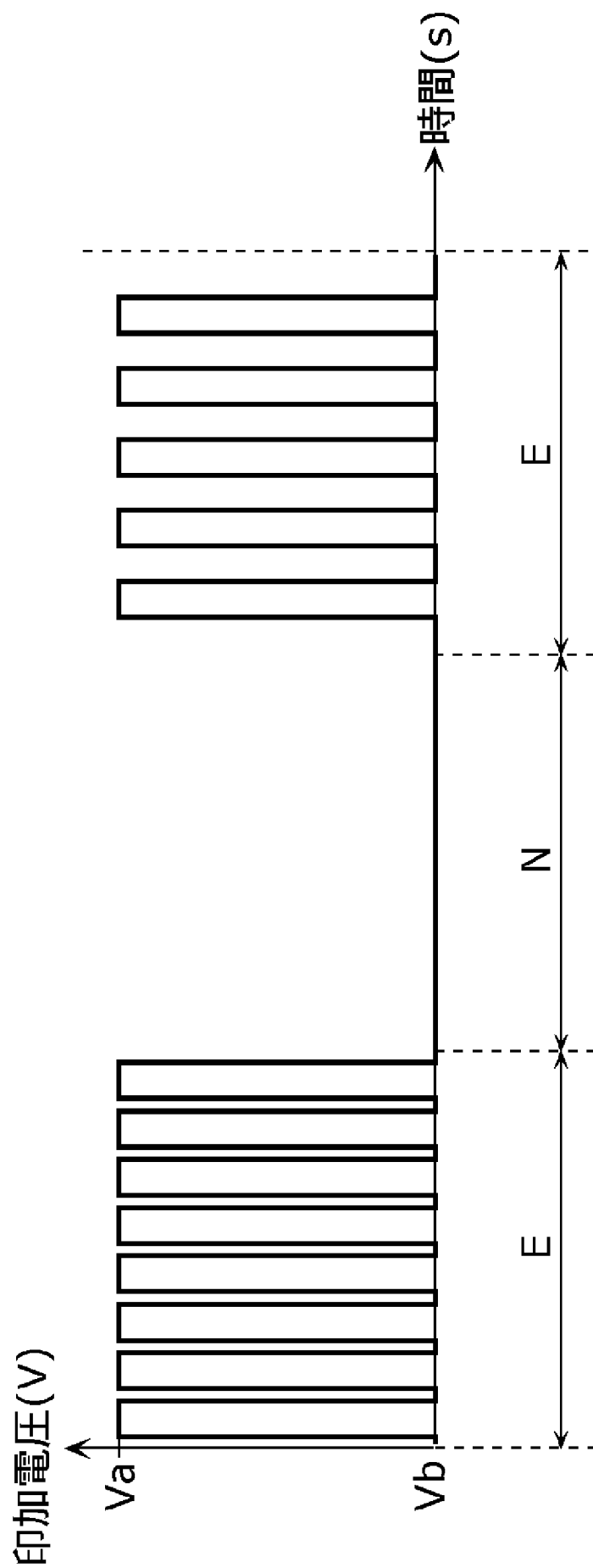
[図7]



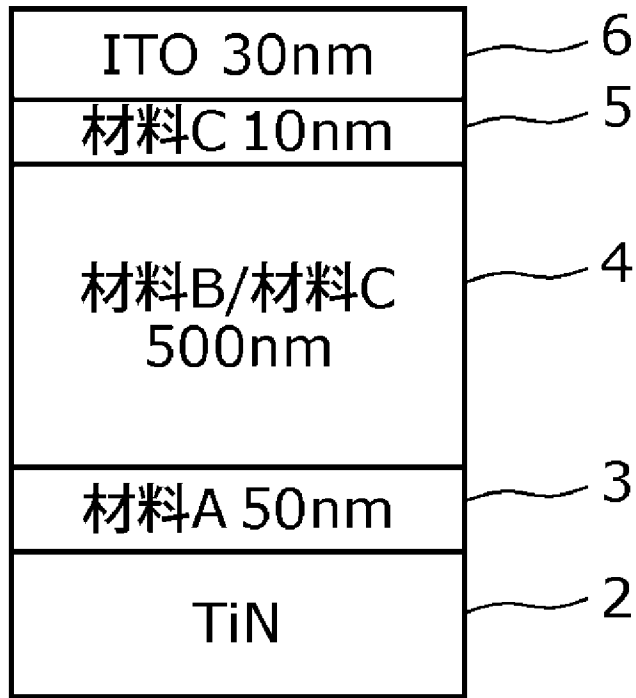
[図8]



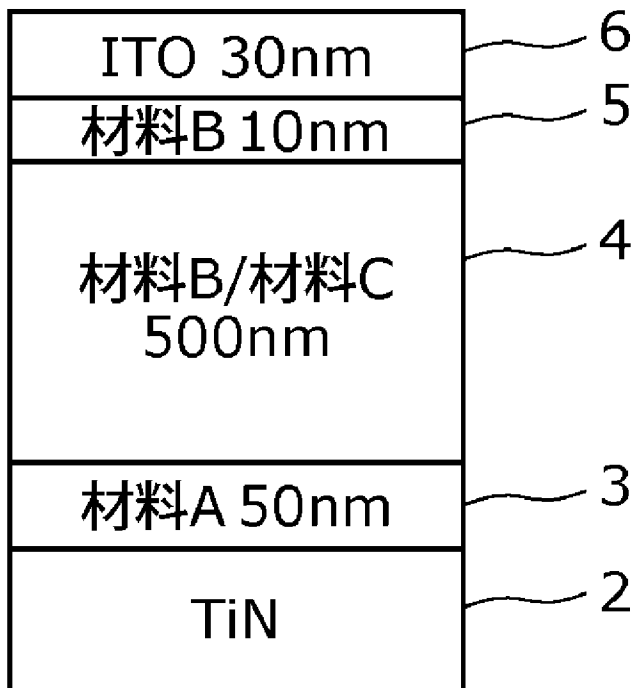
[図10]



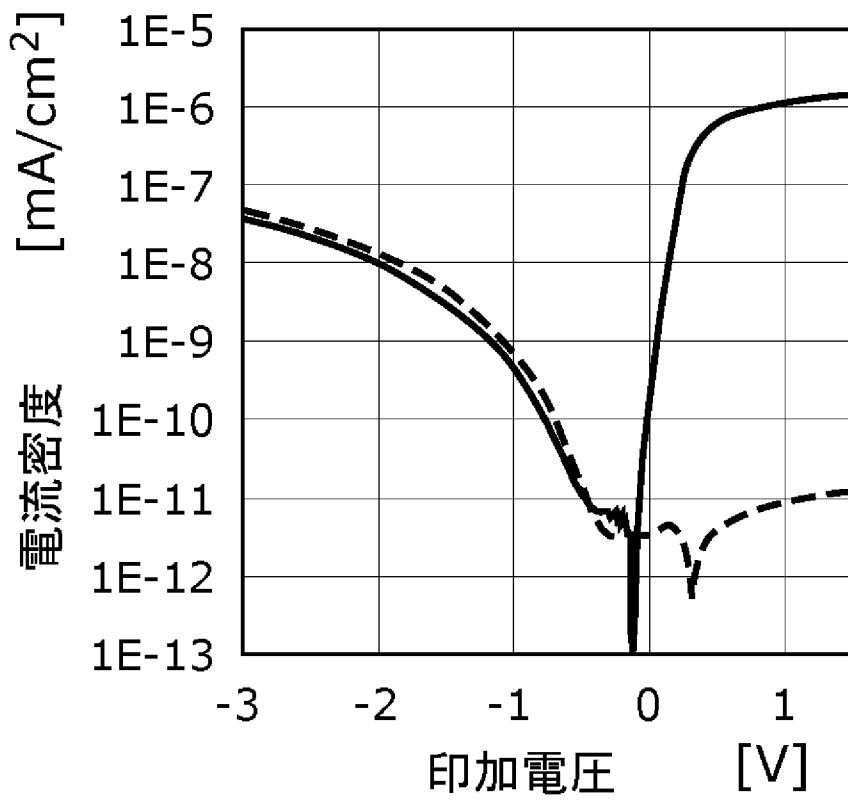
[図11]



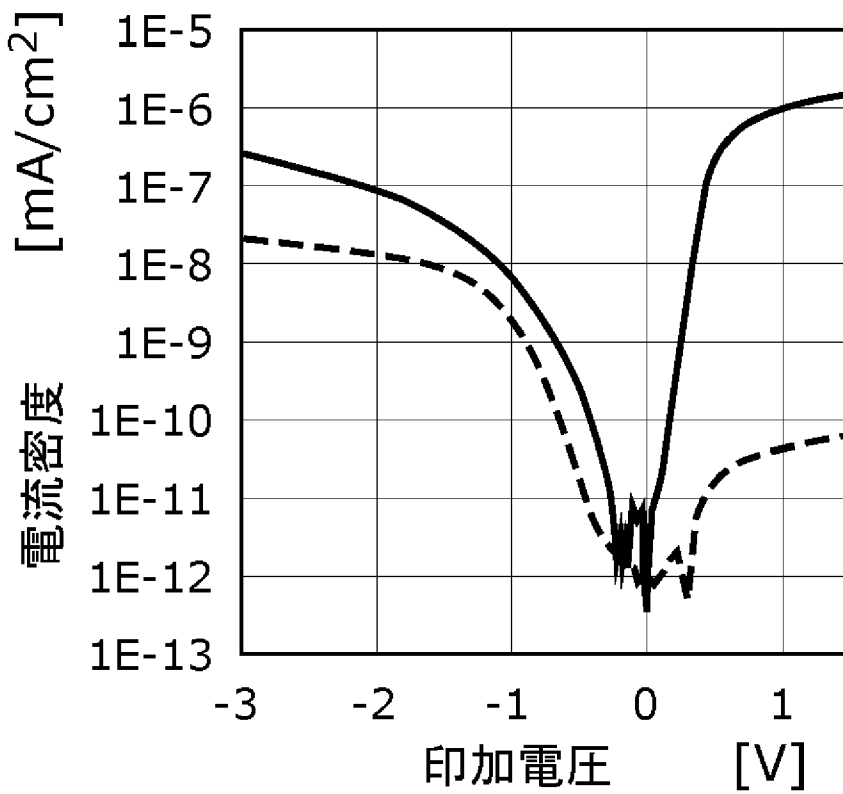
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/015520

A. CLASSIFICATION OF SUBJECT MATTER
 H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H04N 5/357(2011.01)i; H04N 5/369(2011.01)i
 FI: H01L27/146 E; H04N5/369; H04N5/357; H01L31/10 A
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L31/10; H01L27/146; H04N5/357; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-22525 A (JAPAN BROADCASTING CORPORATION) 03 February 2014 (2014-02-03) paragraphs [0064], [0069]-[0074], fig. 7	1-4, 12-14
Y	paragraphs [0064], [0069]-[0074], fig. 7	5-14
Y	JP 2018-182314 A (PANASONIC IP MANAGEMENT CO., LTD.) 15 November 2018 (2018-11-15) paragraphs [0058], [0061], [0076], fig. 6	5-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 June 2021 (22.06.2021)	Date of mailing of the international search report 29 June 2021 (29.06.2021)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/015520

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2014-22525 A	03 Feb. 2014	(Family: none)	
JP 2018-182314 A	15 Nov. 2018	US 2018/0294316 A1 paragraphs [0116], [0119], [0135], fig. 6 US 2020/0006436 A1 EP 3389103 A CN 108695356 A TW 201838402 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H04N 5/357(2011.01)i; H04N 5/369(2011.01)i FI: H01L27/146 E; H04N5/369; H04N5/357; H01L31/10 A</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H01L31/10; H01L27/146; H04N5/357; H04N5/369</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2021年									
日本国実用新案登録公報	1996 - 2021年									
日本国登録実用新案公報	1994 - 2021年									
<p>国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2014-22525 A（日本放送協会）03.02.2014（2014 - 02 - 03） 段落0064, 0069-0074, 図7	1-4, 12-14								
Y	段落0064, 0069-0074, 図7	5-14								
Y	JP 2018-182314 A（パナソニックIPマネジメント株式会社）15.11.2018（2018 - 11 - 15） 段落0058, 0061, 0076, 図6	5-14								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
* 引用文献のカテゴリー	<p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“&” 同一パテントファミリー文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p>									
国際調査を完了した日	22.06.2021	国際調査報告の発送日 29.06.2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/015520

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-22525 A	03.02.2014	(ファミリーなし)	
JP 2018-182314 A	15.11.2018	US 2018/0294316 A1 段落0116, 0119, 0135, 図6	
		US 2020/0006436 A1	
		EP 3389103 A	
		CN 108695356 A	
		TW 201838402 A	