



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I451487 B

(45)公告日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：101119167

(22)申請日：中華民國 101 (2012) 年 05 月 29 日

(51)Int. Cl. : *H01L21/302 (2006.01)**H01L21/3065(2006.01)**H01L21/308 (2006.01)*

(30)優先權：2011/06/15

美國

13/161,427

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：霍登詹姆士 M HOLDEN, JAMES M. (US)；雷偉生 LEI, WEI-SHENG (CN)；伊頓
貝德 EATON, BRAD (US)；伊根陶德 EGAN, TODD (US)；辛沙拉傑特 SINGH,
SARAVJEET (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 2006/0003551A1

US 2010/0246611A1

US 2011/0029124A1

審查人員：于若天

申請專利範圍項數：15 項 圖式數：12 共 0 頁

(54)名稱

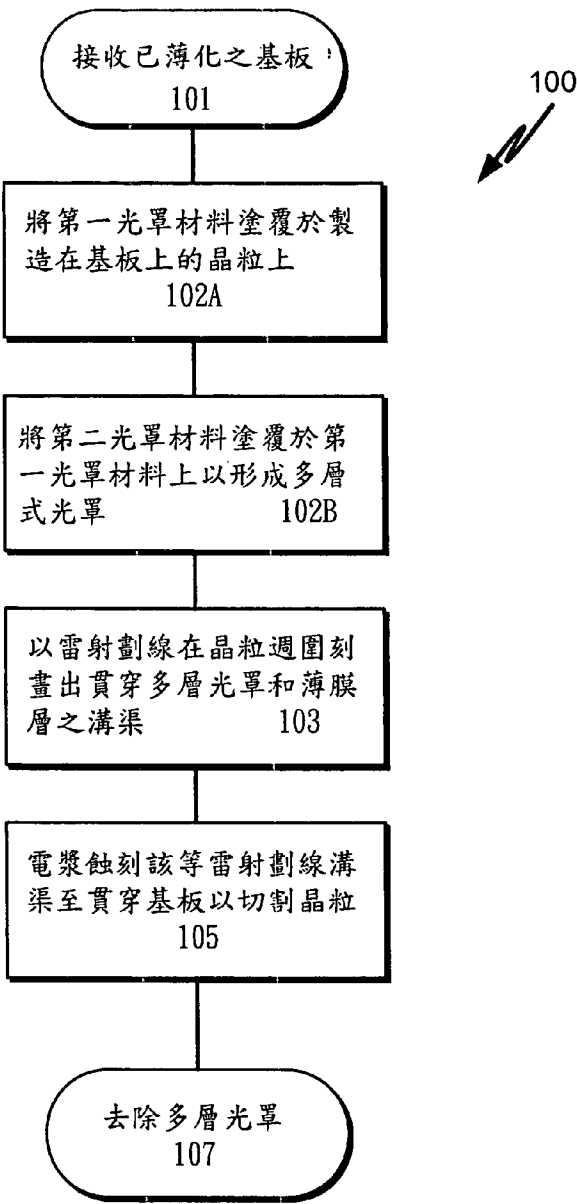
用於以雷射及電漿蝕刻切割基板之多層遮罩

MULTI-LAYER MASK FOR SUBSTRATE DICING BY LASER AND PLASMA ETCH

(57)摘要

一種切割具有複數個積體電路之基板的方法。一方法包括形成一多層遮罩，該多層遮罩包含位於半導體基板上且可溶於溶劑中之第一遮罩材料層及位於該第一遮罩材料層上方且不溶於該溶劑中之第二遮罩材料層。使用雷射劃線製程對該多層遮罩進行圖案化以提供具有間隙之圖案化遮罩。該圖案暴露出位於積體電路之間的基板區域。隨後，利用第二遮罩材料層保護該第一遮罩材料層免受至少一部分電漿蝕刻，對該基板進行電漿蝕刻至貫穿該圖案化遮罩中的間隙，藉以切割該等積體電路。接著溶解該可溶材料層以進行分離，而得以去除該多層遮罩。

Methods of dicing substrates having a plurality of ICs. A method includes forming a multi-layered mask comprising a first mask material layer soluble in a solvent over the semiconductor substrate and a second mask material layer, insoluble in the solvent, over the first mask material layer. The multi-layered mask is patterned with a laser scribing process to provide a patterned mask with gaps. The patterning exposes regions of the substrate between the ICs. The substrate is then plasma etched through the gaps in the patterned mask to singulate the IC with the second mask material layer protecting the first mask material layer for at least a portion of the plasma etch. The soluble material layer is dissolved subsequent to singulation to remove the multi-layered mask.



100 . . . 方法
101、102A、102B、
103、105、
107 . . . 步驟

第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：101119167

※申請日期：2012年5月29日

※IPC 分類：
H01L 21/302 (2006.01)
H01L 21/3065 (2006.01)
H01L 21/308 (2006.01)

一、發明名稱：(中文/英文)

用於以雷射及電漿蝕刻切割基板之多層遮罩

Multi-Layer Mask for Substrate Dicing by Laser and Plasma Etch

二、中文發明摘要：

一種切割具有複數個積體電路之基板的方法。一方法包括形成一多層遮罩，該多層遮罩包含位於半導體基板上方且可溶於溶劑中之第一遮罩材料層及位於該第一遮罩材料層上方且不溶於該溶劑中之第二遮罩材料層。使用雷射劃線製程對該多層遮罩進行圖案化以提供具有間隙之圖案化遮罩。該圖案暴露出位於積體電路之間的基板區域。隨後，利用第二遮罩材料層保護該第一遮罩材料層免受至少一部分電漿蝕刻，對該基板進行電漿蝕刻至貫穿該圖案化遮罩中的間隙，藉以切割該等積體電路。接著溶解該可溶材料層以進行分離，而得以去除該多層遮罩。

三、英文發明摘要：

Methods of dicing substrates having a plurality of ICs. A method includes forming a multi-layered mask comprising a first mask material layer soluble in a solvent over the semiconductor substrate and a second mask material layer, insoluble in the solvent, over the first mask material layer. The multi-layered mask is patterned with a laser scribing process to provide a patterned mask with gaps. The

patterning exposes regions of the substrate between the ICs. The substrate is then plasma etched through the gaps in the patterned mask to singulate the IC with the second mask material layer protecting the first mask material layer for at least a portion of the plasma etch. The soluble material layer is dissolved subsequent to singulation to remove the multi-layered mask.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 方法

101、102A、102B、103、105、107 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明之實施例係關於半導體製造領域，特別是有關當每個基板上具有積體電路(IC)時，用以切割基板的遮罩方法。

【先前技術】

在半導體基板製造中，係於基板(亦稱晶圓)上形成積體電路，基板通常由矽或其他半導體材料組成。一般使用各種材料(材料可為半導體、導體或絕緣體)之薄膜層形成積體電路。使用各種已知製程對此等材料進行摻雜、沉積和蝕刻而在同一個基板上平行且同時形成複數個積體電路，例如記憶體元件、邏輯元件、光伏打元件等等。

於元件形成之後，將基板放置在支撐構件(例如張掛在薄膜框架上的黏性薄膜)上，並切割該基板以使各個獨立之元件或「晶粒(die)」彼此分開以進行封裝，等等。目前兩種最常用的切割技術為劃線法(scribing)和鋸切法(sawing)。就劃線法而言，使鑽石尖頭劃線刀沿著預先形成的劃線在基板表面上移動。當例如利用滾子(roller)施加壓力時，基板會順著該等劃線裂開。就鋸切法而言，以鑽石尖頭鋸刀沿著通道(street)切割基板。對於薄基板之切割製程，例如厚度小於 150 微米之塊狀矽切割製程

而言，習知方法僅能得到不良的製程品質。從薄基板上切下晶粒時所需面對的部分挑戰可能包括形成微裂紋或不同膜層之間發生分層現象(delamination)、無機介電層碎裂剝離(chipping)、保持嚴格控制切割道寬度或精準控制剝離深度。

雖然亦曾想過採用電漿切割法，然而用於圖案化光阻的標準微影作業可能使實施成本高得驚人。另一個可能妨礙實施電漿切割法的限制條件是當以電漿法處理常用金屬(例如銅)而沿著切割道進行切割時可能引發產品問題或產量限制。最後，取決於特別是基板之厚度和頂表面地形、電漿蝕刻之選擇性和可從存在於基板頂表面上之材料上選擇性地去除遮罩之因素，該電漿切割製程中的遮蔽步驟可能存在一些問題。

【發明內容】

本發明之實施例包含遮蔽半導體基板用以進行混合式(hybrid)切割製程的方法，該混合式切割製程包含雷射劃線和電漿蝕刻兩種方法。

在一實施例中，一種切割具有複數個積體電路(IC)之半導體基板的方法：在半導體基板上方形形成遮罩(mask)，該遮罩包含複數個不同材料之膜層且覆蓋並保護該等積體電路。使用一雷射劃線製程對該遮罩進行圖案化，藉以提供具有多個間隙(gap)的圖案化遮罩，並暴

103年5月15日修正替換頁

露出該基板介於該等積體電路之間的多個區域。隨後電漿蝕刻該基板至貫穿該圖案化遮罩中的該等間隙而將該等積體電路切割成晶片。

在另一實施例中，用於切割半導體基板之系統包含飛秒雷射、電漿蝕刻腔室及遮罩沉積膜組，且上述雷射、腔室和模組皆耦接至同一個平臺(platform)。

在另一實施例中，切割具有複數個積體電路之基板的方法包括形成一雙層式遮罩，該雙層式遮罩包含位於矽基板之正面上方的可溶性材料層，例如聚(乙烯醇)之材料層。位在該可溶性材料層上方的是非可溶性材料層，例如光阻劑或聚醯亞胺(polyimide, PI)。雙層式遮罩覆蓋並保護設置在基板正面上的積體電路。該等積體電路包含銅凸塊頂表面(copper bumped top surface)，該銅凸塊頂表面具有被鈍化層(例如聚醯亞胺, PI)所環繞的多個凸塊(bumps)。位於該等凸塊和鈍化層下方的表面下薄膜包含低介電常數層間介電層(low- κ ILD layer)和銅內連線層(layer of copper interconnect)。使用飛秒雷射劃線製程對該雙層式遮罩、該鈍化層和該等表面下薄膜進行圖案化以暴露出該矽基板介於該等積體電路之間的區域。使用深矽電漿蝕刻製程蝕刻矽基板至貫穿該等間隙，藉以切割積體電路，隨後以濕法處理該雙層式遮罩以溶解該可溶層並揭除該非可溶層。

【實施方式】

本發明描述用以切割基板之方法和設備。在下述內容中，舉出諸多具體細節，例如飛秒雷射劃線切割條件和深矽電漿蝕刻條件，藉以說明本發明之例示性實施例。然而，所屬技術領域中熟悉該項技藝者將明白無需此等具體細節亦可實施本發明之實施例。在其他例子中，對於諸如 IC 製造、基板薄化、膠膜貼合(taping)等已知方案不做詳細描述，以避免不必要地混淆本發明實施例。參見本案說明書全文中，「一實施例」意指在本發明至少一實施例中包含配合實施例所描述之特定特徵、結構、材料或特性。因此，在本案說明書全文各處中出現用詞「在一實施例」時，並非一定代表本發明的同一個實施例。再者，可於一或多個實施例中以任何適當方式組合該等特徵、結構、材料或特性。又，可理解圖式中所示之各種例示性實施例僅做例示說明之用，且該等圖式無需按比例繪製。

本案中可使用「耦接(coupled)」與「連接(connected)」連同該等詞語的衍生用詞，藉以描述構件之間的結構關係。應瞭解此等用語並不欲作為彼此的同義字。反之，在特定實施例中，「連接」可用於表示兩個或多個元件彼此之間直接物理性或電性接觸。「耦接」可用於表示兩個或多個元件彼此之間以直接或間接(在該等元件之間藉由其他中間元件)方式進行物理性或電性接觸，及/或代表兩個或多個元件彼此之間以諸如因果關係般地共同合作或交互作用。

當本案中使用「上方」、「下方」、「之間」及「上」之用語係指一材料層與其他材料層的相對位置。舉例言之，例如一層配置在另一層上方或下方可能指該層與該另一層直接接觸，或可能具有一或多個中間層。此外，一層配置在兩層之間可能指該層與該兩層直接接觸或可能具有一或多個中間層。對照之下，第一層位於第二層「上」係指第一層與第二層接觸。此外，無需考慮基板之絕對方位，而是根據相對於基板所執行的步驟而提出一層相對於其他層的相對位置。

大致而言，使用多層遮罩進行晶粒切割可實現包含先進行雷射劃線且隨後進行電漿蝕刻的混合式基板或混合式基板切割製程。雷射劃線製程可用以沿著相鄰積體電路之間的通道乾淨地去除含有至少兩層之未圖案化遮罩(即，空白遮罩)、鈍化層及表面下之薄膜元件層。隨後，當暴露出該基板或部分地剝除該基板時，可終止該雷射剝離製程。接著使用混合式切割製程之電漿蝕刻部分進行蝕刻而貫穿該基板主體(例如貫穿主體單晶矽)，藉以分離或切割出晶片。

根據本發明之實施例，飛秒雷射劃線法與電漿蝕刻法之組合係用以將半導體基板切割成獨立或單切(singulated)的積體電路。在一實施例中，飛秒雷射劃線法是本質上是(但不完全是)一種不平衡製程。例如，飛秒雷射劃線法可集中在局部處(localized)而具有可忽略不計的熱損傷區域。在一實施例中，使用雷射劃線法切

割具有超低介電常數薄膜(即，具有低於 3.0 之介電常數)之積體電路。在一實施例中，使用雷射直接進行刻劃(write)可免去使用微影圖案化步驟，而允許該遮蔽材料可使用除用於光微影技術中之光阻以外的其他材料，並允許使用電漿蝕刻貫穿該基板主體。在一實施例中，在電漿蝕刻腔室內使用實質非等向性蝕刻(anisotropic etching)以完成該切割製程；藉著在已蝕刻之溝渠的側壁上沉積一蝕刻聚合物，可使該非等向性蝕刻在基板中達到極高方向性。

第 1 圖係根據本發明實施例圖示混合式雷射剝離-電漿蝕刻切割製程 100 的流程圖。第 4A 圖至第 4D 圖係根據本發明實施例，對應方法 100 之步驟圖示包含第一積體電路 425 和第二積體電路 426 之基板 406 的剖面圖。

參閱第 1 圖之步驟 102A 且對應第 4A 圖，在基板 406 上方形成多層遮罩 402 的第一遮罩材料 402A。一般而言，基板 406 是由適合承受在基板上形成薄膜元件層之製造製程的任意材料所組成。例如，在一實施例中，基板 406 為 IV 族材料，例如但不限於，單晶矽、鍺或矽/鍺。在另一實施例中，基板 406 為 III-V 族材料，例如用於至自發光二極體(LEDs)之 III-V 族材料基板。於元件製造期間，基板 406 之厚度通常為 600 微米至 800 微米，但可如第 4A 圖所示般，基板 406 可經薄化而達到 100 微米或甚至達到 50 微米，並另用一載體支撐該已薄化之基板，該載體係例如張掛在切割框架(圖中未示出)之支

撐結構上且藉由晶粒貼膜(DAF)408 而附著於該基板背面的背膠膜 410。

在實施例中，第一積體電路 425 和第二積體電路 426 包括製造在矽基板 406 內且包裹在介電質堆疊層中的記憶體元件或互補金屬-氧化物-半導體(CMOS)電晶體。可於該元件或電晶體上方形成複數個金屬內連線(metal interconnect)，該等金屬內連線週圍環繞著介電層，且該等金屬內連線可用以電性耦接該等元件或電晶體而形成積體電路 425、426。組成該通道 427 的材料可與用以形成積體電路 425、426 的該等材料相似或相同。例如，通道 427 可包含由介電材料、半導體材料和金屬化材料所形成之薄膜層。在一實施例中，通道 427 包含類似積體電路 425、426 之測試元件。於薄膜元件層堆疊/基板之界面處所測得通道 427 之寬度可為介於 10 微米至 200 微米之間的任意值。

在實施例中，多層遮罩 402 為雙層，該雙層具有在步驟 102A 所形成之第一遮罩材料層 402A，第一遮罩材料層 402A 與該等積體電路 425、426 之頂表面接觸。該多層遮罩 402 亦覆蓋位於積體電路 425 與積體電路 426 之間的中間通道 427。於步驟 102B，在第一遮罩材料層 402A 上配置第二遮罩材料層 402B。在進一步之實施例中，可塗覆附加之遮罩層。第一遮罩材料層 402A 亦提供一種用以從積體電路 425、426 之頂表面上去除第二遮罩材料層 402B 的工具，同時第二遮罩材料層 402B 則在混合式雷

射剝離-電漿蝕刻切割製程 100(見第 1 圖)中為積體電路 425、426 之頂表面(及為第一遮罩材料層 402A)提供額外保護。在雷射劃線步驟 103 之前，該多層遮罩 402 未經過圖案化，且在雷射劃線步驟 103 係使用雷射劃線法藉著將該多層遮罩 402 位於通道 427 上方的部分剝離而直接刻畫該等劃線。

第 5 圖圖示例示性實施例的放大剖面圖 500，該實施例含有與積體電路 426 和通道 427 之頂表面接觸的第一遮罩材料層 402A。如第 5 圖中所示，基板 406 具有頂表面 503 及位於反面處的底表面 502，多個薄膜元件層配置在頂表面 503 上方，且底表面 502 與晶粒貼膜(DAF)408 接合，晶粒貼膜 408 請見第 4A 圖。通常，薄膜元件層之材料可包括，但不限於，有機材料(例如，聚合物)、金屬或無機介電質，例如二氧化矽及氮化矽。第 5 圖圖示例之例示性薄膜元件層包含二氧化矽層 504、氮化矽層 505、銅內連線層 508 且在彼等膜層之間配置有低介電常數(例如低於 3.5)或超低介電常數(例如低於 3.0)層間介電層(ILD)507，例如摻碳的氧化物(CDO)。積體電路 426 之頂表面包含凸塊 512，凸塊 512 通常是銅且被鈍化層 511 包圍，該鈍化層通常為聚醯亞胺(PI)或類似聚合物。該等凸塊 512 和鈍化層 511 從而組成積體電路之頂表面且該等薄膜元件層形成表面下方之積體電路層。凸塊 512 從鈍化層 511 的頂表面起算延伸出凸塊高度 H_B ，在例示實施例中，該凸塊高度 H_B 之範圍介於 10 微米至 50 微米

之間。

藉著以第二遮罩材料層 402B 覆蓋第一遮罩材料層 402A，第一遮罩材料層 402A 可進一步作為對第二遮罩材料層 402B 進行底切的工具，而可從下方鈍化層 511 和凸塊 512 上揭除第二遮罩材料層 402B，或者第一遮罩材料層 402A 可進一步作為用於保護該鈍化層 511 及/或凸塊 512 的阻障層，以使該鈍化層 511 及/或凸塊 512 免於接受用以剝除該第二遮罩材料層 402B 的製程。由於第一遮罩材料層 402A 覆蓋凸塊 412，該揭除步驟(lift off)將完全去除該多層遮罩。第二材料之組成和厚度則可隨意設計，以使該第二材料(甚至是位於極高凸塊 512 上的第二材料)在未受到該遮罩剝除步驟的迫使下能在電漿蝕刻製程中存留下來，而銅質的凸塊 512 若暴露於電漿中可能受損、氧化或受污染。

參閱第 5 圖，在該通道中，該通道 427 內的多層遮罩 402 之最大厚度 $T_{\max}$ 通常受限於雷射對該遮罩進行圖案化藉著剝除而貫穿該遮罩的能力。多層遮罩 402 可能比位在積體電路 425、426 及/或位在通道 427 邊緣處這些沒有形成通道圖案處上的遮罩 402 要厚得多。如此， $T_{\max}$ 是雷射功率以及與雷射波長相關之光轉換效率的函數。由於 $T_{\max}$ 與通道 427 相關，因此可根據產量要求對通道特徵之地形、通道寬度和塗覆多層遮罩 402 之方法進行設計，藉以將 $T_{\max}$ 限制在可使雷射掃射一趟或多趟便能將該遮罩 402 連同下方薄膜元件層一同剝離的厚度。在

特定實施例中，多層遮罩 402 具有之通道遮罩厚度 $T_{\max}$ 小於 30 微米，且較佳小於 20 微米，且對於較厚之遮罩可要求進行多次雷射掃射。在特定實施例中，第一遮罩材料層 402A 比第二遮罩材料層 402B 要薄。在例示實施例中，第一遮罩材料層 402A 的厚度不超過第二遮罩材料層 402B 之厚度的一半，例如第一遮罩材料層 402A 厚度不超過該通道遮罩厚度 $T_{\max}$ 的一半。

如第 5 圖中進一步圖示般，多層遮罩 402 之最小厚度 $T_{\min}$ 出現在凸塊 512 之頂表面(最末端之地勢處)上，該最小厚度 $T_{\min}$ 是在第二遮罩材料層 402B 上方進行後續電漿蝕刻(例如，第圖中之步驟 105)所達成之選擇性的函數。該電漿蝕刻選擇性至少取決於第二遮罩材料層 402B 之材料/組成和所採用之蝕刻製程兩者。

由於氧化性電漿清潔劑、酸性蝕刻劑和諸多其他習知遮罩剝除製程可能無法與凸塊 512 及/或鈍化層 511 相容，在一實施例中，第一遮罩材料層 402A 係一種可溶於對下方鈍化層 511 及/或凸塊 512 具有選擇性之溶劑中的聚合物。在進一步實施例中，第一遮罩材料層 402A 亦在至少 60 °C 下、較佳在 100 °C 下且理想在 120 °C 下具有熱安定性，以避免在後續形成第二遮罩層或電漿蝕刻製程期間當例如因施加電漿功率而使溫度升高時，該第一遮罩材料層 402 過度交聯。通常，過度交聯會對材料溶解度造成不利影響，使得去除該多層遮罩 402 之步驟更加困難。

在一實施例中，第一遮罩材料層 402A 係由可溶於水的材料所形成。在此種實施例中，該水溶性材料包括水溶性聚合物。基於熱安定性的要求、於基板上塗覆/去除材料的力學(mechanics)及對於積體電路污染的考量，用於本發明之水溶性材料的選擇是複雜的。具有足夠熱安定性的例示性水溶性材料包含下述任一者：聚(乙烯醇)、聚(丙烯酸)、聚(甲基丙烯酸)、聚(丙烯醯胺)或聚(環氧乙烷)或諸如此類之聚合物。對於採用 PVA(聚(乙烯醇))的例示性實施例，已證實對於 60 °C 具有熱安定性，且當溫度接近 150°C 時溶解度降低。如此，對於 PVA 實施例而言，從步驟 102A 之後直到去除該多層遮罩 402(即，到該通道 427 之電漿蝕刻步驟)的處理步驟係使第一遮罩層 402A 維持低於 150°C、較佳低於 100°C 且理想上低於 80°C 的溫度較為有利。

在另一實施例中，第一遮罩材料層 402A 可溶於任何市面上可取得且與鈍化層 511 和凸塊 512 所採用之材料相容的水性或鹼系之濕式清潔劑。例示性遮罩材料包括非光敏感性有機聚合性材料，例如任一種上述能發生足夠交聯反應而需要使用溶劑的材料，該溶劑例如異丙醇(IPA)、氫氧化四甲銨(TMAH)，等等。

取決於實施例，第一遮罩材料層 402A 係濕式塗覆在基板 406 上以覆蓋鈍化層 511 和凸塊 512、以氣相沉積在基板 406 上或以乾膜疊層(dry film laminate)方式施用於基板 406 上。在第一實施例中，僅以噴塗方式將第一遮

罩材料層 402A 噴塗在基板上。在另一實施例中，係將第一遮罩材料層 402A 旋塗在基板上。

第 2A 圖係根據本發明實施例圖示在欲進行切割之基板上旋塗第一遮罩材料層 402A 之遮罩方法 200 的流程圖。於步驟 202，於旋塗系統上裝載基板，或將基板移送至整合式平臺之旋塗模組中。於步驟 204，將聚合性前驅物溶液旋塗於鈍化層 511 和凸塊 512 上方。對於例示性水溶性第一遮罩材料層而言，該聚合性前驅物溶液為水溶液。使用旋塗 PVA 溶液進行的實驗展現出高度 (H_B)50 微米之凸塊覆蓋率。

於步驟 208，例如可在熱板上乾燥或烘烤該濕塗層，並且卸載該基板或於真空下將該基板移送至雷射劃線模組中進行雷射劃線。對於第一遮罩材料層 402A 是吸濕性材料 (hygroscopic) 的特定實施例而言，以真空移送較為有利。取決於材料、基板地形和所期望之第一遮罩材料層厚度選擇該旋塗和分配參數。烘烤溫度和時間應加以選擇，以避免材料過度交聯，而導致難以去除。取決於材料，例示之乾燥溫度範圍係 60 °C 至 150 °C。

在以旋塗方式塗覆第一遮罩材料層 402A 的例示實施例中(如第 2A 圖所示)，亦以旋塗方式塗覆第二遮罩材料層 402B(見步驟 210)。對於此種實施例而言，第二遮罩材料層 402B 可為任何可提供適當電漿蝕刻抗性的習知聚合性材料，例如，但不限於，任何已知的光阻劑、聚醯亞胺 (PI)、苯并環丁烯 (Benzo-Cyclo-Butene, BCB) 或

諸如此類材料。同樣取決於材料、基板地形和所期望之第二遮罩材料層 402B 之厚度(該厚度為蝕刻抗性等因素之函數)選擇該等旋塗和分配參數。在步驟 212，使用可避免第一遮罩材料層 402A 過度交聯的烘烤溫度和烘烤時間乾燥該第二遮罩材料層 402B。取決於材料，例示之乾燥溫度範圍係 60 °C 至 150°C。接著在步驟 220 卸載該基板以進行後續劃線步驟或在真空下將該基板移送至整合式平臺之雷射劃線設備而完成該遮罩方法 200。

在另一實施例中，第一遮罩材料層 402A 和第二遮罩材料層 402B 至少其中一者係利用氣相沉積法形成。第 2B 圖係根據本發明實施例圖示用於塗覆第二遮罩材料層 402B 之例示性遮罩方法 250 的流程圖。於步驟 205，利用本案他處中所描述的任一方法(例如，旋塗、噴塗、氣相沉積、乾膜疊層)形成該第一遮罩材料層 402A。在步驟 211，利用化學氣相沉積法在第一遮罩材料層 402A 上方形成第二遮罩材料層 402B。在該例示性實施例中，係採用低溫化學氣相沉積製程形成 CVD 碳層。由於該 CVD 碳層可包含以各種比例存在之複數個鍵結態，因此該碳層缺乏長程有序狀態(long rang order)且因此一般將該碳層稱為「無定形碳」。無定形碳材料可購自美國加州應用材料公司旗下商品名為 Advanced Patterning Film™ (APF) 之商品。在某些實施例中，利用 PECVD 製程使用烴系前驅物(hydrocarbon precursors)形成該無定形碳層，烴系前驅物係例如，但不限於，甲烷(CH₄)、丙烯(C₃H₆)、丙炔

(C_3H_4)、丙烷(C_3H_8)、丁烷(C_4H_{10})、丁烯(C_4H_8)、丁二烯(C_4H_6)、乙炔(C_2H_2)及上述前驅物之混合物。該 CVD 碳層亦可包含氮或其他添加物。CVD 製程具有使第一遮罩材料層 402A 交聯的風險，故以低溫 CVD 製程為較佳。例如取決於第一遮罩材料，在沉積 CVD 碳層期間，晶圓溫度可維持在 $150^{\circ}C$ 以下，或如有需要甚至可維持在 $100^{\circ}C$ 以下。使用適度的(moderate)電漿離子密度提供小幅的基板加熱作用是必要的，以達成足夠品質的 CVD 膜而增強(augment)第一遮罩材料層 402A 並於後續電漿通道蝕刻期間提供介於 1:20 至 1:30 之間的蝕刻抗性(etch resistance)。在第一遮罩材料 402A 是水溶性材料(例如，PVA)的例示實施例中，第二遮罩材料 402B 是利用含碳前驅物在低於 $100^{\circ}C$ 之溫度下沉積而成的無定形碳。接著在步驟 220 卸載該基板以進行後續劃線步驟或於真空下將該基板移送至整合式平臺之雷射劃線設備而完成該遮罩方法 200。

取決於實施例，可在進行背面研磨(BSG)製程之前或之後執行該遮罩方法 200 或遮罩方法 250 之任一者。由於旋塗法對於具有 750 微米之傳統厚度的基板而言大致上是一種成熟技術，因此在背面研磨製程之前，先執行該遮罩方法 200 可能較有利。然而，在另一種方案中，於該背面研磨製程之後，例如藉著使已薄化之基板和貼有膠膜之框架(taped frame)兩者皆支撐於可旋轉吸盤上而執行該遮罩方法 200。

第 3A 圖圖示在晶圓薄化步驟之前，先在欲進行切割之基板上塗覆多層遮罩 402 之方法 300 的流程圖。方法 300 始於步驟 355，於步驟 355 接收已進行凸塊接合(bumped)且經鈍化之基板。在步驟 304，至少形成該第一遮罩材料層 402A。在進一步實施例中，形成第一遮罩材料層 402A 和第二遮罩材料層 402B 兩者。因此，步驟 304 可能需要如本案中其他處所描述之用以形成第一遮罩材料層及/或第二遮罩材料層之方法中的任一種方法。在步驟 360，在該多層遮罩 402 之至少第一層上方貼附正面膠膜(frontside tape)。任何習知的正面膠膜(例如但不限於，UV-膠膜)皆可貼附於該多層遮罩 402 之第一層上方。在步驟 370，例如藉著研磨基板 406 之底表面 502(見第 5 圖)而從背面薄化該基板。在步驟 375，於該已薄化之基板上添加背面支撐件 411。例如，可貼上背膠膜 410，且隨後從基板上去除該正面膠膜，而剩餘該多層遮罩 402 之至少第一層。隨後，根據本發明之實施例，使方法 300 回到步驟 103(見第 1 圖)以完成該多層遮罩製程或繼續進行該混合式雷射剝離-電漿蝕刻切割方法 300。

第 3B 圖係圖示在進行晶圓薄化步驟後於欲進行切割之基板上塗覆多層遮罩 402 之方法 350 的流程圖。方法 350 始於步驟 355，於步驟 355 接收已進行凸塊接合且經鈍化之基板。在步驟 360，將任何習知正面膠膜(例如，但不限於 UV-膠膜)貼附於積體電路上方。在步驟 370，如第 5 圖圖示般例如藉著研磨基板 406 之底表面 502 而

從背面薄化該基板。在步驟 375，於該已薄化之基板上添加背面支撐件 411。例如，可貼上背膠膜 410，且隨後從該水溶性遮罩層上去除該正面膠膜。在步驟 304，接著例如使用旋塗法、CVD 法、乾膜疊層法等方法形成至少第二遮罩材料層 402B。在進一步實施例中，係形成第一遮罩材料層 402A 和第二遮罩材料層 402B 兩者。步驟 304 可能需要如本案例中其他處所描述用以形成第一遮罩材料層及/或第二遮罩材料層之方法中的任一種方法。接著方法 350 回到第 1 圖繼續進行該混合式雷射剝離-電漿蝕刻切割方法 300。

在進一步實施例中，實施方法 300 和方法 350 兩者是在背面研磨製程 (BSG) 之前形成第一遮罩材料層 402A(如第 3A 圖所示)，且在 BSG 之後形成第二遮罩材料層 402B(如第 3A 圖所示)。在此一實施例中，使用旋塗技術塗覆第一遮罩材料層 402A，同時基板為完整後度，並使用非旋塗技術(例如氣相沉積法)將第二遮罩材料層 402B 塗覆於已薄化之基板。例如，參閱第 3A 圖，在步驟 360 貼上正面膠膜之前，先於步驟 304 塗覆 PVA 第一遮罩材料層 402A，然而在步驟 375 去除正面膠膜之後，可於步驟 304 中塗覆 CVD 碳質之第二遮罩材料層 402B。

現回到方法 100 之步驟 103，並對照第 4B 圖，使用雷射劃線製程藉由剝離(ablation)對該多層遮罩 402 進行圖案化以形成溝渠 412，該等溝渠延伸至表面下的薄膜元

件層，並且暴露出該基板 406 介於積體電路 425 和積體電路 426 之間的區域。如此，使用雷射劃線製程剝離原本形成在積體電路 425 和積體電路 426 間之通道 427 的薄膜材料。根據本發明之實施例，使用雷射劃線製程對該多層遮罩 402 進行圖案化之步驟包括如第 4B 圖所示般，形成部分深入該基板 406 介於積體電路 425 和積體電路 426 間之基板區域中的溝渠 414。

在第 5 圖所示之例示性實施例中，取決於鈍化層 511 和表面下薄膜元件層之厚度 T_F 及多層遮罩 402 之厚度 T_{max} ，雷射劃線深度 DL 之範圍約為 5 微米至 50 微米深，較佳範圍係 10 微米至 20 微米深。

在實施例中，使用具有脈衝寬度(持續時間)和飛秒範圍內(即， 10^{-15} 秒)之雷射對該多層遮罩 402 進行圖案化，該雷射在此處稱為飛秒雷射(femtosecond laser)。為了達成乾淨的雷射劃線切割，雷射參數之選擇(例如脈衝寬度)對於展開成功雷射劃線和展開使碎裂、微裂紋和分層最小化之切割製程而言非常重要。飛秒範圍內之雷射頻率有助於減輕與較長脈衝寬度(例如，皮秒或奈秒)相關的熱損害問題。雖然不受理論約制，就目前所了解，飛秒能量源可避免發生在皮秒能量源中所存在的低能量再耦合機制(low energy recoupling mechanism)並能提供比奈秒能量源更大的熱不平衡現象。使用奈秒或皮秒雷射源時，存在於通道 427 內之各種薄膜元件層材料的行為表現相當不同，從而表現出不同光吸收度和剝離機

制。例如，在一般正常條件下，介電層(例如，二氧化矽)實質上可讓所有市面上可取得之雷射波長穿透。相比之下，金屬、有機質(例如，低介電常數材料)和矽非常容易與光子耦合，特別是容易與奈秒及或皮秒級雷射輻射耦合。若選擇不適當的雷射參數，在含有無機介電質、有機介電質、半導體或金屬之其中兩種或多種材料的堆疊結構中，通道 427 的雷射輻射可能造成不利的分層作用。例如，在下方金屬層或矽層中可能吸收能穿透不具有可測量吸收作用之高帶隙能介電質(例如帶隙約 9eV 之二氧化矽)的雷射，造成金屬層或矽層大量汽化。該汽化作用可能產生高壓而可能造成嚴重的層間分層和微裂紋現象。已證實飛秒級雷射輻射製程可避免或減輕此種材料堆疊的微裂紋或分層作用。

用於飛秒雷射型製程的參數可經選擇，以使該雷射對於無機和有機介電質、金屬及半導體具有實質相同的剝離特性。例如，二氧化矽之吸收性/吸收率為非線性且可能與有機介電質、半導體和金屬的吸收性/吸收率趨近一致。在一實施例中，使用高強度且短脈衝寬度之飛秒級雷射製程剝除包含二氧化矽層和一或多個有機介電層、半導體層或金屬層之薄膜層堆疊。根據本發明之實施例，合適之飛秒級雷射製程的特性在於具有通常可導致各種材料中發生非線性交互作用的高峰值強度(輻照度)。在一此種實施例中，飛秒雷射源具有範圍約 10 飛秒至 450 飛秒之脈衝寬度，但較佳具有範圍約 50 飛秒至

400 飛秒之脈衝寬度。

在某些實施例中，該雷射放射光擴及可見光譜、紫外光譜(UV)及/或紅外線(IR)光譜之任意組合，以獲得寬帶或窄帶之光放射光譜。即使對於飛秒雷射剝離法而言，某些波長可能比其他波長提供較佳效能。例如在一實施例中，波長接近或位於 UV 範圍內之飛秒級雷射製程可提供比波長接近或位於 IR 範圍內之飛秒級雷射製程更乾淨的剝離製程。在一特定實施例中，適用於半導體基板或基板劃線的飛秒雷射係以波長大約小於或等於 540 奈米的雷射為基礎，但較佳以波長範圍介於 540 奈米至 250 奈米之雷射為基礎。在特定實施例中，對於波長小於或等於 540 奈秒的雷射而言，脈衝寬度小於或等於 400 飛秒。然而，在一替代實施例中，可使用雙雷射波長，例如使用 IR 雷射和 UV 雷射之組合。

在一實施例中，該雷射及相關光學路徑在工作表面上提供範圍約 3 微米至 15 微米的聚焦點，然而以提供範圍約 5 微米至 10 微米之聚焦點較為有利。位於工作表面處的空間光束輪廓(spatial beam profile)可為單模(高斯)光束或具有禮帽狀輪廓之光束。在實施例中，該雷射源具有範圍約 300kHz 至 10MHz 之脈衝迴復率(pulse repetition rate)，然而較佳具有範圍約 500kHz 至 5MHz 之脈衝迴復率。在實施例中，該雷射源輸送至工作表面處的脈衝能量範圍約 0.5 微焦耳(μJ)至 100 微焦耳，然而較佳範圍約 1 微焦耳至 5 微焦耳。在實施例中，該雷射

劃線製程係以範圍介於約 500 毫米/秒至 5 公尺/秒的速度沿著工件表面移動，然而較佳以範圍介於約 600 毫米/秒至 2 公尺/秒的速度行走。

該劃線製程可僅行走單趟或多趟，但較佳不超過兩趟。可用指定之脈衝迴復率以該雷射施加一連串的單個脈衝或施加一連串的脈衝叢發(pulse burst)任一種。在一實施例中，在元件/矽之界面處進行測量時，所產生的雷射光束切割道寬度介於約 2 微米至 15 微米之範圍間，然而在矽基板之劃線或切割中，切割道寬度較佳介於約 6 微米至 10 微米之範圍間。

回到第 1 圖和第 4C 圖，蝕刻基板 406 而貫穿該已圖案化之多層遮罩 402 中的該等溝渠 412，藉以切割積體電路 425 和 426。根據本發明之實施例，如第 4C 圖所示，蝕刻基板 406 之步驟包含蝕刻該等使用飛秒雷射劃線製程所形成之溝渠 412，最終完全蝕刻貫穿基板 406。

在實施例中，蝕刻基板 406 之步驟包含使用非等向性電漿蝕刻製程 416。在實施例中，使用貫穿基板蝕刻製程時，利用第二遮罩材料層 402B 保護第一遮罩材料層 402A，以於整個電漿蝕刻期間防止第一遮罩材料層暴露於電漿下。在替代實施例中，完成蝕刻之前，於電漿蝕刻期間消耗第二遮罩材料層 402B 至暴露出第一遮罩材料層 402A 的程度。可使用高功率運作的高密度電漿源進行電漿蝕刻步驟 105。例示之功率範圍介於 3 千瓦(kW)至 6 千瓦之間或更高，以達到大於每分鐘 25 微米的基板 406

之蝕刻速率。

在例示性實施例中，使用深度非等向性矽蝕刻法(例如貫穿式矽介層窗蝕刻法)以比習知矽蝕刻速率高出約40%的蝕刻速率來蝕刻單晶矽基板或基板406，同時保持實質精確的輪廓控制和幾乎無扇形扭曲(scallop-free)的側壁。在全程電漿蝕刻製程期間，藉由冷卻至 -10°C 至 -15°C 的靜電吸盤(ESC)施加冷卻功率而控制該高功率對於多層遮罩(特別是第一遮罩材料層402A)的影響，藉以使第一遮罩材料層402A維持在低於 100°C 之溫度，且較佳維持在介於 70°C 至 80°C 間之溫度。在此等溫度下，可有利地保持第一遮罩材料層402A之溶解度。

在特定實施例中，該電漿蝕刻包含隨時間進行複數個保護性聚合物沉積週期及夾雜在該等沉積循環之間的複數個蝕刻週期。該沉積：蝕刻之工作週期(duty cycle)可改變，且例示性工作週期約為1：1。例如，該蝕刻製程可具有持續時間為250毫秒(ms)至750毫秒之沉積週期及持續時間為250毫秒至750毫秒之蝕刻週期。對於例示性之矽蝕刻實施例，在沉積週期與蝕刻週期之間，蝕刻製程化學藥劑與沉積製程化學藥劑係交替使用，該蝕刻製程化學藥劑係採用例如 SF_6 ，且沉積製程化學藥劑係採用 C_xF_y 氣體，例如但不限於 C_4F_6 或 C_4F_8 。如所屬技術領域中已知般，可進一步使製程壓力在蝕刻和沉積週期之間交替變化，以利於特定週期之各自製程的進行。

隨後於步驟107去除該遮罩層402，而完成該混合式

雷射剝離-電漿蝕刻切割法 300。在第 4D 圖所示之例示性實施例中，該遮罩去除步驟 107 包含相對於積體電路 425、426(例如，相對於鈍化層 511、凸塊 512)及相對於第二遮罩材料層 402B 而選擇性地溶解該第一遮罩材料層 402A。從而揭除第二遮罩材料層 402B。在第一遮罩材料層 402A 為水溶性的實施例中，使用加壓噴射之去離子水或將基板浸入常溫(ambient)或加熱水浴中以洗去該水溶性遮罩層。在替代實施例中，使用所屬技術領域中已知的水性溶液或鹼系溶劑溶液溶解第一遮罩材料層 402A 所使用之特殊材料，而可揭除該多層遮罩 402。如第 4D 圖中進一步所示般，該切割製程或遮罩去除製程任一者可進一步包含對該晶粒貼膜 408 進行圖案化而暴露出該背膠膜 410 之頂部。

可構築單一整合式平臺 600，用以執行該混合式雷射剝離-電漿蝕刻切割製程 100 中之諸多步驟或所有步驟。例如，第 6 圖係根據本發明實施例圖示用以進行雷射和電漿切割基板之群集工具 606 的方塊圖，該工具與雷射劃線設備 610 耦接。參閱第 6 圖，群集工具 606 耦接至工廠介面 602(FI)，該工廠介面 602 具有複數個裝載裝載鎖(load locks)604。工廠介面 602 可能是連接在具有射劃線設備 610 之外部製造設施與群集工具 606 之間的適當大氣口(atmospheric port)。工廠介面 602 可包含機器人，該等機器人具有手臂或刀片，該手臂或刀片係用以從儲存單元(例如，前開制式晶圓盒)將基板(或該基板之載體)

移送至群集工具 606 或雷射劃線設備 610 之任一者或兩者中。

雷射劃線設備 610 亦耦接至工廠介面 602。在實施例中，雷射劃線設備 610 包含飛秒雷射。該飛秒雷射可執行該混合式雷射與蝕刻切割製程 100 中的雷射剝離部分。在一實施例中，雷射劃線設備 610 亦包含活動台 (moveable stage)，該活動台係經構築以用於移動基板或相對於飛秒級雷射移動基板 (或該基板之載體)。在特定實施例中，該飛秒雷射亦可移動。

群集工具 606 包含一或多個電漿蝕刻腔室 608，該等電漿蝕刻腔室 608 藉由機械移送室 650 而耦接至工廠介面，該機械移送室 650 容納用以於真空下移送基板的機械手。該等電漿蝕刻腔室 608 適合執行該混合式雷射與蝕刻切割製程 100 之電漿蝕刻部分。在一例示性實施例中，電漿蝕刻腔室 608 進一步耦接至 C_4F_8 與 C_4F_6 來源之至少一者和 SF_6 氣源。在特定實施例中，該一或多個電漿蝕刻腔室 608 係購自應用材料公司 (Sunnyvale, CA, USA) 之 Applied Centura® Silvia™ 系統，然而亦可從市面上取得其他適當的蝕刻系統。在實施例中，整合式平台 600 之群集工具 606 部分包含一個以上的蝕刻腔室 608，而能夠實現該分離或切割製程之高製造產量。

群集工具 606 可包含適合執行該混合式雷射剝離-電漿蝕刻切割製程 100 中之多項功能的其他腔室。在第 6 圖所示之例示性實施例中，群集工具 606 包含遮罩形成模

組 612 和溶劑濕式處理站 614 兩者，但該群集工具 606 可包含其中任一者而不含另一者。取決於實施例，遮罩形成模組 612 可為旋塗模組或化學氣相沉積 (CVD) 腔室。若為旋塗模組，可構築可旋轉式吸盤以藉由真空或非真空方式夾住安置在載體 (亦如安裝在框架上之背膠膜) 上的薄化基板。在進一步實施例中，該旋塗模組流體耦接至水溶液源。對於 CVD 腔室實施例而言，該遮罩形成模組 612 係構築成用以沉積 CVD 碳層。任一種構築用於進行低溫薄膜沉積的市售 CVD 腔室可耦接至碳來源氣體。

濕式處理站 614 之實施例係用以在電漿蝕刻基板之後溶解至少該第一遮罩材料層 (例如，402A)。該濕式處理站 614 可包含例如加壓噴射器，藉以噴灑水與其他溶劑。

第 7 圖圖示一種電腦系統 700，在該電腦系統 700 中，可執行一組指令而使該機械執行本案所討論之多個劃線方法中的一種或多種方法，藉以例如分析來自一標記 (tag) 之反射光以識別至少一微機械構造。該例示性電腦系統 700 包含處理器 702、主記憶體 704 (例如，唯讀記憶體 (ROM)、快閃記憶體、動態隨機存取記憶體 (DRAM)，例如同步 DRAM (SDRAM) 或記憶體匯流排 DRAM (RDRAM)，等等)、靜態記憶體 706 (例如，快閃記憶體、靜態隨機存取記憶體 (SRAM)，等等) 及第二記憶體 718 (例如，資料儲存裝置)，上述裝置彼此藉由匯流排 730 通訊。處理器 702 代表一或多種通用處理裝置，例

如微處理器、中央處理單元或諸如此類者。更明確言之，處理器 702 可為複雜指令集運算(CISC)微處理器、精簡指令集運算(RISC)微處理器、超長指令字組(VLIW)微處理器，等等。處理器 702 亦可為一或多種特定應用處理裝置，例如特殊應用積體電路(ASIC)、現場可程式編輯閘陣列(FPGA)、數位訊號處理器(DSP)、網路處理器或諸如此類者。處理器 702 經構築以用於執行處理邏輯 726 而用以執行本發明所討論之操作和步驟。

電腦系統 700 可進一步包含網路介面裝置 708。電腦系統 700 亦可包含影像顯示單元 710(例如，液晶顯示器(LCD)或陰極射線管(CRT))、字母數字輸入裝置 712(例如，鍵盤)、游標控制裝置 714(例如，滑鼠)及信號產生器 716(例如，擴音器)。

第二記憶體 718 可包含機械可存取之儲存媒體(或更明確言之係電腦可讀儲存媒體)731，該儲存媒體上儲存一或多組指令(例如，軟體 722)，該等指令編寫本發明所述之該等方法邏輯或功能中之任意一者或多者。使用電腦系統 700 執行軟體 722 期間，軟體 722 亦可完全或至少部分駐留在主記憶體 704 及/或處理器 702 內，主記憶體 704 和處理器 702 亦組成機械可讀之儲存媒體。可進一步透過網路介面裝置 708 在網路 720 上傳送或接收軟體 722。

亦可使用機械可存取之儲存媒體 731 儲存圖形辨識演算法、物體形狀資料、物體位置資料或粒子閃光資料

(particle sparkle data)。雖然所顯示機械可存取之儲存媒體 731 的例示性實施例是單個媒體，然而「機械可讀取之儲存媒體」一詞應解讀為包括儲存一或多組指令之單個媒體或多個媒體(例如，集中式資料庫或分散式資料庫，及/或相關的快取記憶體或伺服器)。「機械可讀之儲存媒體」一詞亦應解讀成包含任何能夠儲存或編碼一組指令以利用機械執行該等指令並使該機械執行本發明之任一種或多種方法的任何媒體。因此「機械可讀之儲存媒體」一詞應解讀成包含，但不限於，固態記憶體及光學媒體和磁性媒體。

因此本案已揭示用以切割半導體基板(每個基板具有複數個積體電路)之方法。包括摘要中所描述之內容在內，以上本發明例示性實施例之說明內容並非意欲用以詳盡描述本發明或將本發明限制在所揭示的精確形式上。雖然本案中描述本發明之諸多具體實施方式或範例以達到解說目的，然而相關技術領域中熟悉該項技藝者將理解本發明範圍可能具有各種等效之修飾態樣。因此，本發明範圍完全由後附請求項決定，且遵照已確立之申請專利範圍解讀原則解釋該等請求項。

【圖式簡單說明】

附圖中之該等圖式係藉由例示方式圖解說明本發明之實施例，並非作為限制之用，該等附圖如下：

第 1 圖係根據本發明實施例圖示混合式雷射剝離-電漿蝕刻切割法之流程圖；

第 2A 圖係根據本發明實施例圖示在欲進行切割之基板上旋塗多層遮罩之方法的流程圖；

第 2B 圖係根據本發明實施例圖示在欲進行切割之基板上氣相沉積多層遮罩之方法的流程圖；

第 3A 圖係根據本發明實施例圖示在進行晶圓薄化步驟之前，先在基板上塗覆多層遮罩之方法的流程圖；

第 3B 圖係根據本發明實施例圖示在進行晶圓薄化步驟後於基板上塗覆多層遮罩之方法的流程圖；

第 4A 圖係根據本發明實施例，對應第 1 圖所示切割方法之步驟 102A 和步驟 102B 圖示一包含複數個積體電路之半導體基板的剖面圖；

第 4B 圖係根據本發明實施例，對應第 1 圖所示切割方法之步驟 103 圖示一包含複數個積體電路之半導體基板的剖面圖；

第 4C 圖係根據本發明實施例，對應第 1 圖所示切割方法之步驟 105 圖示一包含複數個積體電路之半導體基板的剖面圖；

第 4D 圖係根據本發明實施例，對應第 1 圖所示切割方法之步驟 107 圖示一包含複數個積體電路之半導體基板的剖面圖；

第 5 圖係根據本發明實施例，圖示包含複數個積體電路之基板的表面下薄膜和塗覆於頂表面上方之水溶性遮

罩的剖面圖；

第 6 圖係根據本發明實施例圖示用以進行雷射和電漿切割基板之工具佈局的方塊圖，該工具具有用於進行原位塗覆多層遮罩的整合式沉積膜組；及

第 7 圖係根據本發明實施例，圖示一種用以控制本案所述遮蔽、雷射劃線、電漿切割方法中之一或多個步驟自動執行之例示性電腦系統的方塊圖。

【主要元件符號說明】

100、200、250、300、350 方法

101、102A、102B、103、105、107 步驟

202、204、205、208、210、211、212、220 步驟

304、355、360、370、375 步驟

402 多層式遮罩

402A 第一遮罩材料層

402B 第二遮罩材料層

406 基板

408 晶粒貼膜

410 背膠膜

411 背面支撐件

412 溝渠

414 溝渠

416 非等向性電漿蝕刻製程

425、426 積體電路

427 通道

500 放大剖面圖

502 底表面

503 頂表面

504 二氧化矽層

505 氮化矽層

507 層間介電層

508 銅內連線層

511 鈍化層

512 凸塊

600 整合式平台

602 工廠介面

604 裝載鎖定室

606 群集工具

608 電漿蝕刻腔室

610 雷射劃線設備

612 遮罩形成模組

614 溶劑濕式處理站

650 機械移送室

700 電腦系統

702 處理器

704 主記憶體

706 靜態記憶體

- 708 網路介面裝置
- 710 影像顯示器
- 712 字母—數字輸入裝置
- 714 游標控制裝置
- 716 信號產生器
- 718 第二記憶體
- 720 網路
- 722 軟體
- 726 處理邏輯
- 730 匯流排
- 731 機械可存取之儲存媒體

七、申請專利範圍：

1. 一種切割一包含複數個積體電路(IC)之基板的方法，該方法包括以下步驟：

於該基板上方形形成一多層遮罩，該多層遮罩覆蓋且保護該等積體電路，該多層遮罩包含位於該等積體電路之一頂表面上的一第一遮罩材料層及配置於該第一遮罩材料層上方的一第二遮罩材料層；

使用一雷射劃線製程對該多層遮罩進行圖案化，藉以提供一具有多個間隙的圖案化遮罩，而暴露出該基板之介於該等積體電路之間的多個區域；

電漿蝕刻該基板至貫穿該圖案化遮罩中之該等間隙以切割該等積體電路，其中該第二遮罩材料層保護該第一遮罩材料層免於暴露至該電漿下持續至少一部分之蝕刻製程；以及

溶解該第一遮罩材料層並自該等積體電路之該頂表面上揭除該第二遮罩材料層。

2. 如請求項 1 之方法，其中溶解該第一遮罩材料層之步驟更進一步包括以下步驟：使該多層遮罩暴露於一溶劑下，該第一遮罩材料層可溶於該溶劑，且該第二遮罩材料層實質上不溶於該溶劑。

3. 如請求項 2 之方法，其中該溶劑為一水溶液。

4. 如請求項 3 之方法，其中該溶劑為水。
5. 如請求項 1 之方法，其中該第一遮罩材料層包含一水溶性聚合物，及其中蝕刻該半導體基板之步驟包括以下步驟：使用一深溝渠蝕刻製程蝕刻該等溝渠，且在該深溝渠蝕刻製程期間，該第一遮罩材料層保持低於 100°C 。
6. 如請求項 5 之方法，其中形成該多層遮罩之步驟包括以下步驟：塗覆下述聚合物中之至少其中一聚合物：聚(乙烯醇)、聚(丙烯酸)、聚(甲基丙烯酸)、聚(丙烯醯胺)或聚(環氧乙烷)，以作為與該積體電路之該頂表面接觸的該第一遮罩材料層。
7. 如請求項 1 之方法，其中形成該多層遮罩之步驟包括以下步驟：在該第一遮罩材料層上方塗覆一非水溶性聚合物。
8. 如請求項 7 之方法，其中塗覆該非水溶性聚合物之步驟進一步包括以下步驟：塗覆下述之至少一者：光阻劑及聚醯亞胺。
9. 如請求項 1 之方法，其中形成該多層遮罩之步驟包括以下步驟：形成該多層遮罩以使該多層遮罩在介於該等

積體電路間之該通道上方的厚度不超過 20 微米且使該多層遮罩在一積體電路之一頂部凸塊表面上方的厚度為至少 10 微米。

10. 如請求項 1 之方法，其中對該多層遮罩進行圖案化之步驟進一步包括以下步驟：使用一飛秒(femtosecond)雷射直接刻畫該圖案，該飛秒雷射具有一小於或等於 540 奈米之波長和一少於或等於 400 飛秒之雷射脈衝寬度。

11. 如請求項 1 之方法，其中形成該多層遮罩之步驟包括以下步驟：

在該積體電路之該頂表面上旋塗該第一遮罩材料之溶液；及

在該第一遮罩材料層上方旋塗該第二遮罩材料之溶液或氣相沉積該第二遮罩材料。

12. 如請求項 11 之方法，該方法進一步包括以下步驟：使用一背面研磨製程使該基板薄化，其中於該背面研磨步驟之後執行該第一遮罩材料之旋塗步驟。

13. 如請求項 11 之方法，其中在該第一遮罩材料層上方旋塗該第二遮罩材料之溶液或氣相沉積該第二遮罩材料的步驟進一步包括以下步驟：在該第一遮罩材料上方化學氣相沉積一無定形碳層。

14. 一種切割一包含複數個積體電路(IC)之半導體基板的方法，該方法包括以下步驟：

於一矽基板上方形形成一水溶性遮罩材料層，該水溶性遮罩材料層覆蓋配置在該矽基板上的該等積體電路，該等積體電路包含一薄膜堆疊層，且該薄膜堆疊層包含一二氧化矽層、一低介電常數(low- κ)材料層和一銅層；

在該水溶性遮罩材料層上方形成一非水溶性遮罩材料層；

使用一飛秒雷射對該非水溶性遮罩材料、該水溶性遮罩材料、該低介電常數材料層和該銅層進行圖案化，藉以暴露出該矽基板之介於該等積體電路間的多個區域；

蝕刻該矽基板之暴露出的多個區域以切割該等積體電路，該非水溶性遮罩材料層保護該水溶性遮罩材料層免於暴露至一電漿下，該電漿來自至少一部分之該矽基板蝕刻過程；以及

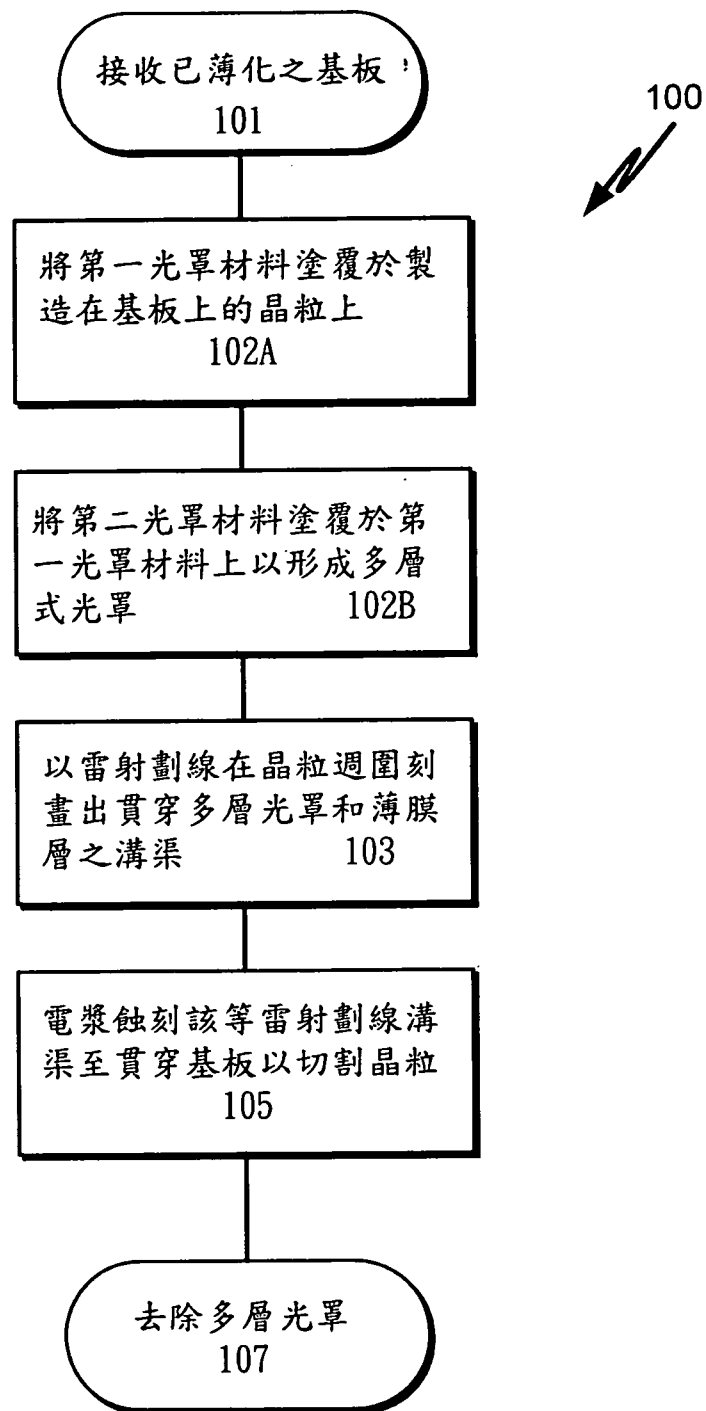
溶解該水溶性遮罩材料層並揭除該非水溶性遮罩材料層。

15. 如請求項 14 之方法，其中使用該飛秒雷射對該二氧化矽層、該低介電常數材料層和該銅層進行圖案化之步驟包括：先剝離該二氧化矽層，之後剝離該低介電常數材料層和該銅層，以及其中蝕刻該矽基板之步驟包括使該基板暴露至 C_4F_8 和 C_4F_6 之至少其中一者和 SF_6 之電漿

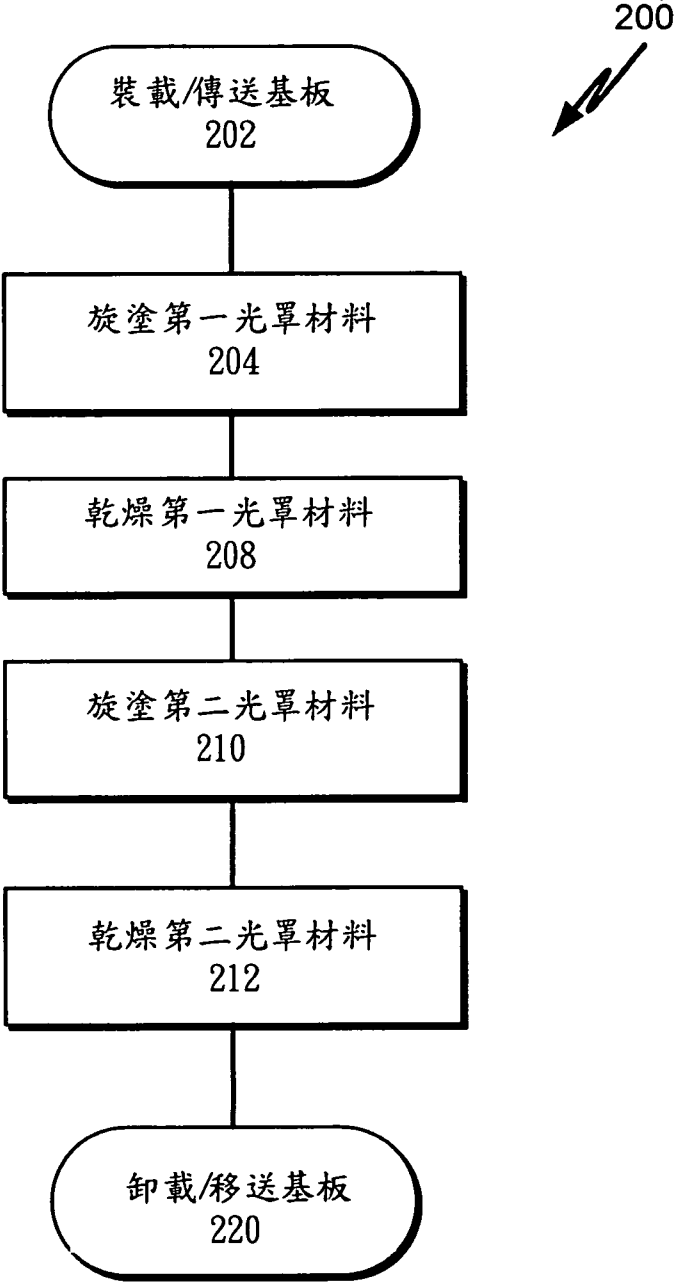
102年 5月15日修正替換頁

下，同時使該水溶性遮罩材料層保持低於 100°C 之溫度。

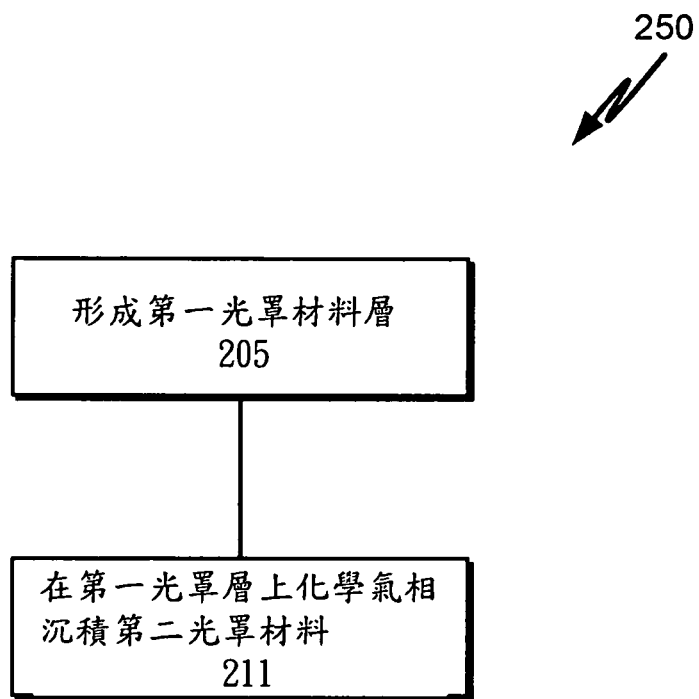
八、圖式：



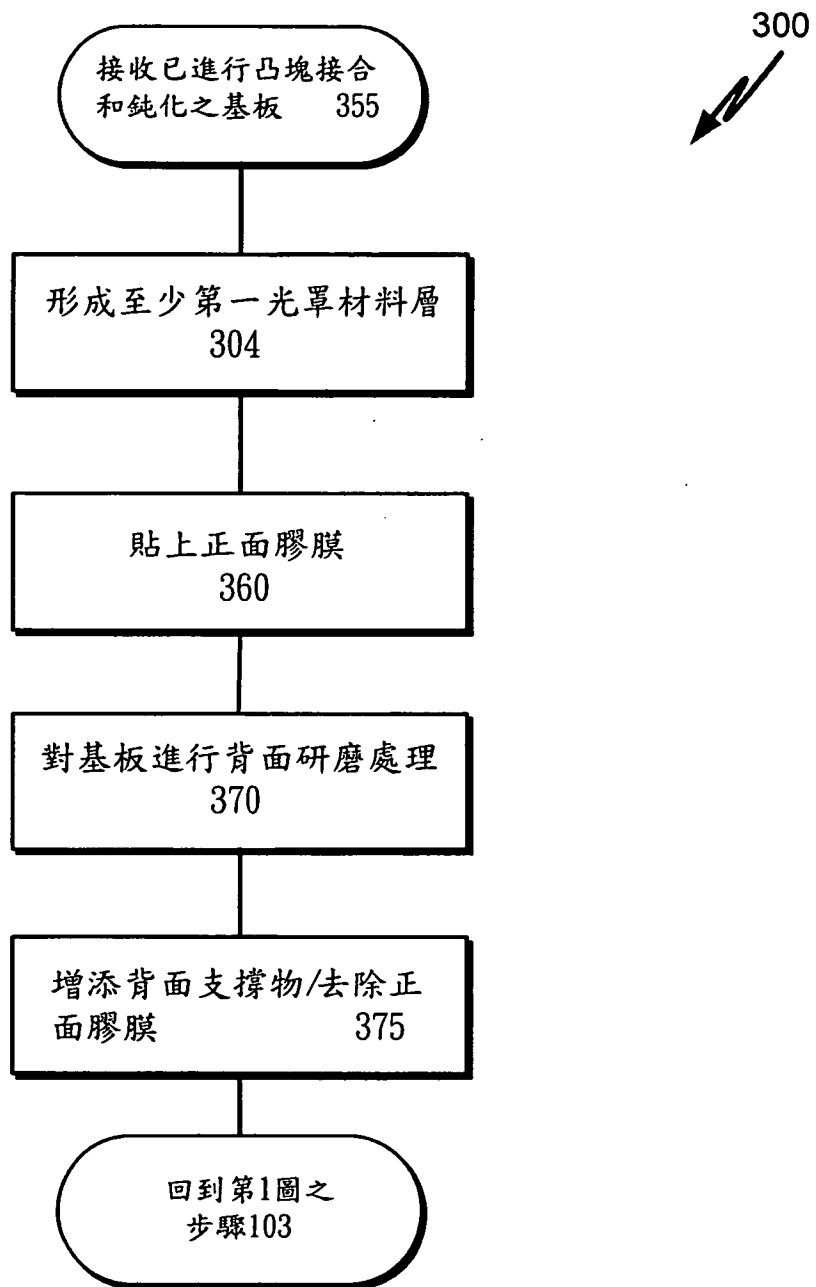
第1圖



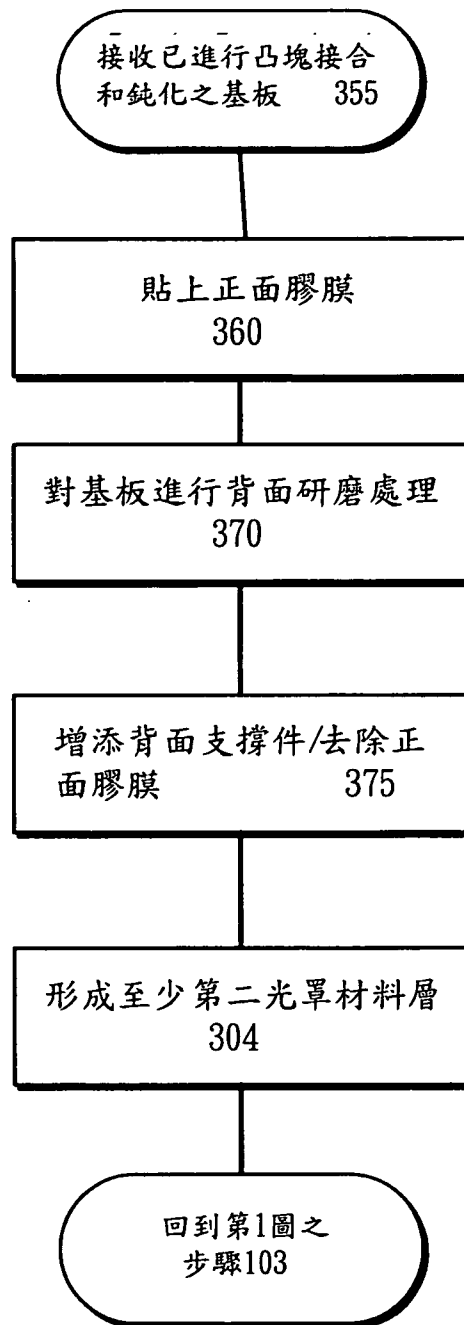
第2A 圖



第2B圖



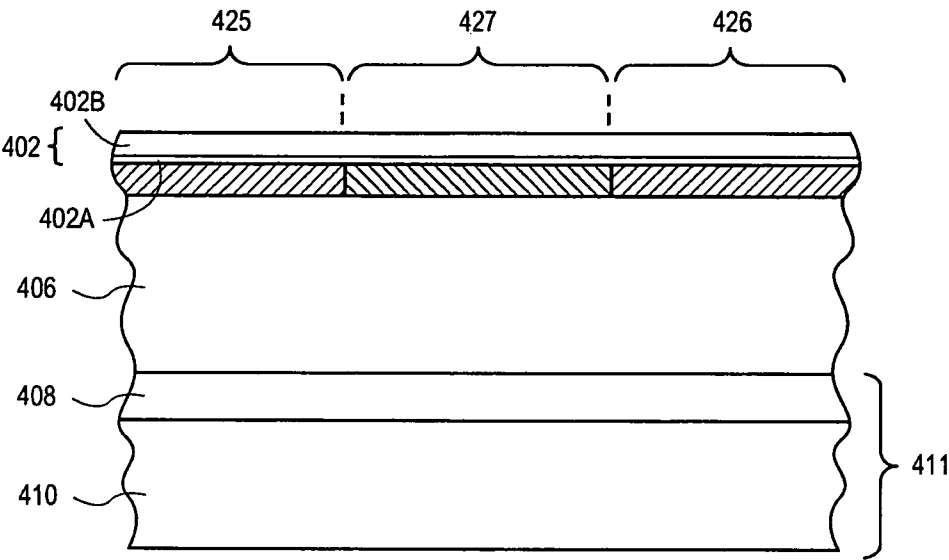
第3A 圖



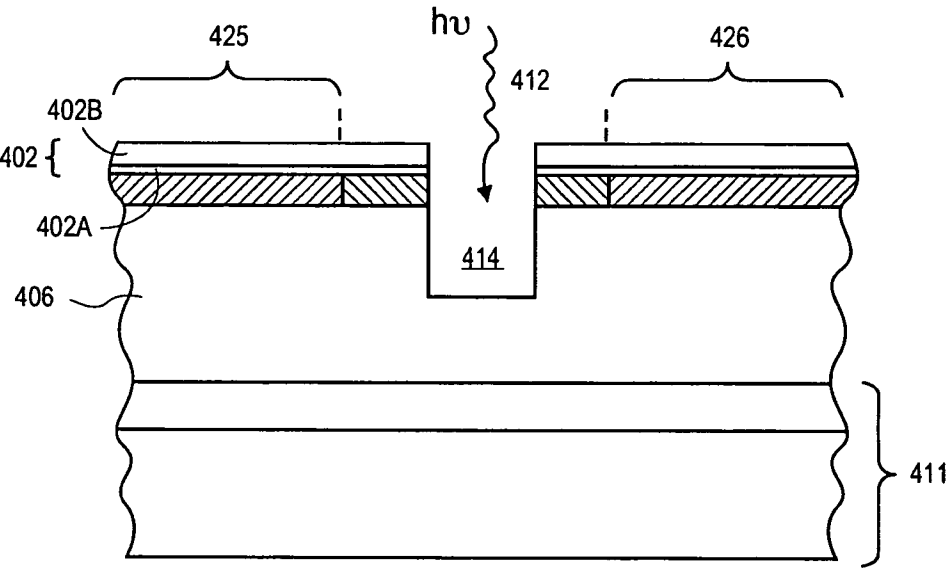
350



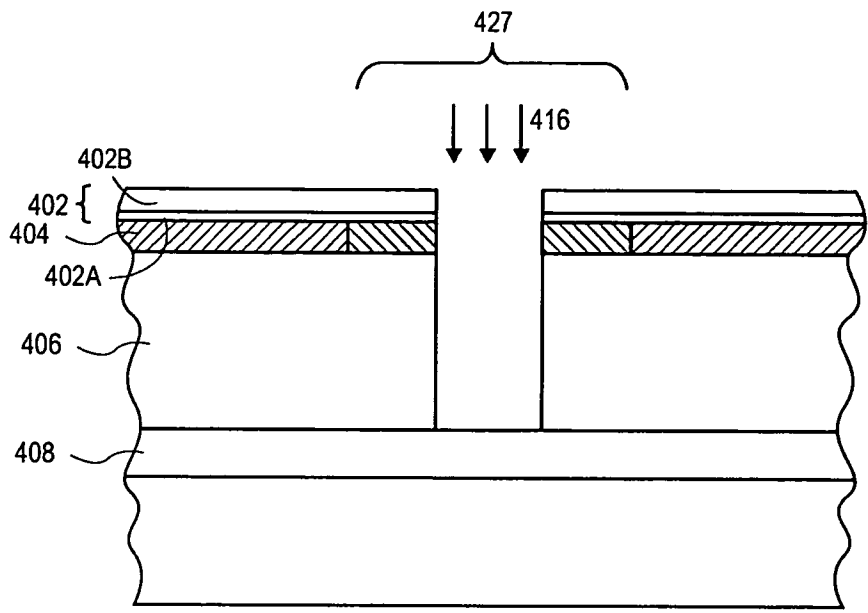
第3B圖



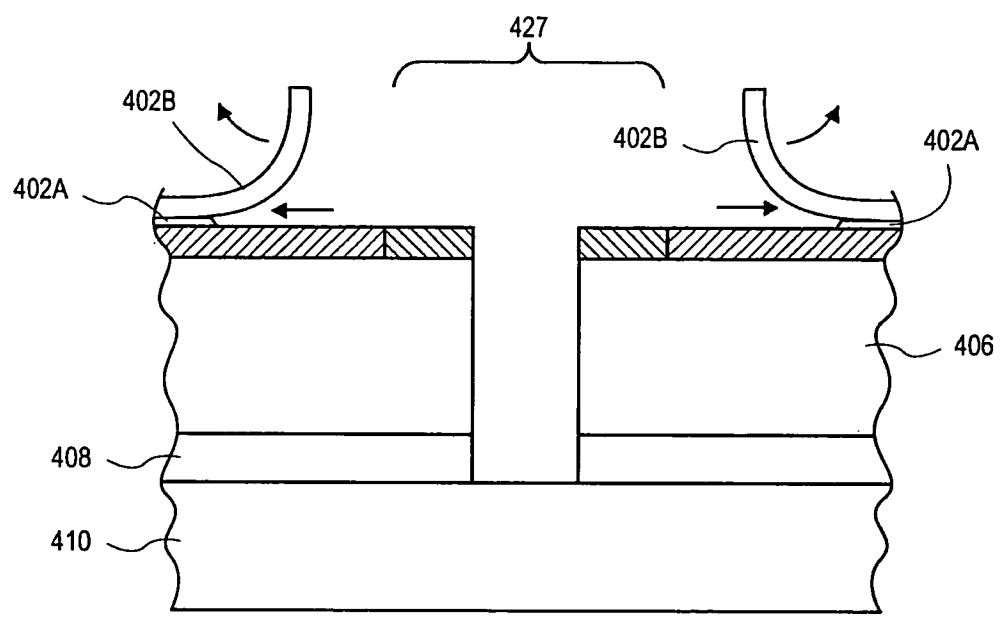
第4A圖



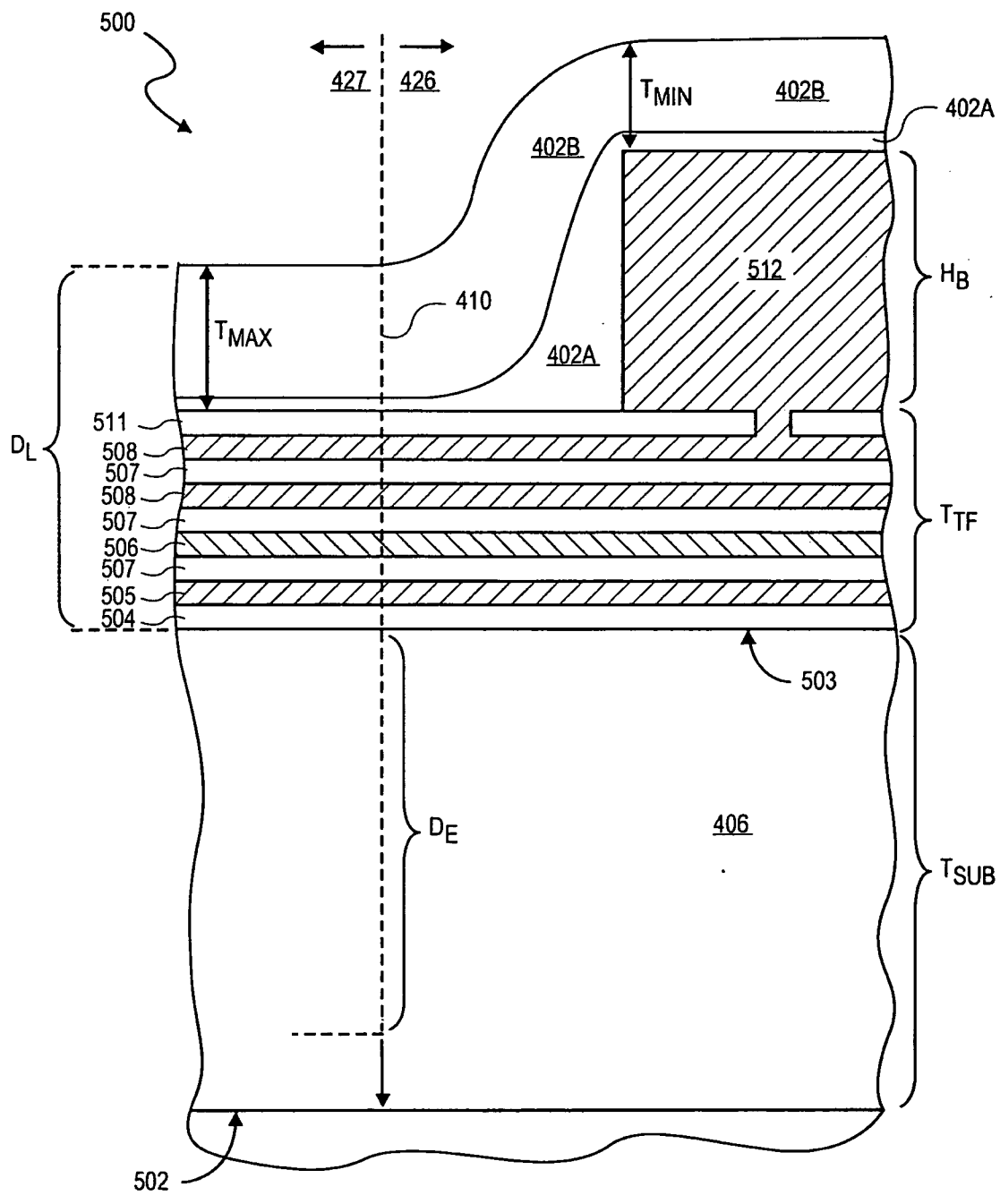
第4B圖



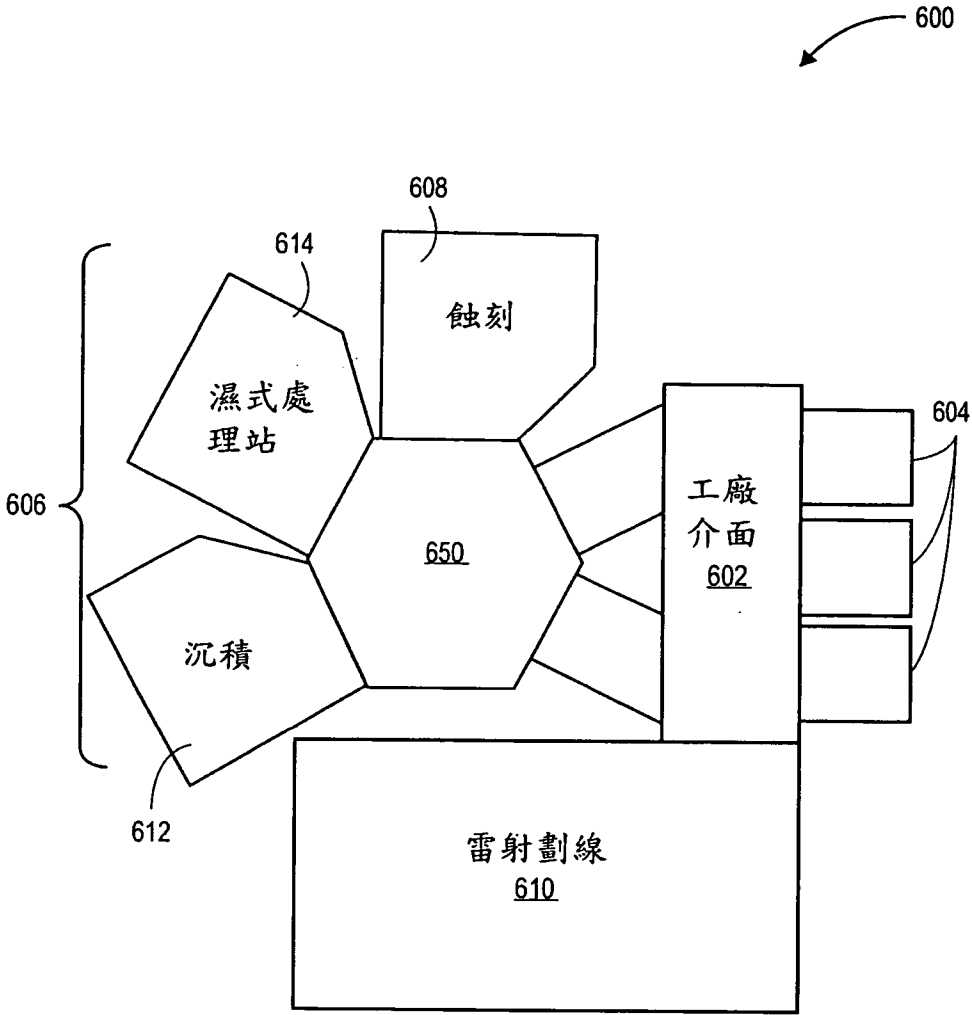
第4C圖



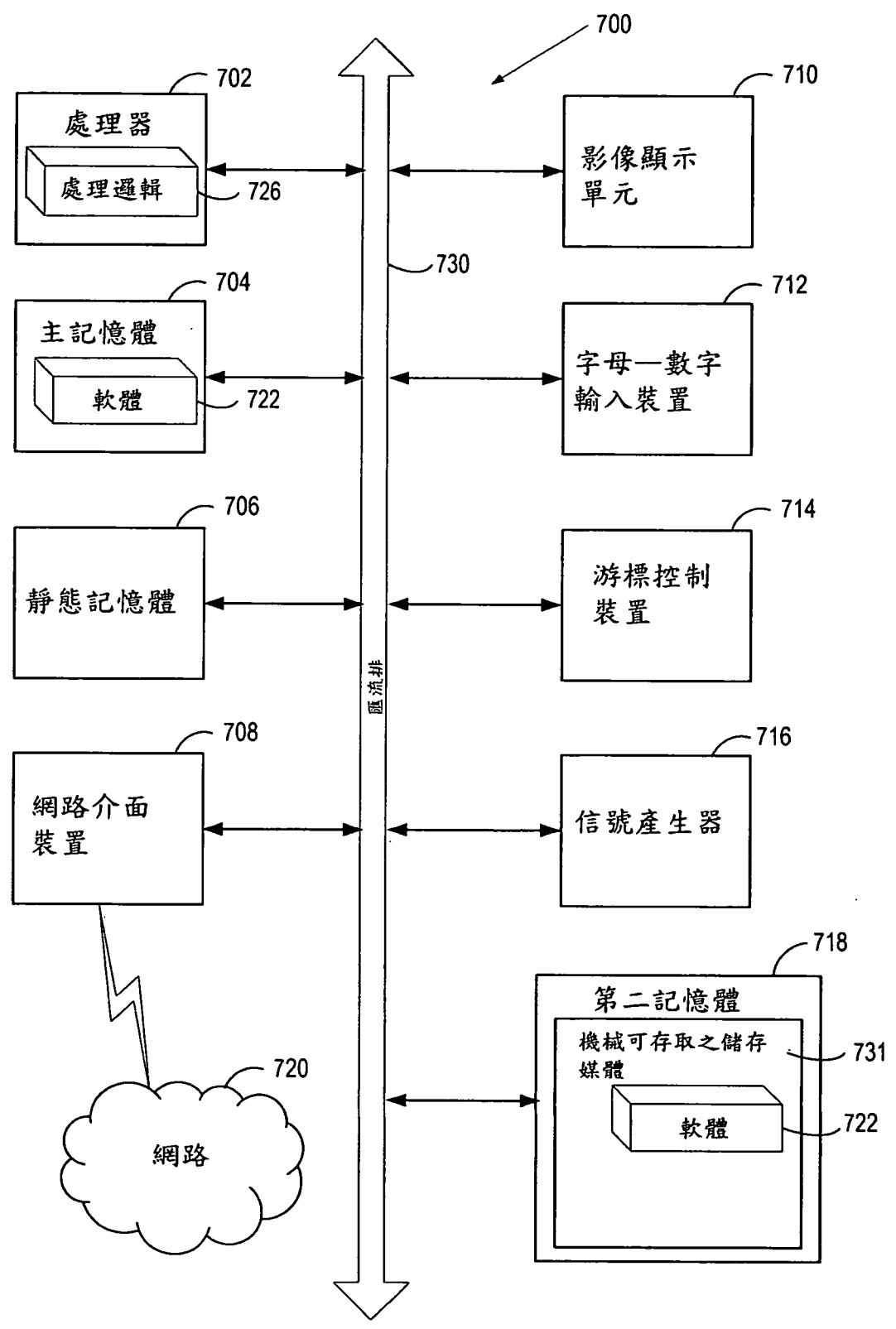
第4D圖



第5圖



第6圖



第7圖