

公告本

申請日期	88.9.15
案 號	88115908
類 別	

A4
C4

442797

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有差動讀出放大器之積體記憶體
	英 文	INTEGRATED MEMORY WITH A DIFFERENTIAL READ-AMPLIFIER
二、發明 人	姓 名	1. 湯瑪士羅爾 (Thomas Rohr) 2. 湯瑪士包曼 (Thomas Bohm) 3. 漢滋郝尼全米德 (Heinz Honigschmid) 4. 喬治布勞恩 (Georg Braun)
	國 籍	1. 德國 2.- 4. 皆屬德國
三、申請人	住、居所	1. 德國阿斯全 D-85609 格澳斯瑞 8 號 2. 德國若尼丁 D-85604 賀爾羅 - 漢瑞奇 - 威格 5 號 3. 德國思塔貝格 D-82319 杉德街 3 號 4. 德國慕尼黑 D-80339 思雷西恩 郝漢 6B 號
	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
三、申請人	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
三、申請人	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

442797

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

德 國 (地 區) 申 請 專 利 , 申 請 日 期 :

案 號 :

☒ 有 ☐ 無主張優先權

1998年9月28日 19844479.6

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係關於一種具有差動讀出放大器之積體記憶體。

積體記憶體(感測放大器)例如在DRAMs和FEAMs(鐵電質RAMs)中用來放大此種由記憶胞中所讀出之資料以及亦用來使資料寫入至記憶胞中。在US 5241503A中描述此種讀出放大器,其是經由位元線對(pair)而與記憶胞相連接,位元線對用來傳送一種差動信號。在記憶胞中之一導電性地與位元線之一相連接且位元線之電位受影響之前,位元線在讀出過程之前須預充電至固定之電位。然後此讀出放大器被驅動,使其將此二條位元線之間的電位差放大且位元線隨後具有相反之邏輯位準。由於在讀出DRAM記憶胞時記憶胞之內容會消失(破壞性讀出),則此種由讀出放大器在讀出時所放大之信號通常是又寫入先前所讀出之記憶胞中。以此種方式又可獲得記憶胞之原來狀態。

在DRAM或FRAM中寫入過程和讀出過程只有微不足道之差別。主要之不同是:在讀出過程時讀出放大器又將所放大之差動信號往記憶體外部發送,而在寫入過程時一種差動信號(其對應於即將寫入之資料)由記憶體外部傳送至讀出放大器。其在此種與其相連接之位元線對上調整一些相對應之電位狀態。在開始讀出或寫入時通常都須以相同之方式(即,相同之步驟)對這些位元線進行預充電,寫入和讀出過程之不同處只在於:在位元線預充電之後由記憶體外部所傳送之資料是否將此種在位元線對(pair)上所產生之差動信號而往外傳送。

五、發明說明(2)

在 DRAM 或 FRAM 中上述寫入和讀出週期之流程所具有之優點是：位元線預充電用之控制方法和使記憶胞導電性地與位元線中之一相連接所用之控制方法在此二種情況中能以相同之方式來進行。因此在傳統具有破壞性讀出過程之記憶體中寫入過程所持續之時間是與讀出過程者相同。

本發明之目的是提供一種積體記憶體，其中可進行快速之寫入過程。

此種目的是以申請專利範圍第 1 項之積體記憶體來達成。本發明有利之其它形式敘述在申請專利範圍各附屬項中。

本發明之積體記憶體具有可寫入之記憶胞。此外，其具有一對位元線，其可使記憶胞與差動讀出放大器相連接，在讀出時即將讀出之資料由記憶胞經由讀出放大器而往記憶體外部傳送而在寫入時即將寫入之資料由記憶體外部經由讀出放大器而傳送至記憶胞。此外，記憶體具有一個控制單元以便在多個步驟中在讀出過程時在記憶胞中之一導電性與位元線中之一相連接之前對這些位元線進行預充電。此控制單元在寫入過程時在讀出放大器將資料傳送至位元線對之前至多只進行這些位元線預充電時在讀出過程中所需各步驟之一部份而已。

由於在寫入過程時位元線之預充電（其在讀出過程時須進行）可完全省略或至少一部份可不需要，則有利之方式是達成一種寫入過程，其進行時所需之時間較進行

五、發明說明(3)

一種讀出過程時還少。本發明之記憶體因此可較傳送記憶體更快速地寫入。

本發明通常可用在具有差動放大器之可寫入之積體記憶體中。

依據另一種形式，記憶胞之內容在讀出時會被破壞，即，其與一種破性之讀出有關。讀出放大器在讀出時使此種在記憶胞導電性地與位元線連接之後在位元線對上可調整之差動信號被放大且將此種差動信號寫回至記憶胞中。

具有破壞性讀出過程之記憶體例如 DRAM 和 FRAM。其中在寫入或讀出時都須進行一種使記憶體之存取被結束之寫入過程而使資料寫入記憶胞中。依據本發明，在寫入過程時至多只進行讀出過程時位元線之預充電所需之步驟中之一部份。寫入過程與讀出過程之不同點因此是預充電之步驟，這些步驟預先發生在此二個過程中須進行之寫入過程之前。

依據本發明之其它形式，在讀出期間在驅動此種讀出放大器之前須讀出各記憶胞之內容，其中記憶胞是導電性地與位元線中之一條相連接。此外，在寫入過程中首先須驅動此讀出放大器，使各記憶胞導電性地與位元線中之一條相連接之前此種即將寫入之資料已存在於位元線對中。

例如在傳送之 DRAMs 或 FRAMs 中進行讀出過程時，則在寫入過程中首先須驅動此種讀出放大器。這樣所具有之

五、發明說明 (3)

優點是：利用此讀出放大器之驅動以及位元線之可能與此種驅動有關之充電作用，則不必等到各記憶胞已導電性地與相對應之位元線相連接時這樣長之時間。為了使資料寫入記憶胞中，則在讀出放大器已被驅動之後，記憶胞與相對應之位元線有短暫之導電性連接即已足夠。

本發明以下將依據圖式來詳述。圖簡單說明如下：

第1圖本發明積體記憶體之實施例。

第2圖在寫入期間以及讀出期間第1圖所示位元線上之信號對時間關係圖。

第1圖是了解本發明時所需之FRAMs元件。此種FRAMs具有一種差動讀出放大器SA，其構成方式可和US 5241503中者相同。此讀出放大器SA使差動資料線對DL，/DL可與差動位元線對BL，/BL相連接。此讀出放大器SA經由資料線對DL，/DL而與記憶體之外部接點相連接（第1圖中未顯示）。此讀出放大器SA經由位元線BL，/BL而與記憶胞MC相連接，第1圖中只顯示一個記憶胞。每一記憶胞都具有一個n-通道型式之選擇電晶體T及一個具有鐵電性介電質之記憶電容器C。此選擇電晶體T和記憶電容器C是配置在位元線BL和平板電位 V_p 之間的串聯電路中。選擇電晶體T之閘極是與字元線WL1相連接。每一條位元線BL，/BL是與多個記憶體MC相連接。選取一個記憶胞是藉由各別之字元線WL1來達成。

此外，每條位元線BL，/BL是與參考記憶胞RC相連接，RC之構造是與記憶胞MC者相同。每一參考記憶胞RC因

五、發明說明 (5)

此同樣具有一個選擇電晶體 T_R 和一個記憶電容器 C_R ，它們之大小是和記憶胞 MC 之電晶體 T 及電容器 C 者相同。參考記憶胞 RC 之選擇電晶體 T_R 之閘極是與參考字元線 WLR 相連接。

讀出放大器 SA 經由第一電晶體 T1 或第二電晶體 T2 而與資料線 DL, /DL 相連接。此二個電晶體 T1, T2 之閘極是與行 (column) 選擇信號 CSL 相連接，此信號 CSL 可依據此種施加至記憶體之行位址而被驅動。讀出放大器 SA 經由第三電晶體 T3 或第四電晶體 T4 而與位元線對 BL, /BL 相連接。此二個電晶體 T3, T4 之閘極是與驅動信號 AKT 相連接。此外，此二條位元線 BL, /BL 經由第五電晶體 T5 而互相連接。T5 之閘極是與一種平衡信號 EQ 相連接。此外，第一位元線 BL 經由第六電晶體 T6 而與接地相連接，T6 之閘極是與第一預充電信號 PRE1 相連接。第二位元線 /BL 是經由第七電晶體 T7 而與接地相連接，T7 之閘極是與第二預充電信號 PRE2 相連接。

此外，第一位元線 BL 和第二位元線 /BL 經由第八 (T8) 和第九 (T9) 電晶體所形成之串聯電路而互相連接。T8, T9 之閘極是與第三預充電 PRE3 相連接。此二個電晶體 T8, T9 之間的連接節點是與預充電電位 V_A 相連接。第 1 圖中這些電晶體 T1 至 T9 都是 n-通道電晶體。

在行 (column) 選擇信號 CSL 被驅動時，則在讀出期間資料由讀出放大器讀出至資料線 DL, /DL，但在寫入時資料由外部經由資料線 DL, /DL 而輸入至讀出放大器中

五、發明說明 (6)

。在傳統之記憶體中讀出和寫入過程之不同只是方向不同而已，其中資料在行選擇信號 CSL 被驅動時會被交換。在本發明中至少另有其它之不同處，這說明在下文中。

記憶體具有一種控制單元 CTR，記憶胞位址 ADR，寫入信號 WE 以及讀出信號 OE 都須傳送至控制單元 CTR，CTR 之輸出端則產生：驅動信號 AKT，平衡信號 EQ，行選擇信號 CSL，第一預充電信號 PRE1，第二預充電信號 PRE2 以及第三預充電信號 PRE3。此外，控制單元 CTR 經由其輸出端而與字元線 WLi 和參考字元線 WLR 相連接。控制單元 CTR 依據所施加之位址 ADR 來驅動行選擇信號 CSL 和字元線 WLi。藉由寫入信號 WE 來起始一種寫入過程且藉由讀出信號 OE 來起始一種讀出過程。依據其是否為讀出或寫入過程，則此控制單元 CTR 以各種不同之方式來控制其輸出信號之大部份。

第 2 圖是寫入過程（圖中之一半部）和讀出過程（右半部）期間此二條位元線 BL，/BL 上之電位之時間關係圖。由第 2 圖可知為了起始此種寫入過程，則此二條位元線 BL，/BL 藉由第二預充電信號 PRE3 而預充電至預充電電位 $V_A = 1.2V$ 。在寫入過程之前，平衡信號 EQ，第一預充電信號 PRE1，第二預充電信號 PRE2 以及參考字元線 WLR 都亦可被驅動，使與這些信號相連接之電晶體不會導通。在目前所考慮之情況中邏輯“0”應寫入第 1 圖中此種與第一位元線 BL 相連接之記憶胞 MC 中。一種相對應之差動資料信號已由記憶體之外部經由資料線 DL，/DL

五、發明說明 (7)

和第一電晶體 T1 或第二電晶體 T2 (其藉由行選擇信號 CSL 而導通) 而傳送至讀出放大器 SA, 其在面向位元線 BL, /BL 之接點上產生一種相對應之差動信號。在時間點 310ns (奈秒) 之後的短時間內第三電晶體 T3 和第四電晶體 T4 藉由驅動信號 AKT 而導通, 使讀出放大器 SA 進一步將即將寫入之差動信號傳送至位元線 BL, /BL。讀出放大器 SA 經由此二個電晶體 T3, T4 而與位元線 BL, /BL 相連接時在此處亦稱為讀出放大器之“驅動”。

由第 2 圖可知由於讀出放大器之驅動所造成之結果使第一位元線 BL 逐漸具有一種 0V 之低位準且第二位元線 /BL 逐漸具有 2.5V 之高位準。在時間點 320ns 之前的短時間內此字元線 WL1 會成為高電位, 使記憶胞 MC 之選擇電晶體 T 導電性地與第一位元線 BL 相連接。由於在此情況下在選擇電晶體 T 開啟之前邏輯“1”已停存在記憶胞 MC 中, 則在時間為 320ns 時第一位元線 BL 之電位曲線中有一短暫之凹陷。由於第一位元線 BL 和與其相連接之記憶電容器 C 之電極之間之電荷平衡關係, 釐邏輯“0”大約在 330ns 時能可靠地儲存在記憶胞 MC 中。

第 2 圖由時間點 400ns 開始所顯示的是在第 1 圖記憶胞 MC 中進行一種讀出過程, 其中如先前所述須事先儲存邏輯“0”。在 410ns 時, 此二條位元線 BL, /BL 首先經由第六電晶體 T6 和第七電晶體 T7 依據第一預充電信號 PRE1 及第二預充電信號 PRE2 而放電至接地電位。在 420ns 時參考記憶胞 RC 經由參考字元線 WLE 而導電性地與位元

五、發明說明(8)

線 BL, /BL 相連接。於是此種與第一位元線 BL 相連接之參考記憶胞 RC 已事先預充電至邏輯 "1" 且此種與第二位元線 /BL 相連接之參考記憶胞 RC 已預充電至邏輯 "0"。因此在時間點 420ns 之後會在此二條位元線 BL, /BL 上產生不同之電位。第一 (PRE1) 及第二預充電信號 (PRE2) 於是又具有低位準, 而在 430ns 時平衡信號 EQ 具有高位準。這樣可使此二條位元線 BL, /BL 上之電荷經由第五電晶體 T5 而達到平衡。在大約 435ns 時, 在此平衡信號 EQ 又具有低位準之後, 第一位元線 BL 放電至接地電位, 其中第一位元線 BL 經由第六電晶體 T6 (其具有高位準之第一預充電信號 PRE1) 而與接地電位相連接。只有在 440ns 時之後的短都時間中記憶胞 MC 才會經由字元線 WL1 而與第一位元線 BL 導電性地相連接, 這樣會由於此種儲存在記憶胞 MC 中之邏輯 "0" 而使第一位元線 BL 之電位只會微不足道地上升。在 450ns 時, 讀出放大器 SA 被驅動, 此時 SA 會經由此種以驅動信號 AKT 來控制之電晶體 T3, T4 而與位元線對 BL, /BL 相連接。此時讀出放大器 SA 會偵測到此二條位元線 BL, /BL 之間電位差之符號且將此種電位差放大, 使得在 450ns 之後的短時間內第一位元線 BL 具有 0V 之低電位且第二位元線 /BL 具有大約 2.5V 之高電位。讀出放大器 SA 然後經由此種以行選擇信號 CSL 來控制之電晶體 T1, T2 而將此種已放大之差動信號發送至資料線 DL, /DL。此外, 在時間點 450ns 之後此選擇電晶體 T 經由其字元線 WL1 而接通, 於是已讀出

五、發明說明 (9)

之邏輯“0”在差動信號被放期間又自動地由讀出放大器SA寫回至記憶胞MC中。在480ns之前的短時間中讀出放大器SA又被去(de)驅動，其中驅動信號AKT具有一種低位準。然後又經由第三預充電信號PRE3而使位元線BL，/BL預充電至預充電電位 V_A 。於是可在這些與位元線BL，/BL相連接之記憶胞MC之一進行一種新的寫入或讀出過程。

由第2圖可知在本實施例中整個寫入過程只持續40ns(奈秒)，而讀出過程持續大約80ns。因此在此種記憶體中寫入過程大約是讀出過程之二倍快。這是以下述方式達成在寫入過程之前此種讀出過程中所進行之位元線之預充電步驟中，直至此二條位元線預充電至預充電電位 V_A 為止之各步驟幾乎可完全省略。可省略之步驟包括：此二條位元線藉由此二個預充電信號PRE1，PRE2而放電至0V，參考記憶胞RC藉由參考字元線WLR而被讀出，位元線BL，/BL間隨後經由平衡信號EQ而進行之電荷平衡，在記憶胞MC導電性地與第一位元線BL相連接之前的短時間內第一位元線BL藉由第一預充電信號PRE1而進行之放電。位元線之上述這些預充電步驟只有在FRAMs進行讀出過程時才需要而在寫入過程時可省略。當然這在寫入過程時需要藉由控制單元CTR來產生此種預充電所需之各種不同之信號。

在傳統之記憶體中，寫入過程所需之時間和讀出過程所需之時間一樣長。由於在傳統之記憶體中記憶體之存

五、發明說明 (10)

取方式之不同點只在於在選擇信號CSL是高位準時此種即將寫入之資訊是否由記憶體外部施加至讀出放大器SA，於是在傳統之記憶體中不會在寫入過程而且在讀出過程中都須以相同之步驟對位元線進行預充電。

由於在本實施例中參考記憶胞RC之讀出只在每一讀出步驟中（但不在寫入步驟中）進行，則此種參考記憶胞之存取次數可有利地較傳統之FRAMs者還少。由於FRAM記憶胞已知可由於記憶胞之存取而老化，則此處所述之記憶體之參考記憶胞之老化過程可變慢。由於每一條位元線BL配屬於許多記憶體MC但只配屬於一個參考記憶胞，於是在傳統之具有許多此種參考記憶胞之FRAMs中在每次讀出時以及每次寫入時都須對此種參考記憶胞進行存取。在本發明之FARM中只在讀出時才對參考記憶胞RC進行存取而在寫入時則不必對RC進行存取。

符號之說明

BL, /BL	位元線
DL, /DL	資料線對
SA	讀出放大器
MC	記憶胞
T, T _R	選擇電晶體
C, C _R	記憶電容器
T1~T9	電晶體
WL1, WL _i	字元線
WLR	參考字元線
RC	參考記憶胞
CTR	控制單元

（請先閱讀背面之注意事項再填寫本頁）

訂

線

四、中文發明摘要(發明之名稱：具有差動讀出放大器之積體記憶體)

此記憶體具有可寫入之記憶胞(MC)，另具有位元線對(BL, /BL)。位元線對(BL, /BL)使記憶胞(MC)能與差動讀出放大器(SA)相連接。控制單元(CTR)在讀出過程時在記憶胞(MC)中之一導電性地與位元線(BL)中之一相連接之前用來在許多步驟中對這些位元線進行預充電。控制單元(CTR)在寫入過程中至多是在讀出放大器使資料傳送至位元線對(BL, /BL)之前進行位元線預充電時在讀出過程中所需各步驟之一部份。

英文發明摘要(發明之名稱：

INTEGRATED MEMORY WITH A
DIFFERENTIAL READ-AMPLIFIER

The memory has some writable memory-cells (MC) and a bit-pair (BL, /BL), which can connect the memory-cells (MC) with a differential read-amplifier (SA). A control-unit (CTR) is used to pre-charge the bit-lines in several steps, before in a read-access one of the memory-cells (MC) is conductively connected with one of the bit-lines (BL). The control-unit (CTR) performs in a write-access at most a part of the steps, which are required for the read-access, of the pre-charge of the bit-lines, before the read-amplifier transmits the data to the bit-line-pair (BL, /BL).

六、申請專利範圍

1. 一種積體記憶體，其特徵為：

- 具有可寫入之記憶胞 (MC)，
- 具有一對 (pair) 位元線 (BL, /BL)，其將記憶胞 (MC) 與差動讀出放大器 (SA) 相連接，在讀出過程時即將讀出之資料由記憶胞經由讀出放大器 (SA) 而往記憶體外部傳送而在寫入過程時即將寫入之資料由記憶體外部經由讀出放大器 (SA) 而傳送至記憶胞，
- 具有一個控制單元 (CTR)，在讀出過程時在記憶胞 (MC) 中之一個導電性地與位元線 (BL) 中之一條相連接之前此控制單元 (CTR) 是用來在多個步驟中對此位元線 (BL, /BL) 進行預充電，
- 在寫入過程時此控制單元 (CTR) 至多是在讀出放大器 (SA) 使資料傳送至位元線對 (BL, /BL) 之前進行此位元線 (BL, /BL) 預充電時在讀出過程中所需之各步驟之一部份。

2. 如申請專利範圍第 1 項之積體記憶體，其中

- 記憶胞之內容在讀出時會被破壞，
- 在讀出過程時在記憶胞 (MC) 導電性地與位元線 (BL) 相連接之後此讀出放大器 (SA) 將此位元線 (BL, /BL) 上之可調整之差動信號放大且寫回至記憶胞外。

3. 如申請專利範圍第 1 項之積體記憶體，其中此控制單元 (CTR) 在讀出過程中為了對此位元線 (BL, /BL) 進行預充電須將此二條位元線 (BL, /BL) 預充電至一種共同之電位，此種預充電在寫入過程中不必進行。

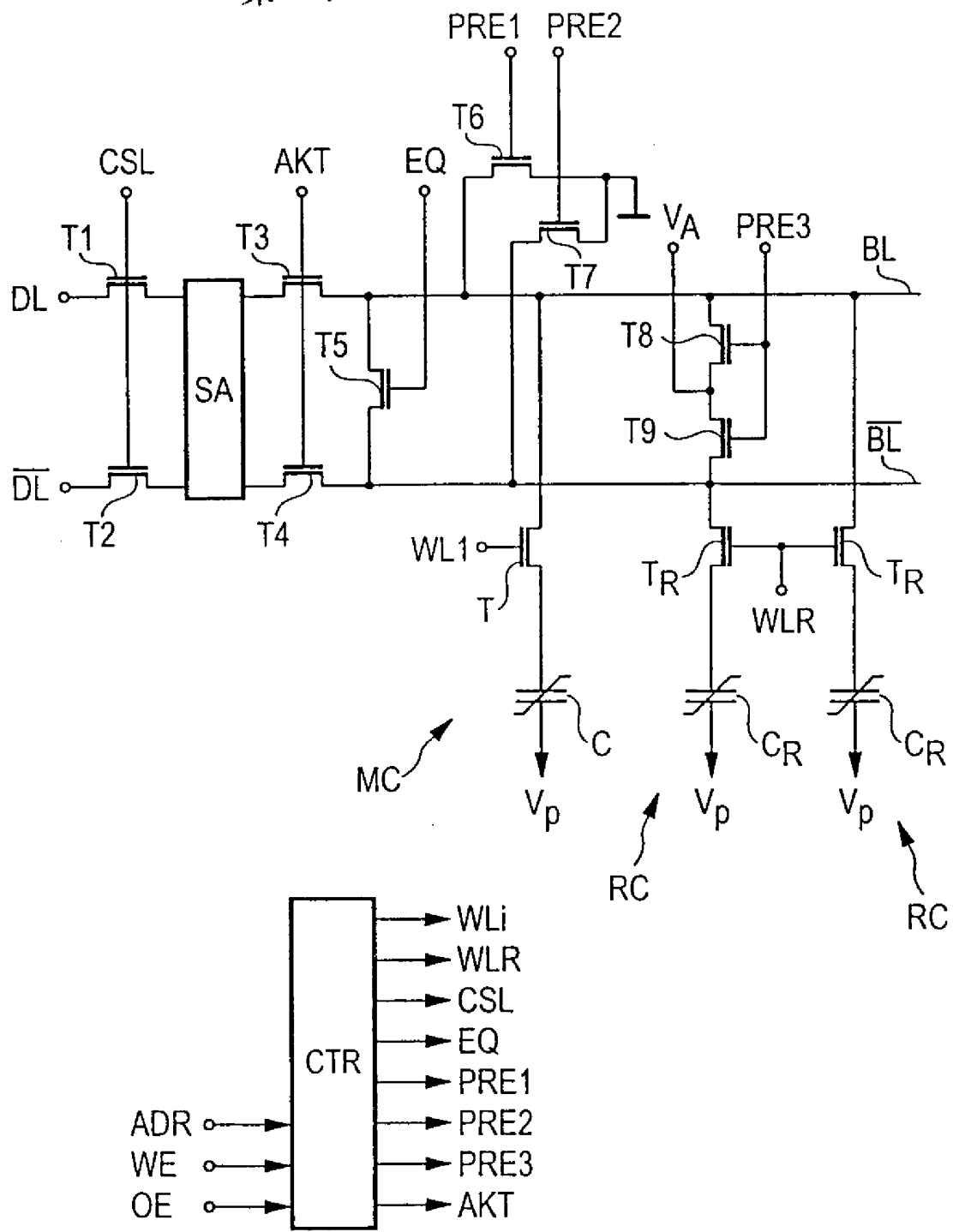
六、申請專利範圍

4. 如申請專利範圍前條項中任一項之積體記憶體，其中此控制單元(CTR)在讀出過程時為了對此位元線(BL, /BL)進行預充電須將參考記憶胞(RC)之內容讀出至位元線(BL, /BL)且隨後在位元線之間進行一種電荷平衡過程，其中在寫入過程時不須此二個過程。
5. 如申請專利範圍第4項之積體記憶體，其中控制單元(CTR)在讀出過程時為了對此位元線(BL, /BL)進行預充電對此一與即將讀出之記憶胞(MC)相連接之位元線(BL)進行一種放電過程，此種放電過程在時間上緊接於位元線(BL, /BL)之間的電荷平衡過程之後且在寫入過程時是不必進行此步驟。
6. 如申請專利範圍前條項中任一項之積體記憶體，其中
- 在讀出過程中在驅動此讀出放大器(SA)之前須讀出相關之記憶胞(MC)之內容，此相關之記憶胞(MC)是導電性地與位元線(BL, /BL)中之一相連接，
 - 在寫入過程中首先驅動讀出放大器(SA)，使即將寫入之之資料在相關之記憶胞(MC)導電性地與一條位元線(BL)相連接之前即已存在於位元線對(BL, /BL)中。

(請先閱讀背面之注意事項再填寫本頁)

訂線

第 1 圖



第2圖

