

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 17 日 (17.03.2022)



(10) 国际公布号
WO 2022/052681 A1

- (51) 国际专利分类号:
H01L 27/32 (2006.01) *G02F 1/13* (2006.01)
H01L 27/12 (2006.01) *G06F 3/041* (2006.01)
- (21) 国际申请号: PCT/CN2021/110548
- (22) 国际申请日: 2021 年 8 月 4 日 (04.08.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010950350.X 2020 年 9 月 10 日 (10.09.2020) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司 (CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川

省成都市高新区 (西区) 合作路 1188
号, Sichuan 611731 (CN)。

- (72) 发明人: 程博 (CHENG, Bo); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。苟结 (GOU, Jie); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。都蒙蒙 (DU, Mengmeng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。颜俊 (YAN, Jun); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张波 (ZHANG, Bo); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。杨益祥 (YANG, Yixiang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张振华 (ZHANG, Zhenhua); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。马宏伟 (MA, Hongwei); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(54) Title: DISPLAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 显示基板及其制造方法和显示装置

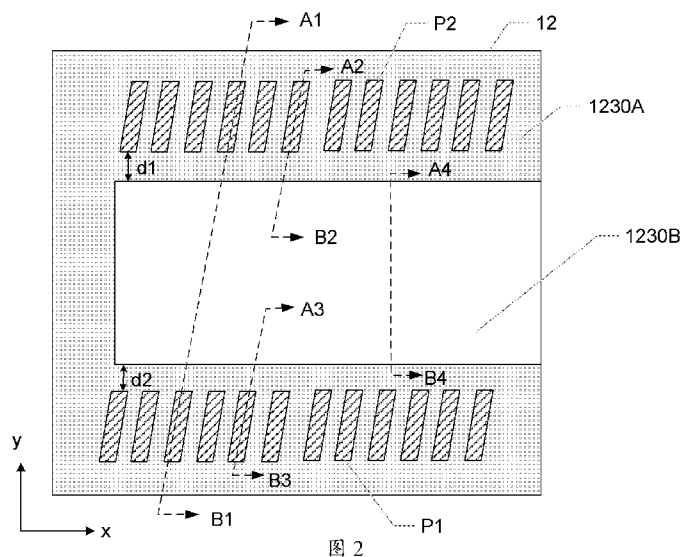


图 2

(57) Abstract: Provided are a display substrate and a manufacturing method therefor, and a display apparatus. The display substrate comprises: a base substrate, a plurality of sub-pixels, a gate drive circuit, a plurality of input contact pads, a plurality of output contact pads, and a contact pad insulation layer, wherein surfaces of the plurality of input contact pads and the plurality of output contact pads that face away from the base substrate are exposed from the contact pad insulation layer; the contact pad insulation layer comprises first parts having a first thickness and a second part having a second thickness; the second thickness is less than the first thickness; edges of the plurality of input contact pads and the plurality of output contact pads are covered by the first parts of the contact pad insulation layer; and the second part of the contact pad insulation layer is located in a region between the plurality of input contact pads and the plurality of output contact pads.



WO 2022/052681 A1

(74) 代理人: 中科专利商标代理有限公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-312 室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(57) 摘要: 本公开提供了一种显示基板及其制造方法和显示装置。所述显示基板包括: 衬底基板、多个子像素、栅极驱动电路、多个输入接触垫、多个输出接触垫和接触垫绝缘层, 所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露, 其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分, 所述第二厚度小于所述第一厚度, 所述多个输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖, 所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

显示基板及其制造方法和显示装置

本申请要求于2020年9月10日提交的、申请号为202010950350.X的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，具体涉及一种显示基板及其制造方法和显示装置。

背景技术

通常，显示基板中用于与驱动芯片连接的引脚被设计为多层结构，以使引脚垫高，增大与驱动芯片上对应引脚的粘结力。在制作过程中会在引脚上覆盖有机层，然后去除引脚表面的有机层以使引脚外露。但是传统显示基板在进行高温高湿信赖性测试时，驱动芯片IC容易脱落。

发明内容

本公开实施例提供了一种显示基板，包括：

衬底基板，包括显示区、位于所述显示区至少一侧的邦定区和位于所述显示区至少另一侧的侧边区；

多个子像素，位于所述显示区中；

栅极驱动电路，位于所述侧边区，所述栅极驱动电路与所述多个子像素连接，并且被配置为向所述多个子像素提供栅极驱动信号；

多个输入接触垫，位于所述邦定区，用于与外部电路电连接；

多个输出接触垫，位于所述邦定区，且位于所述多个输入接触垫与所述显示区之间，所述多个输出接触垫与所述多个子像素和所述栅极驱动电路电连接；

接触垫绝缘层，位于所述邦定区，且位于所述多个输入接触垫中相邻输入接触垫之间的间隙、所述多个输出接触垫中相邻输出接触垫之间的间隙、以及所述多个输入接触垫与所述多个输出接触垫之间的区域，所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露，其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分，所述第二厚度小于所述第一厚度，所述多

个输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

例如，所述显示基板还包括：多个第一虚拟接触垫，位于所述邦定区，且位于所述多个输入接触垫与所述多个输出接触垫之间的区域中，其中，

所述多个第一虚拟接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述多个第一虚拟接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述接触垫绝缘层的第二部分包括第一子部分和第二子部分，所述第一子部分位于所述多个第一虚拟接触垫与所述多个输入接触垫之间的区域，所述第二子部分位于所述多个第一虚拟接触垫与所述多个输出接触垫之间的区域。

例如，所述显示基板还包括：多个阵列测试接触垫，位于所述邦定区，且位于所述多个第一虚拟接触垫与所述多个输入接触垫之间的区域中，所述多个阵列测试接触垫与所述多个子像素和所述栅极驱动电路电连接，其中，

所述接触垫绝缘层的第一部分包括第一子部分和第二子部分，所述多个输入接触垫的边缘、所述多个输出接触垫的边缘和所述第一虚拟接触垫的边缘被所述接触垫绝缘层的第一部分的第一子部分覆盖，所述多个阵列测试接触垫的边缘被所述接触垫绝缘层的第一部分的第二子部分覆盖，所述多个阵列测试接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述接触垫绝缘层的第一部分的第二子部分在所述衬底基板上的投影位于所述接触垫绝缘层的第二部分的第一子部分在所述衬底基板的投影之内。

例如，所述多个输入接触垫和所述多个输出接触垫中的每一个在所述衬底基板上的投影与所述接触垫绝缘层的第二部分在所述衬底基板的投影之间的间距在 3 微米至 100 微米的范围内。

例如，所述第二厚度为 0。

例如，所述多个输入接触垫沿第一方向排列成至少第一行，所述第一方向为所述显示区的面向所述邦定区的侧边的延伸方向；

所述多个输出接触垫沿第一方向排列成至少第二行；

所述多个第一虚拟接触垫沿第一方向排列成至少第三行；

所述多个阵列测试接触垫沿第一方向排列成至少第四行。

例如，所述显示基板还包括：多个第二虚拟接触垫，位于所述邦定区，沿垂直于所

述第一方向的第二方向排列成至少第一列和第二列，其中第一列和第二列分别位于所述多个第一虚拟接触垫在第一方向上的两侧，其中，

所述多个第二虚拟接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述多个第二虚拟接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述多个第二虚拟接触垫中的每一个在所述衬底基板上的投影与所述接触垫绝缘层的第二部分在所述衬底基板的投影之间的间距在3微米至100微米的范围内。

例如，所述多个输入接触垫和所述多个输出接触垫中的至少一个包括：

第一引线连接部，位于所述衬底基板上，其中输入接触垫的第一引线连接部通过设置在所述邦定区的第一引线与用于连接到外部电路的连接接触垫电连接，输出接触垫的第一引线连接部通过设置在所述邦定区的第二引线与所述栅极驱动电路或者与所述多个子像素中的至少一个电连接；

第一导体部，位于所述第一引线连接部背离所述衬底基板的一侧，与所述第一引线连接部电连接；

第二导体部，位于所述第一导体部背离所述衬底基板的一侧，与所述第一导体部电连接，所述第二导体部的边缘被所述接触垫绝缘层的第一部分覆盖。

例如，所述显示基板还包括：

邦定区第一栅绝缘层，位于所述邦定区，覆盖所述衬底基板，所述第一引线连接部位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧；

邦定区第二栅绝缘层，位于所述邦定区，位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧并且覆盖所述第一引线连接部；

邦定区层间绝缘层，位于所述邦定区，且位于所述邦定区第二栅绝缘层背离所述衬底基板的一侧，所述第一导体部通过设置在所述邦定区第二栅绝缘层中的过孔和设置在所述邦定区层间绝缘层中的过孔与所述第一引线连接部电连接；

邦定区钝化层，位于邦定区，位于所述邦定区层间绝缘层背离所述衬底基板的一侧并且覆盖所述第一导体部，所述第二导体部通过设置在所述邦定区钝化层中的过孔与所述第一导体部电连接。

例如，所述邦定区钝化层位于所述接触垫绝缘层的第二部分与所述邦定区第二栅绝缘层之间的部分厚度大于或等于0。

例如，显示基板还包括：

邦定区第一栅绝缘层，位于所述邦定区，覆盖所述衬底基板，所述第一引线连接部

位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧；

邦定区第二栅绝缘层，位于所述邦定区，位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧并且覆盖所述第一引线连接部；

邦定区层间绝缘层，位于所述邦定区，且位于所述邦定区第二栅绝缘层背离所述衬底基板的一侧，所述第一导体部通过设置在所述邦定区第二栅绝缘层中的过孔和设置在所述邦定区层间绝缘层中的过孔与所述第一引线连接部电连接，所述第二导体部位于所述第一导体部背离所述衬底基板的一侧并且覆盖所述第一导体部。

例如，所述多个输入接触垫和所述多个输出接触垫中的所述至少一个还包括：

第三导体部，位于所述第二导体部背离所述衬底基板的一侧，与所述第二导体部电连接。

例如，所述显示基板还包括：

邦定区阻挡层，位于所述邦定区，覆盖所述第二导体层和所述接触垫绝缘层的第一部分，

邦定区无机层，位于所述邦定区，覆盖所述邦定区阻挡层，所述第三导体部通过设置在所述邦定区阻挡层中的过孔和设置在所述邦定区无机层中的过孔与所述第二导体部电连接。

例如，所述多个第一虚拟接触垫中的至少一个包括第四导体部，所述第四导体部位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧，所述第四导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第四导体部与所述第二导体部同层设置。

例如，所述多个第一虚拟接触垫中的至少一个还包括第五导体部，所述第五导体部位于所述第四导体部与所述衬底基板之间并且与所述第四导体部电连接，所述第五导体部与所述第一导体部同层设置。

例如，所述多个阵列测试接触垫中的至少一个包括：

第二引线连接部，位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧；

第六导体部，位于所述第二引线连接部背离所述衬底基板的一侧，与所述第二引线连接部电连接；

第七导体部，位于所述第六导体部背离所述衬底基板的一侧，与所述第六导体部电

连接，所述第七导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第二引线连接部、所述第六导体部和所述第七导体部分别与所述第一引线连接部、所述第一导体部和所述第二导体部同层设置。

例如，所述多个第二虚拟接触垫中的至少一个包括第八导体部，所述第八导体部位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧，所述第八导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第八导体部与所述第二导体部同层设置。

例如，所述多个第二虚拟接触垫中的至少一个还包括第九导体部，所述第九导体部位于所述第八导体部与所述衬底基板之间并且与所述第八导体部电连接，所述第九导体部与所述第一导体部同层设置。

例如，所述多个子像素中至少一个包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，

所述第一平坦化层在所述像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面；

所述第一转接电极在所述第一平坦化表面上，且通过设置在所述第一平坦化层中的过孔与所述像素驱动电路电连接；

所述第二平坦化层在所述第一转接电极远离所述衬底基板的一侧以提供第二平坦化表面；

所述发光元件在所述第二平坦化表面上且通过设置在所述第二平坦化层中的过孔与所述第一转接电极电连接；

其中，所述接触垫绝缘层与所述第二平坦化层同层设置。

例如，所述像素驱动电路包括薄膜晶体管，所述薄膜晶体管包括栅极、源极和漏极，所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，其中，

所述第一引线连接部与所述栅极同层设置；

所述第一导体部与所述源极和漏极同层设置，

所述第二导体部与所述第一转接电极同层设置。

例如，所述显示基板还包括显示区钝化层，所述显示区钝化层位于所述像素驱动电

路和所述第一平坦化层之间，所述像素驱动电路和所述第一转接电极还通过设置在所述显示区钝化层中的过孔电连接；

所述显示基板还包括邦定区钝化层，所述邦定区钝化层和所述显示区钝化层同层设置。

例如，所述显示基板还包括位于显示区的封装层、显示区阻挡层、第一触控电极层、第二触控电极层和触控绝缘层，所述封装层位于所述发光元件的远离所述衬底基板的一侧，所述显示区阻挡层位于所述封装层的远离所述衬底基板的一侧，所述第一触控电极层位于所述显示区阻挡层背离所述衬底基板的一侧，所述触控绝缘层位于所述第一触控电极层背离所述衬底基板的一侧并且覆盖所述第一触控电极层，所述第二触控电极层位于所述触控绝缘层背离所述衬底基板的一侧；

所述显示基板还包括位于邦定区的邦定区阻挡层和邦定区无机层，所述多个输入接触垫和所述多个输出接触垫中的至少一个还包括第三导体部，所述邦定区阻挡层、所述邦定区无机层和所述第三导体部分别与所述显示区阻挡层、所述触控绝缘层和所述第二触控电极层位于同层。

例如，所述多个子像素中至少一个还包括显示区层间绝缘层、显示区第一栅绝缘层以及显示区第二栅绝缘层，所述显示区层间绝缘层位于所述栅极与所述源极和所述漏极之间，所述显示区第一栅绝缘层位于所述显示区层间绝缘层面向所述衬底基板的一侧，所述显示区第二栅绝缘层位于所述显示区层间绝缘层与所述显示区第一栅绝缘层之间；

所述显示基板还包括邦定区层间绝缘层、邦定区第一栅绝缘层和所述邦定区第二栅绝缘层，所述邦定区层间绝缘层、所述邦定区第一栅绝缘层和所述邦定区第二栅绝缘层分别与所述显示区层间绝缘层、所述显示区第一栅绝缘层和所述显示区第二栅绝缘层同层设置。

例如，所述多个子像素中至少一个还包括存储电容器，所述存储电容器的第一极与所述栅极同层设置，所述存储电容器的第二极设置在所述显示区层间绝缘层与所述显示区第二栅绝缘层之间。

例如，所述衬底基板包括：

第一柔性层，

第二柔性层，位于所述第一柔性层面向所述多个输入接触垫和所述多个输出接触垫的一侧；

第一衬底阻挡层，位于所述第一柔性层和所述第二柔性层之间；

第二衬底阻挡层，位于所述第二柔性层背离所述第一柔性层的一侧；

缓冲层，位于所述第二衬底阻挡层背离所述第一柔性层的一侧。

本公开的实施例还提供了一种显示装置，包括上述显示基板。

本公开的实施例还提供了一种制造上述显示基板的方法，包括：

提供衬底基板，所述衬底基板包括显示区、位于所述显示区至少一侧的邦定区和位于所述显示区至少另一侧的侧边区；

在所述显示区中形成多个子像素；

在所述侧边区形成栅极驱动电路，所述栅极驱动电路与所述多个子像素连接，并且被配置为向所述多个子像素提供栅极驱动信号；

在所述邦定区形成用于与外部电路电连接的多个输入接触垫；

在所述邦定区中形成多个输出接触垫，所述多个输出接触垫位于所述多个输入接触垫与所述显示区之间，所述多个输出接触垫与所述多个子像素和所述栅极驱动电路电连接；

在所述邦定区形成接触垫绝缘层，所述接触垫绝缘层位于所述多个输入接触垫中相邻输入接触垫之间的间隙、所述多个输出接触垫中相邻输出接触垫之间的间隙、以及所述多个输入接触垫与所述多个输出接触垫之间的区域，所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露，其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分，所述第二厚度小于所述第一厚度，所述多个输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

附图说明

图 1A 示出了根据本公开实施例的显示基板的示意图。

图 1B 示出了图 1A 的显示基板的显示区的示意图。

图 2 示出了根据本公开实施例的显示基板的邦定区的局部平面图。

图 3 示出了图 2 的显示基板沿 A1-B1 的截面的示意图。

图 4A 示出了图 2 的显示基板的一个示例沿 A2-B2 的截面图。

图 4B 示出了图 2 的显示基板的一个示例沿 A3-B3 的截面图。

图 4C 示出了图 2 的显示基板的一个示例沿 A4-B4 的截面图。

图 5 示出了根据本公开一实施例的显示基板的显示区的截面图。

图 6A 和图 6B 分别示出了图 2 的显示基板的另一个示例沿 A2-B2 和沿 A3-B3 的截面图。

图 7A 和图 7B 分别示出了图 2 的显示基板的又一个示例在邦定区沿 A2-B2 和沿 A3-B3 的截面图。

图 8A 和图 8B 分别示出了图 2 的显示基板的再一个示例在邦定区沿 A2-B2 和沿 A3-B3 的截面图。

图 9 示出了根据本公开另一实施例的显示基板的显示区的截面图。

图 10 示出了根据本公开另一实施例的显示基板的邦定区的局部平面图。

图 11 示出了图 10 的显示基板沿 C1-D1 的截面的示意图。

图 12A 示出了图 11 的显示基板的一个示例沿 C2-D2 的截面图。

图 12B 示出了图 11 的显示基板的另一个示例沿 C2-D2 的截面图。

图 12C 示出了图 11 的显示基板的又一个示例沿 C2-D2 的截面图。

图 13 示出了根据本公开又一实施例的显示基板的邦定区的局部平面图。

图 14 示出了图 13 的显示基板沿 E1-F1 的截面的示意图。

图 15A 示出了图 13 的显示基板的一个示例沿 E2-F2 的截面图。

图 15B 示出了图 13 的显示基板的一个示例沿 E3-F3 的截面图。

图 15C 示出了图 13 的显示基板的另一个示例沿 E3-F3 的截面图。

图 15D 示出了图 13 的显示基板的又一个示例沿 E3-F3 的截面图。

图 16A 示出了根据本公开另一实施例的显示基板的显示区的截面图。

图 16B 示出了图 16A 的显示基板的邦定区的截面图。

图 17A 至图 17G 示出了根据本公开实施例的显示基板的制造过程的示意图。

具体实施方式

虽然将参照含有本公开的较佳实施例的附图充分描述本公开，但在此描述之前应了解本领域的普通技术人员可修改本文中所描述的公开，同时获得本公开的技术效果。因此，须了解以上的描述对本领域的普通技术人员而言为一广泛的揭示，且其内容不在于限制本公开所描述的示例性实施例。

另外，在下面的详细描述中，为便于解释，阐述了许多具体的细节以提供对本披露实施例的全面理解。然而明显地，一个或多个实施例在没有这些具体细节的情况下也可

以被实施。在其他情况下，公知的结构和装置以图示的方式体现以简化附图。

图 1A 示出了根据本公开实施例的显示基板的示意图。图 1B 示出了图 1A 的显示基板的显示区的示意图。

如图 1A 和图 1B 所示，显示基板包括衬底基板 10，衬底基板 10 包括显示区 11、位于显示区 11 至少一侧的邦定区 12 和位于显示区至少另一侧的侧边区 13。在图 1A 中，邦定区 12 沿 y 方向位于显示区 11 的一侧，侧边区 13 沿 x 方向位于显示区 11 的两侧。显示区 11 中设有多个子像素 P_{ix} 。多个子像素 P_{ix} 可以布置成阵列的形式。在图 1B 中，x 表示子像素阵列的行方向，y 表示子像素阵列的列方向。显示区 11 还设有栅极线 G1 至 GN 以及多条数据线 D1 至 DM，每条栅极线 G1 至 GN 与至少一行子像素 P_{ix} 连接，以向该行子像素 P_{ix} 提供栅极驱动信号，每条数据线 D1 至 DM 与至少一列子像素 P_{ix} 连接以向该列子像素 P_{ix} 提供数据信号。每个子像素 P_{ix} 可以在与之连接的栅极线上的栅极驱动信号的控制下开启，开启的子像素 P_{ix} 可以在与之连接的数据线上的数据信号的驱动下发光。

栅极驱动电路 130 位于侧边区 13，在图 1A 中栅极驱动电路 130 有两个，分别位于显示区 11 两侧的侧边区 13。栅极驱动电路 130 与所述多个子像素 P_{ix} 连接。在图 1A 和图 1B 中，栅极驱动电路 130 通过多条栅极线 G1 至 GN 连接至多行子像素 P_{ix} ，以分别向各行子像素 P_{ix} 提供栅极驱动信号。如图 1A 所示，栅极驱动电路 130 还连接各种驱动控制信号线，例如用于提供第一时钟信号的第一时钟信号线 CK1、用于提供第二时钟信号的第二时钟信号线 CK2 以及用于提供启动信号的启动信号线 STV。栅极驱动电路 130 可以包括多级级联的移位寄存器 GOA0 至 GOAN，各级移位寄存器 GOA0 至 GOAN 连接相应的驱动控制信号线，以在驱动控制信号的控制下产生栅极驱动信号并提供至显示区 11 的子像素 P_{ix} 。

多个输入接触垫 P1 和多个输出接触垫 P2 位于邦定区 12，所述多个输出接触垫 P2 位于所述多个输入接触垫 P1 与显示区 11 之间。在图 1A 中，所述多个输入接触垫 P1 沿第一方向排列成至少第一行，所述第一方向为所述显示区 11 的面向所述邦定区 12 的侧边的延伸方向，即 x 方向。所述多个输出接触垫 P2 沿第一方向排列成至少第二行。

所述多个输入接触垫 P1 用于与外部电路电连接，所述多个输出接触垫 P2 与显示区 11 中的子像素 P_{ix} 和栅极驱动电路 130 电连接。例如多个输入接触垫 P1 可以通过多条第一引线 W1 分别连接至区域 1220 中用于连接柔性电路板的多个连接接触垫。多个输出接触垫 P2 可以通过多条第二引线 W2 分别连接至显示区 11 中的子像素 P_{ix} 和栅极驱动

电路 13。例如图 1A 中左右两侧的多条输出接触垫 P2 分别通过多条第二引线 W2 连接至第一时钟信号线 CK1、第二时钟信号线 CK2 和启动信号线 STV，从而连接至栅极驱动电路 13；图 1A 中位于中间的多条输出接触垫 P2 分别通过多条第二引线 W2 连接至显示区 11 中的数据线 D1 至 DM，从而连接至显示区 11 中的子像素 Pix。在一些实施例中，邦定区 12 中可以设置例如单元测试 (CT, Cell Test) 电路、静电防护 (ESD, Electro-Static Discharge) 电路、多路复用电路等结构。例如单元测试电路可以设置在多个输出接触垫 P2 与显示区 11 之间的区域中，单元测试电路可以连接至多条测试信号线和显示区中的多个子像素。例如多路复用电路可以设置在单元测试电路与所述多个输出接触垫 P2 之间的区域，多路复用电路可以与至少一个输出接触垫 P2 以及显示区的数据线链接，以将输出接触垫 P2 提供的数据信号进行多路复用之后提供至显示区的数据线。当然本公开的实施例不限于此。在一些实施例中，单元测试电路、静电防护电路、多路复用电路以及其他辅助电路中的至少之一可以设置在输入接触垫 P1 与输出接触垫 P2 之间的区域中，在另一些实施例中可以位于输出接触垫 P2 与以下描述的第一虚拟接触垫 P3 之间的区域中。

在将控制芯片连接到显示基板时，输入接触垫 P1 与控制芯片的输入引脚连接，输出接触垫 P2 与控制芯片的输出引脚连接。柔性电路板提供的信号（例如但不限于电源信号、控制信号等）通过输入接触垫 P1 提供给控制芯片，使得控制芯片产生驱动信号（例如但不限于时钟信号、启动信号、数据信号等等）。控制芯片产生的驱动信号通过输出接触垫 P2 提供至显示区 11 的子像素 Pix 和/或栅极驱动电路，例如控制芯片产生的数据信号通过位于中间部分的输出接触垫 P2 提供至数据线 D1 至 DM，从而提供给显示区 11 中的子像素；控制芯片产生的第一时钟信号、第二时钟信号和启动信号 STV 分别通过位于两侧的输出接触垫 P2 提供给第一时钟信号线 CK1、第二时钟信号线 CK2 和启动信号线 STV，从而提供给栅极驱动电路 130。

在邦定区 12 中，位于所述多个输入接触垫 P1 与所述多个输出接触垫 P2 之间的区域 1210 中的接触垫绝缘层被至少部分地去除，从而缓解由于该区域 1210 中的接触垫绝缘层而导致的与控制芯片接触不良。下面将参考图 2 至图 15C 来对此进行详细说明。

图 2 示出了根据本公开实施例的显示基板的邦定区的局部平面图，图 3 示出了图 2 的邦定区沿 A1-B1 的截面的示意图。需要说明的是，图 2 为了便于描述仅示出了图 1A 的邦定区的一侧部分（图 2 中为左侧部分），邦定区的另一侧部分可以具有类似结构，例如相对于左侧部分而对称的结构。另外需要说明的是，图 3 的截面图仅仅是为了说明

接触垫绝缘层的第一部分和第二部分的位置关系以及厚度的区别,邦定区的层结构的更多细节将在下文进一步详细说明。

如图2和图3所示,在邦定区12中,接触垫绝缘层1230位于所述多个输入接触垫P1中相邻输入接触垫P1之间的间隙、所述多个输出接触垫P2中相邻输出接触垫P2之间的间隙、以及所述多个输入接触垫P1与所述多个输出接触垫P2之间的区域。输入接触垫P1和输出接触垫P2的背离衬底基板10的表面从接触垫绝缘层1230外露。根据本公开的实施例,接触垫绝缘层1230包括具有第一厚度的第一部分1230A和具有第二厚度的第二部分1230B,第二厚度小于第一厚度。输入接触垫P1和输出接触垫P2的边缘被接触垫绝缘层1230的第一部分1230A覆盖,接触垫绝缘层1230的第二部分1230B位于所述多个输入接触垫P1与所述多个输出接触垫P1之间的区域中。如图2所示,输入接触垫P1在衬底基板10上的投影与接触垫绝缘层1230的第二部分1230B在衬底基板10的投影之间存在间距d1,输出接触垫P2在衬底基板10上的投影与接触垫绝缘层1230的第二部分1230B在衬底基板10的投影之间存在间距d2,d1和d2可以在3微米至100微米的范围内。在一些实施例中,d1可以等于d2。

图4A示出了图2的显示基板的一个示例在邦定区沿A2-B2的截面图。

如图4A所示,输出接触垫P2包括第一引线连接部1241、第一导体部1242和第二导体部1243。第一引线连接部1241位于衬底基板10上。参考图1A,输出接触垫P2的第一引线连接部1241可以连接至邦定区的第二引线W2,从而与栅极驱动电路130或者与显示区11中的多个子像素中的至少一个电连接。

第一导体部1242位于所述第一引线连接部1241背离衬底基板10的一侧,并且与第一引线连接部1241电连接。第二导体部1243位于第一导体部1242背离衬底基板10的一侧,并且与第一导体部1242电连接。

显示基板的邦定区还设置有邦定区第一栅绝缘层1251、邦定区第二栅绝缘层1252、邦定区层间绝缘层1253和邦定区钝化层1254。邦定区第一栅绝缘层1251覆盖衬底基板10,第一引线连接部1241位于邦定区第一栅绝缘层1251背离衬底基板10的一侧。邦定区第二栅绝缘层1252位于邦定区第一栅绝缘层1251背离衬底基板10的一侧并且覆盖第一引线连接部1241。邦定区层间绝缘层1253位于邦定区第二栅绝缘层1252背离衬底基板10的一侧。邦定区钝化层1254位于邦定区层间绝缘层1253背离衬底基板10的一侧并且覆盖第一导体部1242。

如图4A中的虚线框所示,第一导体部1242通过设置在邦定区第二栅绝缘层1252

中的过孔和设置在邦定区层间绝缘层 1253 中的过孔与第一引线连接部 1241 电连接, 第二导体部 1243 通过设置在邦定区钝化层 1254 中的过孔与第一导体部 1242 电连接。在图 4A 中, 邦定区第二栅绝缘层 1252、邦定区层间绝缘层 1253 和邦定区钝化层 1254 中均设置有多个过孔, 例如 3 个。然而本公开的实施例不限于此, 在本公开的其它示例中, 过孔的数量也可以根据需求来设置, 例如, 2 个或 4 个。

如图 4A 所示, 输出接触垫 P2 的第二导体部 1243 的边缘被接触垫绝缘层 1230 的厚度为 H1 的第一部分 1230A 覆盖, 接触垫绝缘层 1230 的厚度为 H2 的第二部分 1230B 位于输入接触垫 P1 与输出接触垫 P1 之间的区域中, 其中 H2 小于 H1。这里所谓厚度可以指的是接触垫绝缘层 1230 面相衬底基板 10 一侧的表面到背离衬底基板 10 一侧表面的距离。通过使厚度 H2 小于厚度 H1, 可以使接触垫绝缘层 1230 的第二部分 1230B 背离衬底基板 10 一侧的表面低于接触垫绝缘层 1230 的第一部分 1230A 背离衬底基板 10 一侧的表面, 从而缓解接触垫绝缘层 1230 对于输出接触垫 P2 与控制芯片的引脚之间的连接可靠性的影响, 同时厚度较大的第一部分 1230A 能够实现对输出接触垫 P2 的边缘进行包封, 从而起到保护作用。

图 4B 示出了图 2 的显示基板的一个示例在邦定区沿 A3-B3 的截面图。

如图 4B 所示, 输入接触垫 P1 的结构与输出接触垫 P2 可以基本相同, 输出接触垫 P2 同样包括第一引线连接部 1241、第一导体部 1242 和第二导体部 1243, 第一导体部 1242 通过邦定区第二栅绝缘层 1252 中的过孔和邦定区层间绝缘层 1253 中的过孔与第一引线连接部 1241 电连接, 第二导体部 1243 通过邦定区钝化层 1254 中的过孔与第一导体部 1242 电连接。参考图 1A, 输入接触垫 P1 的第一引线连接部 1241 可以连接至邦定区 12 中的第一引线 W1, 从而与区域 1220 中用于连接到外部电路的连接接触垫电连接。

在一些实施例中, 接触垫绝缘层 1230 的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料, 或者可以包括聚酰亚胺、聚醚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料。本公开的实施例对接触垫绝缘层的材料不做具体限定。第一导体部 1242 和第二导体部 1243 的材料可以包括金属材料或者合金材料, 例如由钼、铝及钛等形成的金属单层或多层结构。

图 4C 示出了图 2 的显示基板的一个示例在邦定区沿 A4-B4 的截面图。

本公开实施例的衬底基板 10 可以包括有机材料, 例如聚酰亚胺、聚碳酸酯、聚丙烯酸酯、聚醚酰亚胺、聚醚砜、聚对苯二甲酸乙二醇酯和聚萘二甲酸乙二醇酯等树脂类材料中的一种或多种, 衬底基板 10 可以为柔性基板或非柔性基板。在图 4C 中衬底基板

10 为柔性基板,衬底基板 10 可以包括第一柔性层 1010、第二柔性层 1020、第一衬底阻挡层 1030、第二衬底阻挡层 1040 和缓冲层 1050。第二柔性层 1020 位于第一柔性层 1010 面向所述多个输入接触垫 P1 和所述多个输出接触垫 P2 的一侧。第一衬底阻挡层 1030 位于所述第一柔性层 1020 和第二柔性层 1020 之间。第二衬底阻挡层 1040,位于第二柔性层 1020 背离第一柔性层 1010 的一侧。缓冲层 1050,位于第二衬底阻挡层 1040 背离第一柔性层 1010 的一侧。例如,缓冲层 1050 的材料可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。缓冲层 1050 即可以防止衬底基板 10 中的有害物质侵入显示基板的内部,又可以增加显示基板中的膜层在衬底基板 10 上的附着力。

缓冲层 1050 背离第一柔性层 1010 一侧的表面上依次堆叠邦定区第一栅绝缘层 1251、邦定区第二栅绝缘层 1252、邦定区层间绝缘层 1253、邦定区钝化层 1254 和接触垫绝缘层 1230。接触垫绝缘层 1230 包括具有第一厚度的第一部分 1230A 和具有第二厚度的第二部分 1230B,第二厚度小于第一厚度。输入接触垫 P1 和输出接触垫 P2 的边缘被接触垫绝缘层 1230 的第一部分 1230A 覆盖,接触垫绝缘层 1230 的第二部分 1230B 位于所述多个输入接触垫 P1 与所述多个输出接触垫 P1 之间的区域中。

图 5 示出了根据本公开一实施例的显示基板的显示区的截面图。

如图 5 所示,显示区中的子像素可以包括像素驱动电路 1120、第一平坦化层 1130、第一转接电极 1180、第二平坦化层 1190 以及发光元件 1140。

像素驱动电路 1120 包括位于衬底基板 10 上的有源层 1122、位于有源层 1122 远离衬底基板 1000 一侧的显示区第一栅绝缘层 1128、位于显示区第一栅绝缘层 1128 上的栅极 11211,位于栅极 11211 远离衬底基板 10 一侧的显示区第二栅绝缘层 1129,位于显示区第二栅绝缘层 1129 上的显示区层间绝缘层 11210 以及位于显示区层间绝缘层 11210 上的源极 1125 及漏极 1126。栅极 11211 可以与邦定区 12 中的第一引线连接部 1241 同层设置。源极 1125 及漏极 1126 可以与邦定区 12 中的第一导体部 1242 同层设置。因此,栅极 11211 和第一引线连接部 1241 可以在制备工艺中同层形成,例如采用同一材料层通过构图工艺形成。源极 1125 及漏极 1126 与邦定区 12 中的第一导体部 1242 可以在制备工艺中同层形成,例如采用同一材料层通过构图工艺形成。显示区中的显示区第一栅绝缘层 1128 与邦定区中的邦定区第一栅绝缘层 1251 同层设置,显示区中的显示区第二栅绝缘层 1129 与邦定区中的邦定区第二栅绝缘层 1252 同层设置,显示区中的显示区层间绝缘层 11211 与邦定区层间绝缘层 1253 同层设置。

在本公开上述实施例一些示例中,有源层 1122 可以包括源极区 1123 和漏极区 1124,

以及包括位于源极区 1123 和漏极区 1124 之间的沟道区。显示区层间绝缘层 11210、显示区第二栅绝缘层 1129 及显示区第一栅绝缘层 1128 具有过孔,以暴露源极区 1123 和漏极区 1124。源极 1125 及漏极 1126 分别通过过孔与源极区 1123 和漏极区 1124 电连接。栅极 11211 在垂直于衬底基板 1000 的方向上与有源层 1122 中位于源极区 1123 和漏极区 1124 之间的沟道区重叠。第一平坦化层 1130 位于源极 1125 及漏极 1126 的上方,用于平坦化像素驱动电路 1120 远离衬底基板一侧的表面。第一平坦化层 1130 中形成过孔 1131,以暴露源极 1125 或漏极 1126 (图中示出的情况)。在像素驱动电路 1120 和第一平坦化层 1130 之间形成显示区钝化层 11110 且显示区钝化层 11110 包括过孔 11111。显示区钝化层 11110 可以保护像素驱动电路的源极和漏极不被水汽腐蚀。显示区的邦定区钝化层 1254 可以与显示区钝化层 11110 同层设置。因此显示区的邦定区钝化层 1254 与显示区钝化层 11110 可以在制备工艺中同层形成,例如采用同一材料层通过构图工艺形成。

第一平坦化层 1130 上形成第一转接电极 1180。第一转接电极 1180 通过过孔 1131 以及过孔 11111 与漏极 1126 电连接,该第一转接电极 1180 可以避免直接在第一平坦化层 1130 和第二平坦化层 1190 中形成孔径过大的直通过孔,从而改善过孔电连接的质量,同时第一转接电极 1180 还可以与其他信号线(例如电源线等)等同层形成,由此不会导致工艺步骤增加。第一转接电极 1180 与接触垫 1210 的第二导体部 1243 同层设置,因此,第一转接电极 1180 与第二导体部 1243 可以在制备工艺中同层形成,例如采用同一材料层通过构图工艺形成,从而简化制备工艺。

例如,第一转接电极 1180 的材料可以包括金属材料或者合金材料,例如钼、铝及钛等形成的金属单层或多层结构。

例如,有源层 1122 的材料可以包括多晶硅或氧化物半导体(例如,氧化铟镓锌)。栅极 11211 的材料可以包括金属材料或者合金材料,例如钼、铝及钛等形成的金属单层或多层结构,例如,该多层结构为多金属层叠层(如钛、铝及钛三层金属叠层(Ti/Al/Ti))。源极 1125 及漏极 1126 的材料可以包括金属材料或者合金材料,例如由钼、铝及钛等形成的金属单层或多层结构,例如,该多层结构为多金属层叠层(如钛、铝及钛三层金属叠层(Ti/Al/Ti))。本公开的实施例对各功能层的材料不做具体限定。

例如,显示区钝化层 11110 的材料可以包括有机绝缘材料或无机绝缘材料,例如,氮化硅材料,由于其具有较高的介电常数且具有很好的疏水功能,能够很好的保护像素驱动电路不被水汽腐蚀。

在本公开的一些示例中,如图 5 所示,像素驱动电路 1120 还可以包括第一显示金

属层 1127, 第一显示区金属层 1127 与第一导体部 1242 同层设置。第一显示金属层 1127 包括像素驱动电路中上述薄膜晶体管的源极 1125 和漏极 1126。源极 1125 和漏极 1126 与第一导体部 1242 同层设置。

在本公开的一些示例中, 如图 5 所示, 第二平坦化层 1190 设置在第一转接电极 1180 远离衬底基板 10 的一侧, 用以在第一转接电极 1180 远离衬底基板 10 一侧提供平坦化表面。在第二平坦化层 1190 中形成过孔 1191。第二平坦化层 1190 与邦定区 1200 中的接触垫绝缘层 1230 同层形成, 因此第二平坦化层 1190 与接触垫绝缘层 1230 可以在制备工艺中同层形成, 例如采用同一材料层通过构图工艺形成, 从而简化制备工艺。

例如, 在第二平坦化层上形成发光元件 1140, 即发光元件 1140 设置在第二平坦化层 1190 远离衬底基板一侧。发光元件 1140 包括第一电极 1141、发光层 1142 及第二电极 1143。发光元件的第一电极 1141 通过第二平坦化层 1190 中的第二过孔 1191 与第一转接电极 1180 电连接。第一电极 1141 上形成像素限定层 1144, 像素限定层 1144 包括多个开口, 以限定多个像素单元。多个开口的每个暴露对应的第一电极 1141; 之后, 发光层 1142 设置在像素限定层 1144 的多个开口中, 第二电极 1143 设置在像素限定层 1144 以及发光层 1142 上, 例如该第二电极 1143 可以设置在部分或整个显示区域中, 从而在制备工艺中可以整面形成。

例如, 第二平坦化层 1190 的材料可以包括氧化硅、氮化硅、氮氧化硅等无机绝缘材料, 也可以包括聚酰亚胺、聚醚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料, 本公开的实施例对此不做限定。

例如, 第一电极 1141 可以包括反射层, 第二电极 1143 可以包括透明层或半透明层。由此, 第一电极 1141 可以反射从发光层 1142 发射的光, 该部分光通过第二电极 1143 发射到外界环境中, 从而可以提供光出射率。当第二电极 1143 包括半透射层时, 由第一电极 1141 反射的一些光通过第二电极 1143 再次反射, 因此第一电极 1141 和第二电极 1143 形成共振结构, 从而可以改善光出射效率。

例如, 第一电极 1141 的材料可以包括至少一种透明导电氧化物材料, 包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)等。此外, 第一电极 1141 可以包括具有高反射率的金属作为反射层, 诸如银(Ag)。

例如, 对于 OLED, 发光层 1142 可以包括小分子有机材料或聚合物分子有机材料, 可以为荧光发光材料或磷光发光材料, 可以发红光、绿光、蓝光, 或可以发白光; 并且, 根据需要发光层还可以进一步包括电子注入层、电子传输层、空穴注入层、空穴传输层

等功能层。对于 QLED，发光层可以包括量子点材料，例如，硅量子点、锗量子点、硫化镉量子点、硒化镉量子点、碲化镉量子点、硒化锌量子点、硫化铅量子点、硒化铅量子点、磷化铟量子点和砷化铟量子点等，量子点的粒径为 2-20nm。

例如，第二电极 1143 可以包括各种导电材料。例如，第二电极 1143 可以包括锂(Li)、铝(Al)、镁(Mg)、银(Ag)等金属材料。

例如，像素限定层 1144 的材料可以包括聚酰亚胺、聚醚酰亚胺、聚酰胺、丙烯酸树脂、苯并环丁烯或酚醛树脂等有机绝缘材料，或者包括氧化硅、氮化硅等无机绝缘材料，本公开的实施例对此不做限定。

此外，显示基板还包括存储电容器 1160，存储电容器 1160 可以包括第一极 1161 和第二极 1162。存储电容器 1160 的第一极 1161 设置在显示区第一栅绝缘层 1128 与显示区第二栅绝缘层 1129 之间，存储电容器 1160 的第二极 1162 设置在显示区第二栅绝缘层 1129 与显示区层间绝缘层 11210 之间。第一极 1161 和第二极 1162 叠置，在垂直于衬底基板 10 的方向上至少部分重叠。第一极 1161 和第二极 1162 使用显示区第二栅绝缘层 1129 作为介电材料来形成存储电容器。第一极 1161 与像素驱动电路 1120 中的栅极 11211、邦定区 1200 中的引线 1220 同层设置。同样地，如上所述，在上述示例的变型中，存储电容器 1160 的第一极和第二极还可以位于其他层中，从而得到不同结构的子像素。

在另一示例中，作为图 5 所示示例的变型，存储电容器的第一极仍然与栅极 11211 同层设置，而存储电容器的第二极与薄膜晶体管中的源极 1125 和漏极 1126 同层设置（即也位于第一显示金属层 1127 中），由此存储电容器的第一极和第二极使用显示区第二栅绝缘层 1129 以及显示区层间绝缘层 11210 的叠层来作为介电材料来形成存储电容器。

在再一示例中，作为图 5 所示示例的变型，存储电容器的第一极不再与栅极 11211 同层设置，而是位于在显示区第二栅绝缘层 1129 与显示区层间绝缘层 11210 之间，而存储电容器的第二极与薄膜晶体管中的源极 1125 和漏极 1126 同层设置（即也位于第一显示金属层 1127 中），由此存储电容器的第一极和第二极使用显示区层间绝缘层 11210 来作为介电材料来形成存储电容器。

在本公开的一些示例中，如图 5 所示，显示基板还可以包括设置在发光元件 1140 上的封装层 1150。封装层 1150 将发光元件 1140 密封，从而可以减少或防止由环境中包括的湿气和/或氧引起的发光元件 1140 的劣化。封装层 1150 可以为单层结构，也可以为复合层结构，该复合层结构包括无机层和有机层堆叠的结构，例如，封装层 1150 可以包括依次设置的第一无机封装层 1151、第一有机封装层 1152、第二无机封装层 1153。

封装层 1150 可以延伸至邦定区，在上述示例中，该封装层未覆盖接触垫。

例如，该封装层的材料可以包括氮化硅、氧化硅、氮氧化硅、高分子树脂等绝缘材料。氮化硅、氧化硅、氮氧化硅等无机材料的致密性高，可以防止水、氧等的侵入；有机封装层的材料可以为含有干燥剂的高分子材料或可阻挡水汽的高分子材料等，例如高分子树脂等以对显示基板的表面进行平坦化处理，并且可以缓解第一无机封装层和第二无机封装层的应力，还可以包括干燥剂等吸水性材料以吸收侵入内部的水、氧等物质。

图 6A 和图 6B 分别示出了图 2 的显示基板的另一个示例沿 A2-B2 和沿 A3-B3 的截面图。图 6A 和图 6B 的邦定区域图 4A 和图 4B 相比区别至少在于输入接触垫 P1 和输出接触垫 P2 还包括第三导体部，为了简明起见，下面将主要对区别部分进行详细说明。

如图 6A 所示，输出接触垫 P2 除了包括上述第一引线连接部 1241、第一导体部 1242 和第二导体部 1243 之外还包括第三导体部 1244。显示基板还包括邦定区阻挡层 1255 和邦定区无机层 1256。第三导体部 1244 位于所述第二导体部 1243 背离衬底基板 10 的一侧，邦定区阻挡层 1255 和邦定区无机层 1256 位于第三导体部 1244 与第二导体部 1243 之间。邦定区阻挡层 1255 覆盖第二导体层 1243 和接触垫绝缘层 1230 的第一部分 1230A，邦定区无机层 1256 覆盖邦定区阻挡层 1255。第三导体部 1244 通过设置在邦定区阻挡层 1255 中的过孔和设置在邦定区无机层 1256 中的过孔（如图 6A 中的虚线框所示）与第二导体部 1243 电连接。

如图 6B 所示，输入接触垫 P1 具有与输出接触垫 P2 基本相同的结构，这里不再赘述。

图 7A 和图 7B 分别示出了图 2 的显示基板的又一个示例沿 A2-B2 和沿 A3-B3 的截面图。图 7A 和图 7B 的邦定区域图 6A 和图 6B 相比区别至少接触垫绝缘层的第二部分被去除，即，第二厚度为 0。如图 7A 和 7B 所示，接触垫绝缘层 1230' 的第二部分 1230B 的厚度为 0，即接触垫绝缘层 1230' 的第二部分 1230B 被去除，而保留第一部分 1230A。邦定区钝化层 1254 位于第二部分 1230B 与邦定区第二栅绝缘层 1254 之间的部分厚度大于 0，即被至少部分保留。

图 8A 和图 8B 分别示出了图 2 的显示基板的再一个示例沿 A2-B2 和沿 A3-B3 的截面图。图 8A 和图 8B 的邦定区域图 7A 和图 7B 相比区别至少钝化层也被部分地去除。如图 8A 和 8B 所示，接触垫绝缘层 1230' 的第二部分 1230B 及其下方的邦定区钝化层 1254 部分均被去除，使得第二部分 1230B 厚度为 0，且邦定区钝化层 1254 位于接触垫绝缘层 1230' 的第二部分 1230B 与邦定区第二栅绝缘层 1254 之间的部分厚度也为 0。

图9示出了根据本公开另一实施例的显示基板的显示区的截面图。图9的显示区结构与图5相比区别至少在于显示基板还包括显示区阻挡层、第一触控电极层、第二触控电极层和触控绝缘层，为了简明起见，下面将主要对区别部分进行详细说明。

如图9所示，封装层1150位于发光元件1140的远离衬底基板10的一侧，显示区阻挡层1171位于封装层1150的远离衬底基板10的一侧，第一触控电极层1172位于显示区阻挡层1171背离衬底基板10的一侧，触控绝缘层1174位于第一触控电极层1172背离衬底基板10的一侧并且覆盖第一触控电极层1172，第二触控电极层1173位于触控绝缘层1174背离衬底基板10的一侧。在图9中，第二触控电极层1173通过触控绝缘层1174中的过孔与第一触控电极层1172电连接，当然本公开实施例不限于此，第一触控电极层1172和第二触控电极层1173可以根据需要而设置成其他图案。第一触控电极层1172和第二触控电极层1173可以用于实现电容型触控结构，该电容型触控结构为自电容型或互电容型。

上述位于邦定区的第三导体部1244可以与显示区的第二触控电极层1173同层设置，上述位于邦定区的邦定区阻挡层1255可以与显示区的显示区阻挡层1171同层设置，上述位于邦定区的邦定区无机层1256可以与显示区的触控绝缘层1174同层设置。

图10示出了根据本公开另一实施例的显示基板的邦定区的局部平面图。图11示出了图10的邦定区沿C1-D1的截面的示意图。图10和图11的显示基板与图2和图3的显示基板相比区别至少在于邦定区12还设置有多多个第一虚拟接触垫P3，为了简明起见，下面将主要对区别部分进行详细说明。

如图10和图11所示，显示基板还包括多个第一虚拟接触垫P3，所述多个第一虚拟接触垫P3位于邦定区12，且位于多个输入接触垫P1与多个输出接触垫P2之间的区域中。第一虚拟接触垫P3可以不连接引线，其可以在控制芯片邦定到显示基板的邦定区时，第一虚拟接触垫P3与控制芯片上的对应引脚对接，从而起到支撑作用。第一虚拟接触垫P3的边缘被所述接触垫绝缘层1230的第一部分1230A覆盖，第一虚拟接触垫P3的背离衬底基板10的表面从接触垫绝缘层1230的第一部分1230A外露。接触垫绝缘层1230第二部分1230B包括第一子部分1230B1和第二子部分1230B2，第一子部分1230B1位于所述多个第一虚拟接触垫P3与所述多个输入接触垫P1之间的区域，所述第二子部分1230B2位于所述多个第一虚拟接触垫P3与所述多个输出接触垫P2之间的区域。

图12A示出了图10的显示基板的一个示例沿C2-D2的截面图。

如图12A所示，第一虚拟接触垫P3包括第四导体部1245。衬底基板10上依次叠置

邦定区第一栅绝缘层 1251、邦定区第二栅绝缘层 1252、邦定区层间绝缘层 1253 和邦定区钝化层 1254。第四导体部 1245 位于邦定区钝化层 1254 背离衬底基板 10 的一侧，即位于衬底基板 10 面向所述多个输入接触垫 P1 和所述多个输出接触垫 P2 的一侧。接触垫绝缘层 1230 的第一部分 1230A 覆盖第四导体部 1245 的边缘，接触垫绝缘层 1230 的第二部分 1230B 包括第一子部分 1230B1 和第二子部分 1230B2，其厚度小于第一部分 1230A 的厚度。第四导体部 1245 可以与上述的第二导体部 1243 同层设置，例如第四导体部 1245 和第二导体部 1243 可以均与显示区的第一转接电极 1180 同层设置。

图 12B 示出了图 11 的显示基板的另一个示例沿 C2-D2 的截面图。图 12B 的显示基板与图 12A 的显示基板相比区别至少在于接触垫绝缘层的第二部分和邦定区钝化层的一部分被去除。如图 12B 所示，接触垫绝缘层 1230' 的第二部分 1230B 及其下方的邦定区第一栅绝缘层 1251 的一部分被去除，即，二者厚度均为 0。

图 12C 示出了图 11 的邦定区的又一个示例在邦定区沿 C2-D2 的截面图。图 12C 的显示基板与图 12A 的显示基板相比区别至少在于第一虚拟接触垫 P3 除了包括第四导体部 1245' 之外还包括第五导体部 1246，第五导体部 1246 位于第四导体部 1245 与衬底基板 10 之间。

在图 12C 中，衬底基板 10 上依次叠置邦定区第一栅绝缘层 1251、邦定区第二栅绝缘层 1252 和邦定区层间绝缘层 1253。第五导体部 1246 位于邦定区层间绝缘层 1253 背离衬底基板 10 的一侧。邦定区钝化层 1254 位于邦定区层间绝缘层 1253 背离衬底基板 10 的一侧并且覆盖第五导体部 1246 的边缘。第四导体部 1245' 位于第五导体部 1246 背离衬底基板 10 的一侧，第四导体部的边缘被所述接触垫绝缘层的第一部分覆盖。第五导体部 1246 通过邦定区钝化层 1254 中的过孔与第四导体部 1245 电连接。第四导体部 1245' 可以与上述第二导体部 1243 同层设置，第五导体部 1246 可以与上述的第一导体部 1242 同层设置。例如第四导体部 1245' 可以与上述第二导体部 1243 和显示区的第一转接电极 1180 同层设置，第五导体部 1246 可以与上述第一导体部 1242 和显示区的第一显示金属层 1127 同层设置。

图 13 示出了根据本公开又一实施例的显示基板的邦定区的局部平面图，图 14 示出了图 13 的显示基板沿 E1-F1 的截面的示意图。与图 2 和图 10 的单侧示意不同，图 13 的平面图示出了显示基板的邦定区沿 x 方向的左右两侧部分。图 13 和图 14 的显示基板与图 10 和图 11 的显示基板相比区别至少在于邦定区 12 还设置有多组阵列测试接触垫 P4 和多个第二虚拟接触垫 P5，为了简明起见，下面将主要对区别部分进行详细说明。

如图 13 和图 14 所示,显示基板的邦定区还设置有多个阵列测试接触垫 P4,多个阵列测试接触垫 P4 位于所述多个第一虚拟接触垫 P1 与所述多个输入接触垫 P2 之间的区域中。多个阵列测试接触垫 P4 用于在显示基板制作过程中的阵列测试。阵列测试接触垫 P4 可以与所述多个子像素。例如阵列测试接触垫 P4 中的至少一个可以通过邦定区的引线连接到显示区的子像素,例如通过引线连接到多路复用电路,以经由多路复用电路连接到显示区的多条数据信号线,从而实现与子像素的电连接。

如图 13 和图 14 所示,接触垫绝缘层 1230 的第一部分 1230A 包括第一子部分 1230A1 和第二子部分 1230A2。所述多个输入接触垫 P1 的边缘、所述多个输出接触垫 P2 的边缘和所述第一虚拟接触垫 P3 的边缘被所述接触垫绝缘层 1230 的第一部分 1230A 的第一子部分 1230A1 覆盖。多个阵列测试接触垫 P4 的边缘被所述接触垫绝缘层 1230 的第一部分 1230A 的第二子部分 1230A2 覆盖,所述多个阵列测试接触垫 P4 的背离衬底基板 10 的表面从所述接触垫绝缘层 1230 的第一部分 1230A 的第二子部分 1230A2 外露。在一些实施例中,如图 13 所示,接触垫绝缘层 1230 的第一部分 1230A 的第二子部分 1230A2 在衬底基板 10 上的投影位于所述接触垫绝缘层 1230 的第二部分 1230B 的第一子部分 1230B1 在衬底基板 10 的投影之内。接触垫绝缘层 1230 的这种设置使得可以在提高接触垫连接稳固性的同时,实现对输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3 和阵列测试接触垫 P4 的边缘的保护,避免后续的构图工艺中的刻蚀液刻蚀裸露的接触垫的边缘,进而提高显示基板的产品良率和可靠性。

在上述实施例中,多个输入接触垫 P1 沿第一方向排列成第一行,所述第一方向为显示区的面向邦定区的侧边的延伸方向(x 方向);多个输出接触垫 P2 沿第一方向排列成第二行;多个第一虚拟接触垫沿第一方向排列成第三行;所述多个阵列测试接触垫沿第一方向排列成第四行。当然本公开的实施例不限于此,输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3 和阵列测试接触垫 P4 中的任意一者可以根据需要呈多行排列或者以其他形式排列。

在一些实施例中,如图 13 所示,显示基板的邦定区还可以设置有多个第二虚拟接触垫 P5。第二虚拟接触垫 P5 可以具有与第一虚拟接触垫 P4 相似的结构,可以同样起到支撑作用。多个第二虚拟接触垫 P5 沿垂直于所述第一方向的第二方向(y 方向)排列成第一列和第二列,其中第一列和第二列分别位于所述多个第一虚拟接触垫 P1 在第一方向上的两侧。当然本公开的实施例不限于此,多个第二虚拟接触垫 P5 可以根据需要呈多列排列或者以其他形式排列,也可以位于多个第一虚拟接触垫 P1 的一侧(例如左

侧或右侧)。

在图 13 中,多个第二虚拟接触垫 P5 的边缘被接触垫绝缘层 1230 的第一部分 1230A 覆盖,所述多个第二虚拟接触垫 P5 的背离衬底基板 10 的表面从所述接触垫绝缘层 1230 的第一部分 1230A 外露。在一些实施例中,如图 13 所示,输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3、阵列测试接触垫 P4 和第二虚拟接触垫 P5 各自在衬底基板 10 上的投影与接触垫绝缘层 1230 的第二部分 1230B 在衬底基板 10 的投影之间均具有一定的间距,该间距可以在 3 微米至 100 微米的范围内。输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3、阵列测试接触垫 P4 和第二虚拟接触垫 P5 各自与接触垫绝缘层 1230 的第二部分 1230B 的间距可以相同或不同。例如输入接触垫 P1、输出接触垫 P2 和第二虚拟接触垫 P5 与接触垫绝缘层 1230 的第二部分 1230B 的间距可以相等,但是大于第一虚拟接触垫 P3 和阵列测试接触垫 P4 与接触垫绝缘层 1230 的第二部分 1230B 的间距。

在上述实施例中,输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3、阵列测试接触垫 P4 和第二虚拟接触垫 P5 各自在衬底基板 10 上的投影被示出为具有特定的形状,例如输入接触垫 P1 和输出接触垫 P2 在衬底基板 10 上的投影为平行四边形,阵列测试接触垫 P4 和第二虚拟接触垫 P5 在衬底基板 10 上的投影为矩形,第一虚拟接触垫 P3 在衬底基板 10 上的投影基本上为正方形。在图 13 中,输入接触垫 P1、输出接触垫 P2、第一虚拟接触垫 P3、阵列测试接触垫 P4 和第二虚拟接触垫 P5 各自均沿着显示基板在 y 方向上的对称轴 Y 而对称设置。然而本公开的实施例不限于此,各个接触垫的形状和排列方式可以根据需要来设置。

图 15A 示出了图 13 的显示基板的一个示例沿 E2-F2 的截面图。

如图 15A 所示,阵列测试接触垫 P5 具有类似于图 4A 的输出接触垫和图 4B 的输入接触垫的结构。阵列测试接触垫 P5 包括第二引线连接部 1247、第六导体部 1248 和第七导体部 1249。第二引线连接部 1247、所述第六导体部 1248 和所述第七导体部 1249 可以分别与所述第一引线连接部 1241、所述第一导体部 1242 和所述第二导体部 1243 同层设置。

第二引线连接部 1247 位于衬底基板 10 面向所述多个输入接触垫 P1 和所述多个输出接触垫 P2 的一侧,用于与引线连接,所述引线连接到数据线,从而实现第二引线连接部 1247 与显示区的子像素的电连接。第六导体部 1248 位于第二引线连接部 1247 背离所述衬底基板 10 的一侧,与第二引线连接部 1247 电连接。第七导体部 1249 位于第六导体部 1248 背离所述衬底基板 10 的一侧,与所述第六导体部 1248 电连接。

第二虚拟接触垫 P5 可以具有与上述第一虚拟接触垫 P4 相似的结构,下面将参考图 15B 至图 15D 来进行说明。

图 15B 示出了图 13 的显示基板的一个示例沿 E3-F3 的截面图。如图 15B 所示,第二虚拟接触垫 P5 具有与图 12A 的第一虚拟接触垫 P4 类似的结构,第二虚拟接触垫 P5 包括第八导体部 12410,第八导体部 12410 位于衬底基板面 10 向所述多个输入接触垫 P1 和所述多个输出接触垫 P2 的一侧。第八导体部 12410 可以与上述第二导体部 1243 同层设置。第八导体部 12410' 的边缘被接触垫绝缘层 1230 的第一部分 1230A 覆盖,在图 15D 中接触垫绝缘层 1230 的第一部分 1230A 的第一子部分 1230A1 覆盖。

图 15C 示出了图 13 的显示基板的另一个示例沿 E3-F3 的截面图。图 15C 的显示基板与图 15B 的显示基板相比区别至少在于接触垫绝缘层 1230 的第二部分 1230B 和邦定区钝化层 1241 的一部分被去除。如图 15C 所示,接触垫绝缘层 1230' 的第二部分 1230B 及其下方的邦定区第一栅绝缘层 1251 的厚度均为 0。

图 15D 示出了图 13 的显示基板的另一个示例沿 E3-F3 的截面图。如图 15D 所示,第二虚拟接触垫 P5 具有类似于图 12C 的第一虚拟接触垫 P4 的结构,第二虚拟接触垫 P5 除了包括第八导体部 12410' 之外还包括第九导体部 12411,第九导体部 12411 位于第八导体部 12410' 与衬底基板 10 之间并且与第八导体部 12410' 电连接。第八导体部 12410' 可以与上述第二导体部 1243 同层设置,第九导体部可以与上述第一导体部 1242 同层设置。第八导体部 12410' 的边缘被接触垫绝缘层 1230 的第一部分 1230A 覆盖,在图 15D 中接触垫绝缘层 1230 的第一部分 1230A 的第一子部分 1230A1 覆盖。

虽然以上结合特定的接触垫结构说明了接触垫绝缘层的第二部分及其下方的邦定区钝化层被减薄或去除的实施例,然而本公开的实施例不限于此,接触垫绝缘层的第二部分及其下方的邦定区钝化层的减薄或去除适用于其他接触垫结构,例如在一些实施例中,图 4A 至图 4C、图 12C 以及图 15A 和图 15D 中至少一个的接触垫绝缘层的第二部分和/或其下方的邦定区钝化层可以根据需要被减薄或去除。

图 16A 示出了根据本公开另一实施例的显示基板的显示区的截面图图 16B 示出了图 16A 的显示基板的邦定区的截面图。图 16A 和图 16B 的显示基板与前述实施例的显示基板区别至少不具有钝化层。

如图 16A 所示,显示基板的显示区具有类似于图 9 的显示区的结构,区别在于不具有显示区钝化层 11110。如图 16B 所示,显示基板的邦定区具有类似于图 7A 和 8A 的邦定区的结构,区别在于不具有邦定区钝化层 1245、1245',第二导体部 1243 位于第一

导体部 1242 背离衬底基板 10 的一侧并且覆盖第一导体部 1242，接触垫绝缘层 1230' 设置在邦定区层间绝缘层 1253 背离衬底基板 10 的一侧且覆盖第二导体部 1243 的边缘。

为了简明起见在图 16B 中仅示出了输出接触垫 P2 及其周围区域的邦定区结构，邦定区的其他部分可以与图 4A 至图 4C、图 6A 至图 8B、图 12A 至图 12C 以及图 15A 至图 15D 描述的结构类似，区别在于从这些结构中去除了邦定区钝化层。

本公开至少一个实施例提供一种显示装置，该显示装置可以包括上述任一实施例的显示基板。

例如，在一些示例中，显示装置还可以包括柔性电路板及控制芯片。例如，柔性电路板邦定到显示基板的邦定区，而控制芯片安装在柔性电路板上，由此与显示区电连接；或者，控制芯片直接邦定到邦定区，由此与显示区电连接。

例如，控制芯片可以为中央处理器、数字信号处理器、系统芯片（SoC）等。例如，控制芯片还可以包括存储器，还可以包括电源模块等，且通过另外设置的导线、信号线等实现供电以及信号输入输出功能。例如，控制芯片还可以包括硬件电路以及计算机可执行代码等。硬件电路可以包括常规的超大规模集成（VLSI）电路或者门阵列以及诸如逻辑芯片、晶体管之类的现有半导体或者其它分立的元件；硬件电路还可以包括现场可编程门阵列、可编程阵列逻辑、可编程逻辑设备等。

例如，本公开至少一个实施例提供的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开至少一个实施例还提供一种显示基板的制备方法，该方法包括：提供衬底基板，所述衬底基板包括显示区、位于所述显示区至少一侧的邦定区和位于所述显示区至少另一侧的侧边区；在所述显示区中形成多个子像素；在所述侧边区形成栅极驱动电路，所述栅极驱动电路与所述多个子像素连接，并且被配置为向所述多个子像素提供栅极驱动信号；在所述邦定区形成用于与外部电路电连接的多个输入接触垫；在所述邦定区中形成多个输出接触垫，所述多个输出接触垫位于所述多个输入接触垫与所述显示区之间，所述多个输出接触垫与所述多个子像素和所述栅极驱动电路电连接；在所述邦定区形成接触垫绝缘层，所述接触垫绝缘层位于所述多个输入接触垫中相邻输入接触垫之间的间隙、所述多个输出接触垫中相邻输出接触垫之间的间隙、以及所述多个输入接触垫与所述多个输出接触垫之间的区域，所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露，其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分，所述第二厚度小于所述第一厚度，所述多个

输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖,所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

下面结合图 8A 和图 9 的显示基板,参考图 17A 至图 17G 来说明本公开实施例的显示基板的制造过程。

如图 17A 所示,提供衬底基板 10,该衬底基板 10 包括显示区和位于显示区周边的周边区,该周边区包括位于显示区至少一侧的至少一个邦定区和位于所述显示区至少另一侧的侧边区。在衬底基板 10 的显示区形成像素驱动电路 1120、存储电容器 1160、第一平坦化层 1130 和第一转接电极 1180,在显示基板 10 的邦定区形成邦定区第一栅绝缘层 1251、第一引线连接部 1231、第二栅绝缘层 1252、邦定区层间绝缘层 1253、第一导体部 1242、邦定区钝化层 1254' 和第二导体部 1243。第二导体部 1243 覆盖第一导体部 1242 的边缘,以避免第一导体部 1242 被腐蚀。在该实施例中,第一导体部 1242 和第二导体部 1243 层叠。

如图 17B 所示,在衬底基板上沉积绝缘材料层 1710,在绝缘材料层 1710 上沉积光刻胶 1720。绝缘材料层 1710 可以包括氧化硅、氮化硅、氮氧化硅等绝缘材料。

如图 17C 所示,提供掩膜版 1610 对光刻胶 1720 进行曝光,掩膜版 1610 包括完全透光区、部分透光区及不透光区。掩膜版 1610 在邦定区包括与要形成接触垫绝缘层 1230 的第二部分 1230B 的区域重叠的第一透光图案 1611 及与输出接触垫 P2 重叠的第二透光图案 1612。掩膜版 1610 在显示区包括与第二透光图案 1612 及非透光图案 1613。第一透光图案 1611 位于部分透光区,第二透光图案 1612 位于完全透光区,非透光图案 1613 位于不透光区。即,掩膜版 1610 为灰色掩膜版或半色调掩膜版。光刻胶为正性光刻胶,对应地,第一透光图案 1611 的透光率小于第二透光图案 1612 的透光率。在曝光过程中,可以在使得光刻胶 1720 中与第二透光图案 1612 对应的部分被完全曝光的情况下,光刻胶 1720 中与第一透光图案 1611 对应的部分被部分曝光。光刻胶 1720 在显示区与非透光图案 1613 对应的部分未被曝光。

又例如,在上述构图工艺中,也可以采用负性光刻胶,那么所采用的掩模板例如是与上述掩模板 1610 互补的掩模板,由此在曝光、显影后得到上述光刻胶图案 1721 及光刻胶图案 1722。

如图 17D 所示,对光刻胶 1720 进行显影,光刻胶 1720 的被完全曝光的部分去除,即,在邦定区中,与输出接触垫 P2 以及要设置接触垫绝缘层的第二部分 1230B 的区域重叠的光刻胶 1720 被去除,光刻胶 1720 的被部分曝光的部分被减薄,而光刻胶 1720 的

未被曝光的部分的厚度例如基本未改变。显影后，光刻胶 1720 在邦定区形成为光刻胶图案 1721。同样地，在显示区中，与漏极 1126 重叠的光刻胶 1720 被去除。显影后，光刻胶 1720 在显示区形成为光刻胶图案 1722。

如图 17E 所示，对邦定区及显示区中的绝缘材料层 1710 进行刻蚀以去除在邦定区域与输出接触垫 P2 和要设置接触垫绝缘层的第二部分 1230B 的区域重叠的绝缘材料层，以及在显示区形成第二过孔 1191。

如图 17F 所示，进行灰化工艺去除邦定区的光刻胶图案 1721 和减薄显示区的光刻胶图案 1722，这里显示区的光刻胶图案 1722 被保留。然后，利用当前的光刻胶图案，对邦定区中剩余的绝缘材料层 1710 进行刻蚀并控制刻蚀厚度以形成接触垫绝缘层 1230，并且使得刻蚀后形成的接触垫绝缘层 1230 具有第一部分 1230A 以及厚度小于第一部分 1230A 的第二部分 1230B，在图 17F 中第二部分 1230B 厚度为 0，即该部分的绝缘材料被去除。这使得接触垫绝缘层的第二部分 1230B 相对于衬底基板 10 的表面的高度低于第一部分 1230A 相对于衬底基板 1000 的表面的高度。去除显示区的光刻胶图案 1722。在显示区形成第二平坦化层 1190 以提供平坦化表面。在显示区的第二平坦化 1190 上形成发光元件 1140。在显示区的发光元件 1140 上形成封装层 1150。封装层 1150 将发光元件 1140 密封，从而可以减少或防止由环境中包括的湿气和/或氧引起的发光元件 1140 的劣化。

如图 17G 所示，在显示区的封装层 1150 上形成显示区阻挡层 1171，在邦定区形成邦定区阻挡层 1255。然后，在显示区的显示区阻挡层 1171 上形成第一触控电极层 1172。在显示区的第一触控电极层 1172 上形成触控绝缘层 1174，在邦定区的邦定区阻挡层 1255 上形成邦定区无机层 1256。然后在显示区的触控绝缘层 1174 上形成第二触控电极层 1173，在邦定区的邦定区无机层 1256 上形成第三导体部 1244。

本领域的技术人员可以理解，上面所描述的实施例都是示例性的，并且本领域的技术人员可以对其进行改进，各种实施例中所描述的结构在不发生结构或者原理方面的冲突的情况下可以进行自由组合。

在详细说明本公开的较佳实施例之后，熟悉本领域的技术人员可清楚的了解，在不脱离随附权利要求的保护范围与精神下可进行各种变化与改变，且本公开亦不受限于说明书中所举示例性实施例的实施方式。

权 利 要 求

1. 一种显示基板，包括：

衬底基板，包括显示区、位于所述显示区至少一侧的邦定区和位于所述显示区至少另一侧的侧边区；

多个子像素，位于所述显示区中；

栅极驱动电路，位于所述侧边区，所述栅极驱动电路与所述多个子像素连接，并且被配置为向所述多个子像素提供栅极驱动信号；

多个输入接触垫，位于所述邦定区，用于与外部电路电连接；

多个输出接触垫，位于所述邦定区，且位于所述多个输入接触垫与所述显示区之间，所述多个输出接触垫与所述多个子像素和所述栅极驱动电路电连接；

接触垫绝缘层，位于所述邦定区，且位于所述多个输入接触垫中相邻输入接触垫之间的间隙、所述多个输出接触垫中相邻输出接触垫之间的间隙、以及所述多个输入接触垫与所述多个输出接触垫之间的区域，所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露，其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分，所述第二厚度小于所述第一厚度，所述多个输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

2. 根据权利要求书 1 所述的显示基板，还包括：多个第一虚拟接触垫，位于所述邦定区，且位于所述多个输入接触垫与所述多个输出接触垫之间的区域中，其中，

所述多个第一虚拟接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述多个第一虚拟接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述接触垫绝缘层的第二部分包括第一子部分和第二子部分，所述第一子部分位于所述多个第一虚拟接触垫与所述多个输入接触垫之间的区域，所述第二子部分位于所述多个第一虚拟接触垫与所述多个输出接触垫之间的区域。

3. 根据权利要求书 2 所述的显示基板，还包括：多个阵列测试接触垫，位于所述邦定区，且位于所述多个第一虚拟接触垫与所述多个输入接触垫之间的区域中，所述多个阵列测试接触垫与所述多个子像素电连接，其中，

所述接触垫绝缘层的第一部分包括第一子部分和第二子部分，所述多个输入接触

垫的边缘、所述多个输出接触垫的边缘和所述第一虚拟接触垫的边缘被所述接触垫绝缘层的第一部分的第一子部分覆盖，所述多个阵列测试接触垫的边缘被所述接触垫绝缘层的第一部分的第二子部分覆盖，所述多个阵列测试接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述接触垫绝缘层的第一部分的第二子部分在所述衬底基板上的投影位于所述接触垫绝缘层的第二部分的第一子部分在所述衬底基板的投影之内。

4. 根据权利要求书 1 所述的显示基板，其中，所述多个输入接触垫和所述多个输出接触垫中的每一个在所述衬底基板上的投影与所述接触垫绝缘层的第二部分在所述衬底基板的投影之间的间距在 3 微米至 100 微米的范围内。

5. 根据权利要求书 1 所述的显示基板，其中，所述第二厚度为 0。

6. 根据权利要求书 3 所述的显示基板，其中，

所述多个输入接触垫沿第一方向排列成至少第一行，所述第一方向为所述显示区的面向所述邦定区的侧边的延伸方向；

所述多个输出接触垫沿第一方向排列成至少第二行；

所述多个第一虚拟接触垫沿第一方向排列成至少第三行；

所述多个阵列测试接触垫沿第一方向排列成至少第四行。

7. 根据权利要求书 6 所述的显示基板，还包括：多个第二虚拟接触垫，位于所述邦定区，沿垂直于所述第一方向的第二方向排列成至少第一列和第二列，其中第一列和第二列分别位于所述多个第一虚拟接触垫在第一方向上的两侧，其中，

所述多个第二虚拟接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述多个第二虚拟接触垫的背离所述衬底基板的表面从所述接触垫绝缘层的第一部分外露；并且

所述多个第二虚拟接触垫中的每一个在所述衬底基板上的投影与所述接触垫绝缘层的第二部分在所述衬底基板的投影之间的间距在 3 微米至 100 微米的范围内。

8. 根据权利要求书 1 所述的显示基板，其中，所述多个输入接触垫和所述多个输出接触垫中的至少一个包括：

第一引线连接部，位于所述衬底基板上，其中输入接触垫的第一引线连接部通过设置在所述邦定区的第一引线与用于连接到外部电路的连接接触垫电连接，输出接触垫的第一引线连接部通过设置在所述邦定区的第二引线与所述栅极驱动电路或者与所述多个子像素中的至少一个电连接；

第一导体部，位于所述第一引线连接部背离所述衬底基板的一侧，与所述第一引线连接部电连接；

第二导体部，位于所述第一导体部背离所述衬底基板的一侧，与所述第一导体部电连接，所述第二导体部的边缘被所述接触垫绝缘层的第一部分覆盖。

9. 根据权利要求书 8 所述的显示基板，还包括：

邦定区第一栅绝缘层，位于所述邦定区，覆盖所述衬底基板，所述第一引线连接部位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧；

邦定区第二栅绝缘层，位于所述邦定区，位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧并且覆盖所述第一引线连接部；

邦定区层间绝缘层，位于所述邦定区，且位于所述邦定区第二栅绝缘层背离所述衬底基板的一侧，所述第一导体部通过设置在所述邦定区第二栅绝缘层中的过孔和设置在所述邦定区层间绝缘层中的过孔与所述第一引线连接部电连接；

邦定区钝化层，位于邦定区，位于所述邦定区层间绝缘层背离所述衬底基板的一侧并且覆盖所述第一导体部，所述第二导体部通过设置在所述邦定区钝化层中的过孔与所述第一导体部电连接。

10. 根据权利要求书 9 所述的显示基板，其中，所述邦定区钝化层位于所述接触垫绝缘层的第二部分与所述邦定区第二栅绝缘层之间的部分厚度大于或等于 0。

11. 根据权利要求书 8 所述的显示基板，还包括：

邦定区第一栅绝缘层，位于所述邦定区，覆盖所述衬底基板，所述第一引线连接部位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧；

邦定区第二栅绝缘层，位于所述邦定区，位于所述邦定区第一栅绝缘层背离所述衬底基板的一侧并且覆盖所述第一引线连接部；

邦定区层间绝缘层，位于所述邦定区，且位于所述邦定区第二栅绝缘层背离所述衬底基板的一侧，所述第一导体部通过设置在所述邦定区第二栅绝缘层中的过孔和设置在所述邦定区层间绝缘层中的过孔与所述第一引线连接部电连接，所述第二导体部位于所述第一导体部背离所述衬底基板的一侧并且覆盖所述第一导体部。

12. 根据权利要求书 8 所述的显示基板，其中，所述多个输入接触垫和所述多个输出接触垫中的所述至少一个还包括：

第三导体部，位于所述第二导体部背离所述衬底基板的一侧，与所述第二导体部电连接。

13. 根据权利要求书 12 所述的显示基板，还包括：

邦定区阻挡层，位于所述邦定区，覆盖所述第二导体层和所述接触垫绝缘层的第一部分，

邦定区无机层，位于所述邦定区，覆盖所述邦定区阻挡层，所述第三导体部通过设置在所述邦定区阻挡层中的过孔和设置在所述邦定区无机层中的过孔与所述第二导体部电连接。

14. 根据权利要求书 2 所述的显示基板，其中，所述多个第一虚拟接触垫中的至少一个包括第四导体部，所述第四导体部位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧，所述第四导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第四导体部与所述第二导体部同层设置。

15. 根据权利要求书 14 所述的显示基板，其中，所述多个第一虚拟接触垫中的至少一个还包括第五导体部，所述第五导体部位于所述第四导体部与所述衬底基板之间并且与所述第四导体部电连接，所述第五导体部与所述第一导体部同层设置。

16. 根据权利要求书 3 所述的显示基板，其中，所述多个阵列测试接触垫中的至少一个包括：

第二引线连接部，位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧；

第六导体部，位于所述第二引线连接部背离所述衬底基板的一侧，与所述第二引线连接部电连接；

第七导体部，位于所述第六导体部背离所述衬底基板的一侧，与所述第六导体部电连接，所述第七导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第二引线连接部、所述第六导体部和所述第七导体部分别与所述第一引线连接部、所述第一导体部和所述第二导体部同层设置。

17. 根据权利要求书 7 所述的显示基板，其中，所述多个第二虚拟接触垫中的至少一个包括第八导体部，所述第八导体部位于所述衬底基板面向所述多个输入接触垫和所述多个输出接触垫的一侧，所述第八导体部的边缘被所述接触垫绝缘层的第一部分覆盖，

其中所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，所述第八导体部与所述第二导体部同层设置。

18. 根据权利要求书 17 所述的显示基板，其中，所述多个第二虚拟接触垫中的至少一个还包括第九导体部，所述第九导体部位于所述第八导体部与所述衬底基板之间并且与所述第八导体部电连接，所述第九导体部与所述第一导体部同层设置。

19. 根据权利要求书 1 至 18 中任一项权利要求所述的显示基板，其中，所述多个子像素中至少一个包括像素驱动电路、第一平坦化层、第一转接电极、第二平坦化层以及发光元件，

所述第一平坦化层在所述像素驱动电路远离所述衬底基板的一侧以提供第一平坦化表面；

所述第一转接电极在所述第一平坦化表面上，且通过设置在所述第一平坦化层中的过孔与所述像素驱动电路电连接；

所述第二平坦化层在所述第一转接电极远离所述衬底基板的一侧以提供第二平坦化表面；

所述发光元件在所述第二平坦化表面上且通过设置在所述第二平坦化层中的过孔与所述第一转接电极电连接；

其中，所述接触垫绝缘层与所述第二平坦化层同层设置。

20. 根据权利要求 19 所述的显示基板，其中，所述像素驱动电路包括薄膜晶体管，所述薄膜晶体管包括栅极、源极和漏极，所述多个输入接触垫和所述多个输出接触垫中的至少一个包括第一引线连接部、第一导体部和第二导体部，其中，

所述第一引线连接部与所述栅极同层设置；

所述第一导体部与所述源极和漏极同层设置，

所述第二导体部与所述第一转接电极同层设置。

21. 根据权利要求 19 所述的显示基板，还包括显示区钝化层，所述显示区钝化层位于所述像素驱动电路和所述第一平坦化层之间，所述像素驱动电路和所述第一转接电极还通过设置在所述显示区钝化层中的过孔电连接；

所述显示基板还包括邦定区钝化层，所述邦定区钝化层和所述显示区钝化层同层设置。

22. 根据权利要求 19 所述的显示基板，还包括位于显示区的封装层、显示区阻挡层、第一触控电极层、第二触控电极层和触控绝缘层，所述封装层位于所述发光元件

的远离所述衬底基板的一侧，所述显示区阻挡层位于所述封装层的远离所述衬底基板的一侧，所述第一触控电极层位于所述显示区阻挡层背离所述衬底基板的一侧，所述触控绝缘层位于所述第一触控电极层背离所述衬底基板的一侧并且覆盖所述第一触控电极层，所述第二触控电极层位于所述触控绝缘层背离所述衬底基板的一侧；

所述显示基板还包括位于邦定区的邦定区阻挡层和邦定区无机层，所述多个输入接触垫和所述多个输出接触垫中的至少一个还包括第三导体部，所述邦定区阻挡层、所述邦定区无机层和所述第三导体部分别与所述显示区阻挡层、所述触控绝缘层和所述第二触控电极层位于同层。

23. 根据权利要求 20 所述的显示基板，其中，所述多个子像素中至少一个还包括显示区层间绝缘层、显示区第一栅绝缘层以及显示区第二栅绝缘层，所述显示区层间绝缘层位于所述栅极与所述源极和所述漏极之间，所述显示区第一栅绝缘层位于所述显示区层间绝缘层面向所述衬底基板的一侧，所述显示区第二栅绝缘层位于所述显示区层间绝缘层与所述显示区第一栅绝缘层之间；

所述显示基板还包括邦定区层间绝缘层、邦定区第一栅绝缘层和所述邦定区第二栅绝缘层，所述邦定区层间绝缘层、所述邦定区第一栅绝缘层和所述邦定区第二栅绝缘层分别与所述显示区层间绝缘层、所述显示区第一栅绝缘层和所述显示区第二栅绝缘层同层设置。

24. 根据权利要求 20 所述的显示基板，其中，所述多个子像素中至少一个还包括存储电容器，所述存储电容器的第一极与所述栅极同层设置，所述存储电容器的第二极设置在所述显示区层间绝缘层与所述显示区第二栅绝缘层之间。

25. 根据权利要求 1 至 18 中任一项权利要求所述的显示基板，其中，所述衬底基板包括：

第一柔性层，

第二柔性层，位于所述第一柔性层面向所述多个输入接触垫和所述多个输出接触垫的一侧；

第一衬底阻挡层，位于所述第一柔性层和所述第二柔性层之间；

第二衬底阻挡层，位于所述第二柔性层背离所述第一柔性层的一侧；

缓冲层，位于所述第二衬底阻挡层背离所述第一柔性层的一侧。

26. 一种显示装置，包括如权利要求 1-25 中任一项所述的显示基板。

27. 一种制造根据权利要求书 1 至 25 中任一项所述的显示基板的方法，包括：

提供衬底基板，所述衬底基板包括显示区、位于所述显示区至少一侧的邦定区和位于所述显示区至少另一侧的侧边区；

在所述显示区中形成多个子像素；

在所述侧边区形成栅极驱动电路，所述栅极驱动电路与所述多个子像素连接，并且被配置为向所述多个子像素提供栅极驱动信号；

在所述邦定区形成用于与外部电路电连接的多个输入接触垫；

在所述邦定区中形成多个输出接触垫，所述多个输出接触垫位于所述多个输入接触垫与所述显示区之间，所述多个输出接触垫与所述多个子像素和所述栅极驱动电路电连接；

在所述邦定区形成接触垫绝缘层，所述接触垫绝缘层位于所述多个输入接触垫中相邻输入接触垫之间的间隙、所述多个输出接触垫中相邻输出接触垫之间的间隙、以及所述多个输入接触垫与所述多个输出接触垫之间的区域，所述多个输入接触垫和所述多个输出接触垫的背离所述衬底基板的表面从所述接触垫绝缘层外露，其中所述接触垫绝缘层包括具有第一厚度的第一部分和具有第二厚度的第二部分，所述第二厚度小于所述第一厚度，所述多个输入接触垫和所述多个输出接触垫的边缘被所述接触垫绝缘层的第一部分覆盖，所述接触垫绝缘层的第二部分位于所述多个输入接触垫与所述多个输出接触垫之间的区域中。

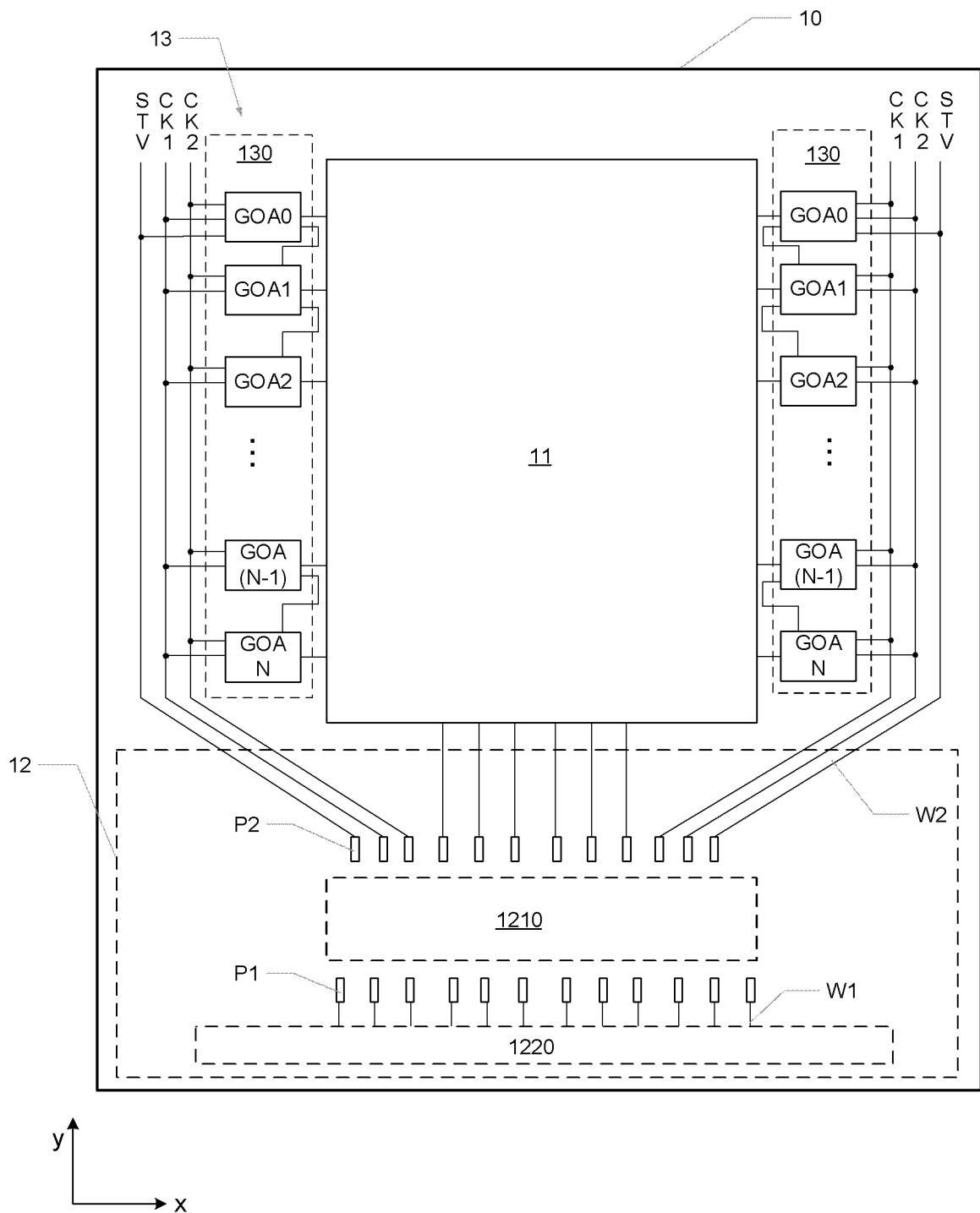


图 1A

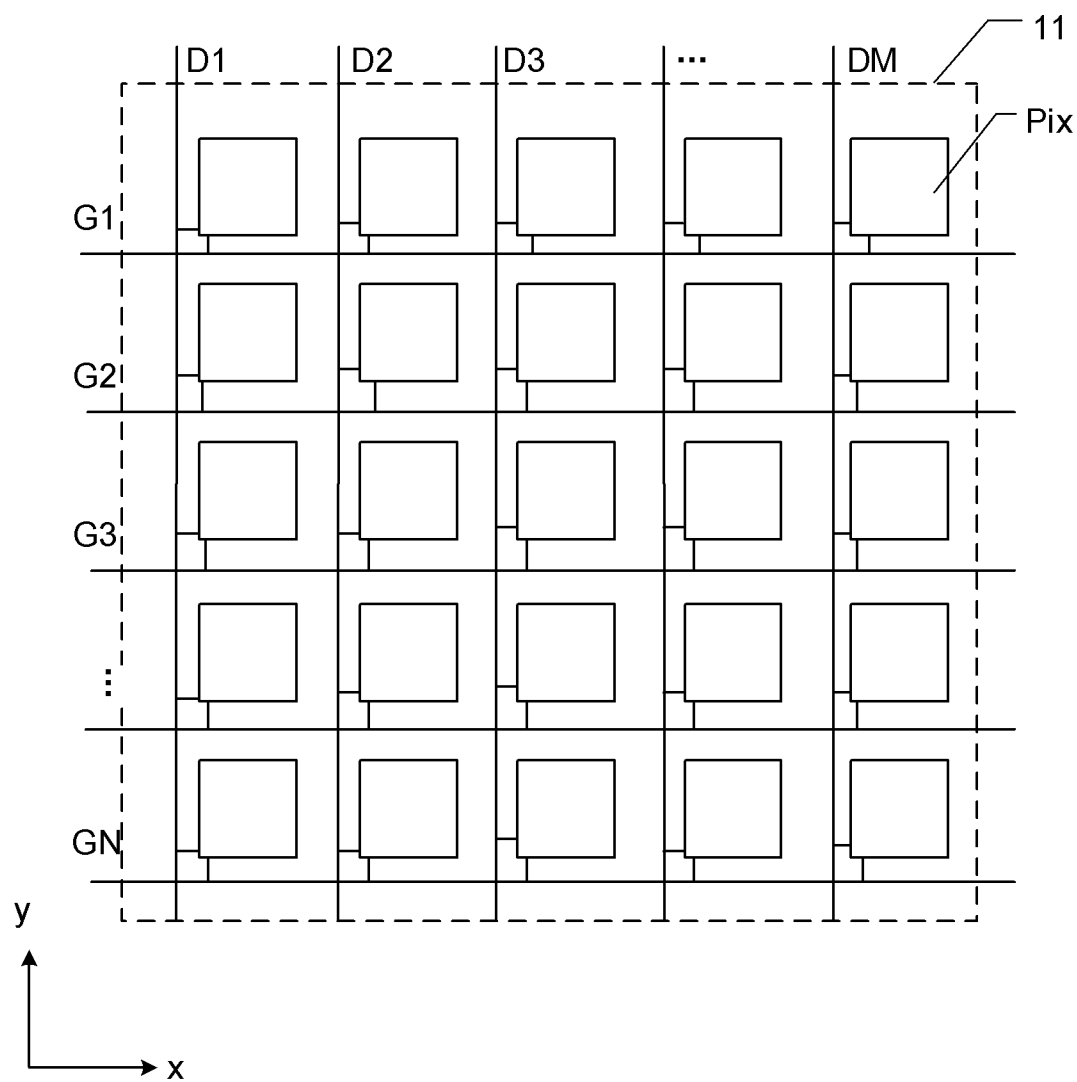


图 1B

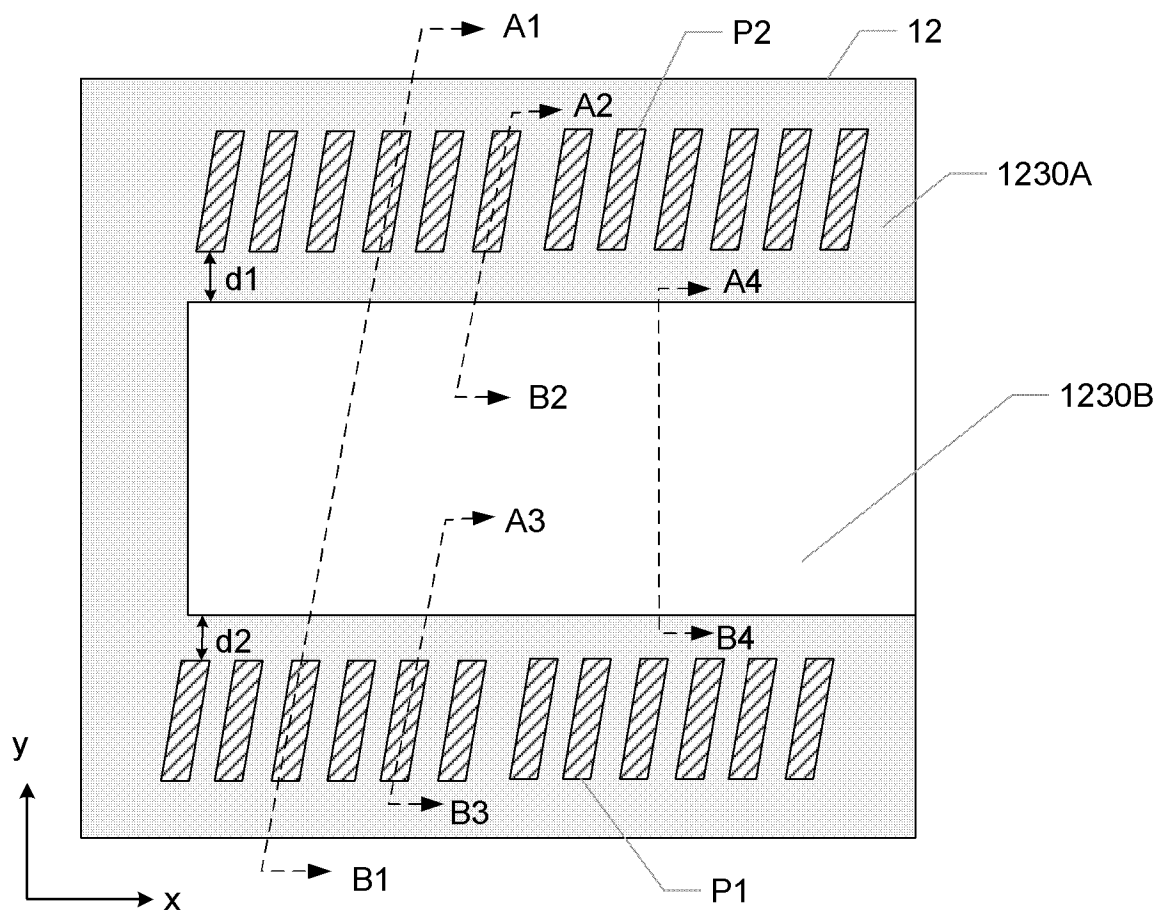


图 2

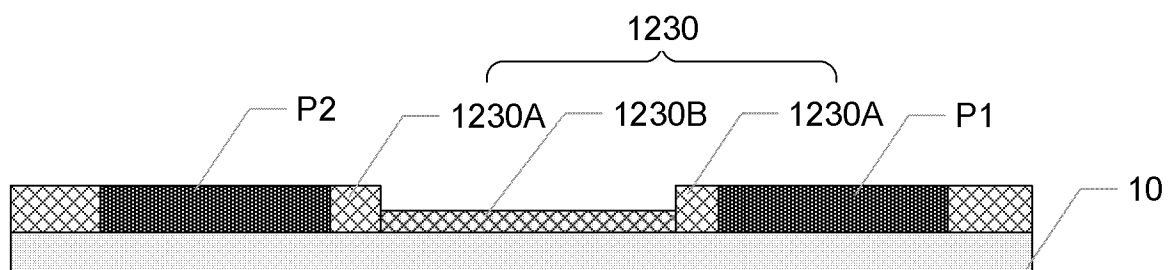


图 3

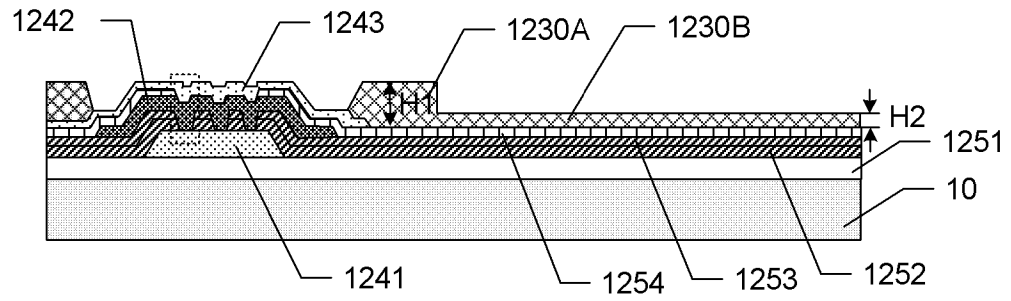


图 4A

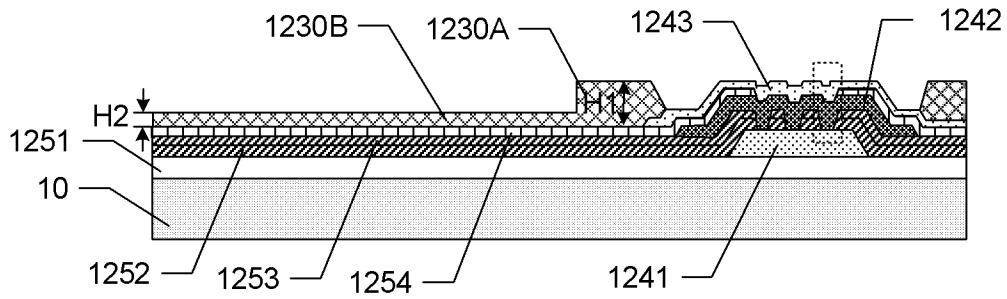


图 4B

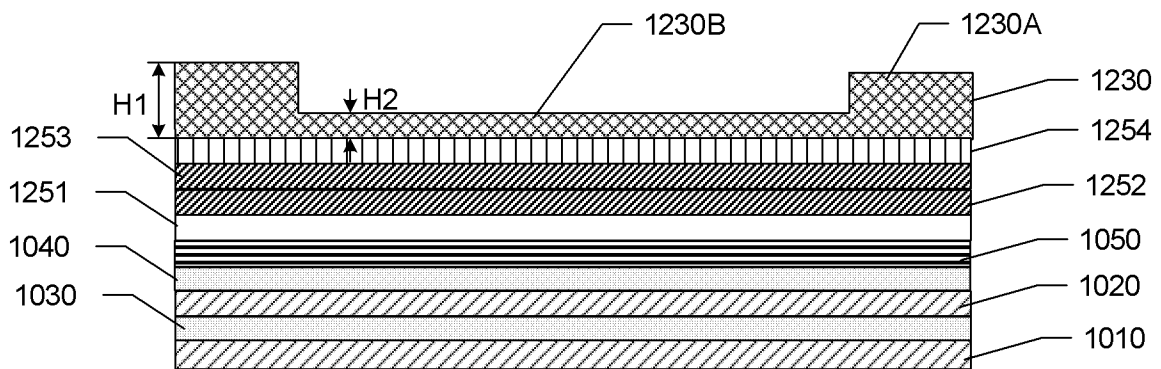


图 4C

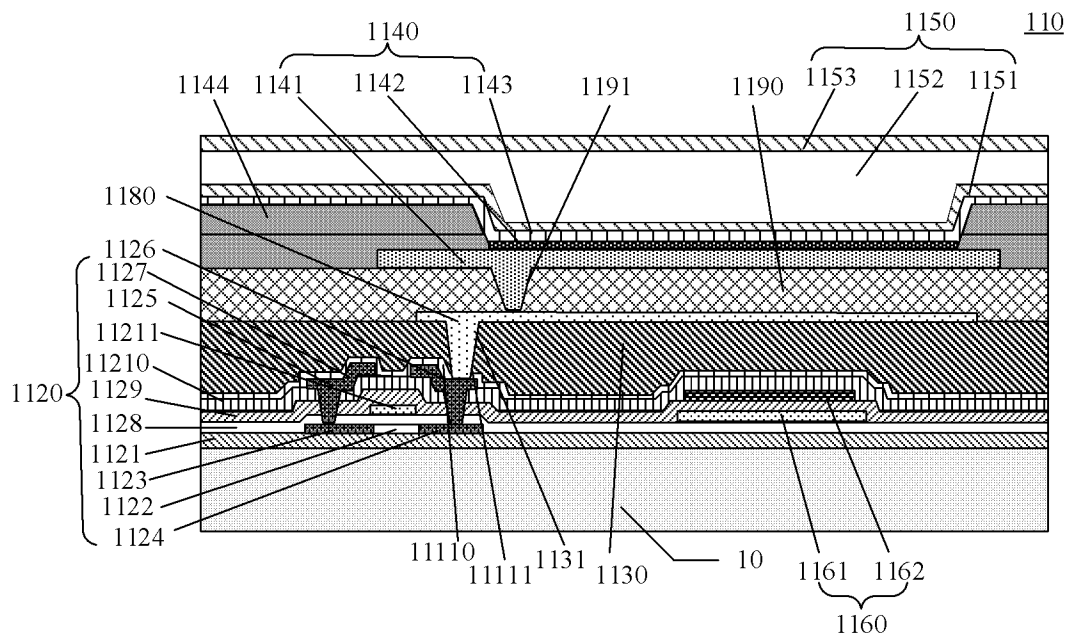


图 5

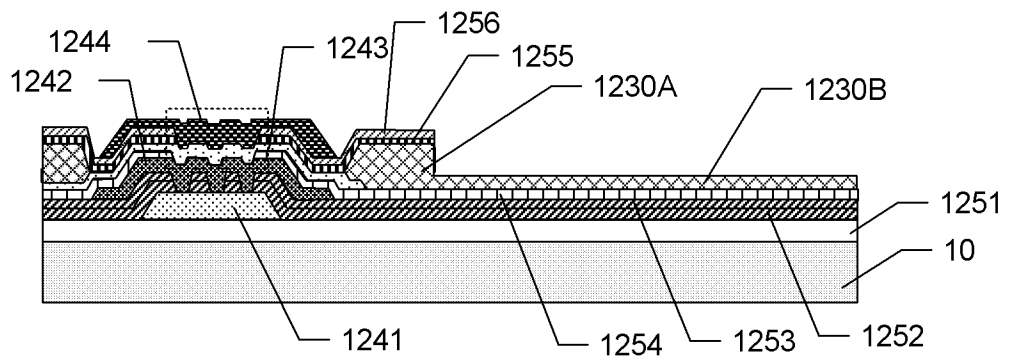


图 6A

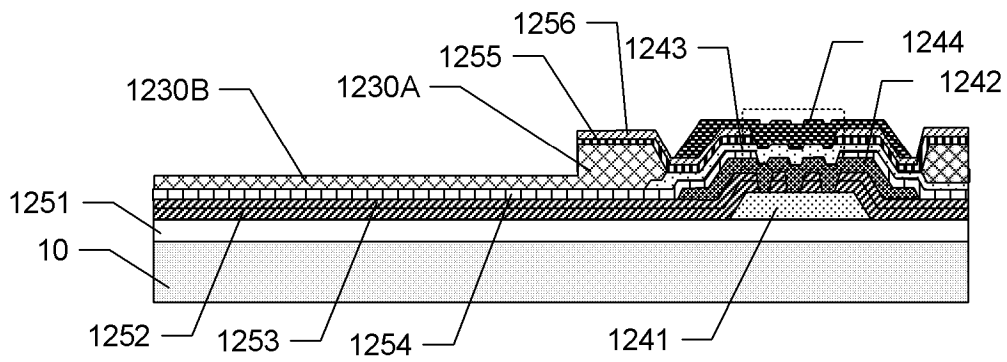


图 6B

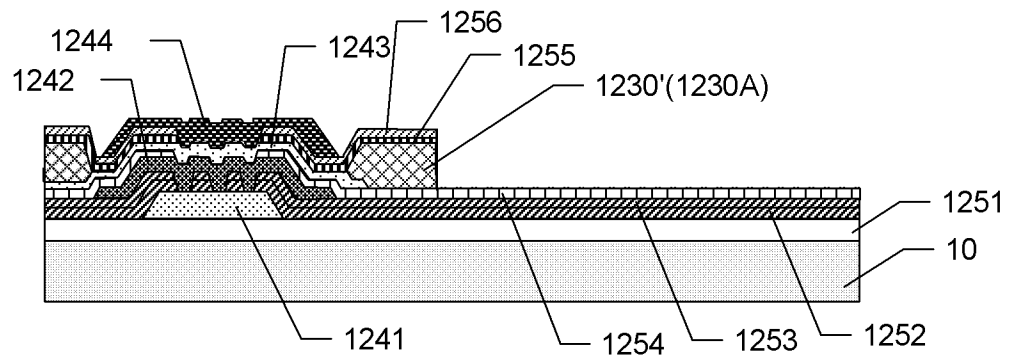


图 7A

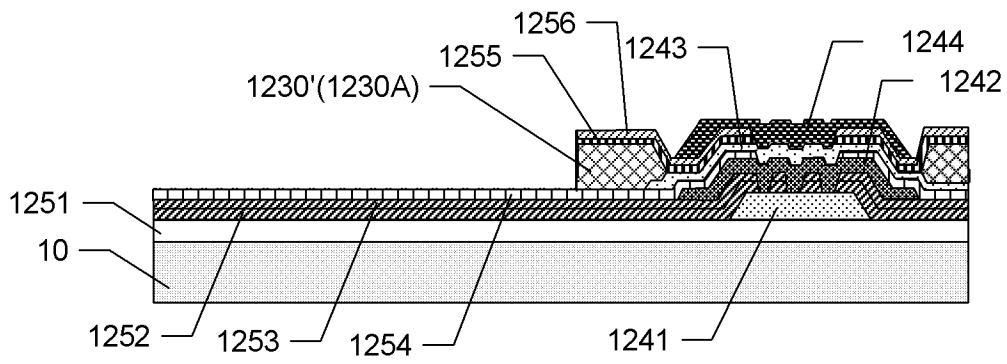


图 7B

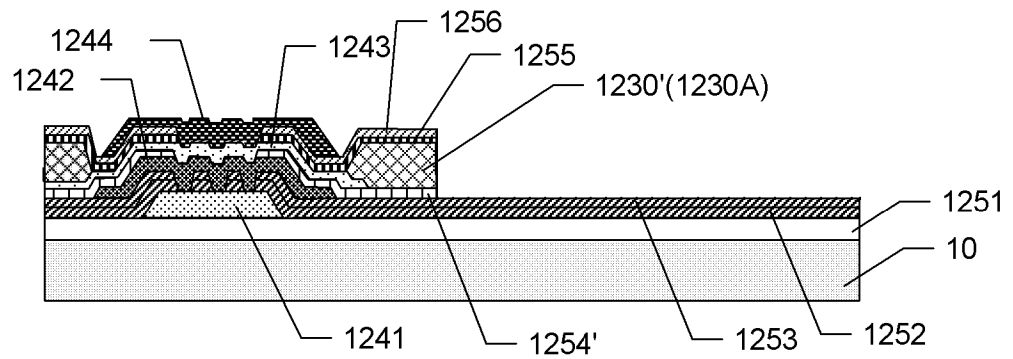


图 8A

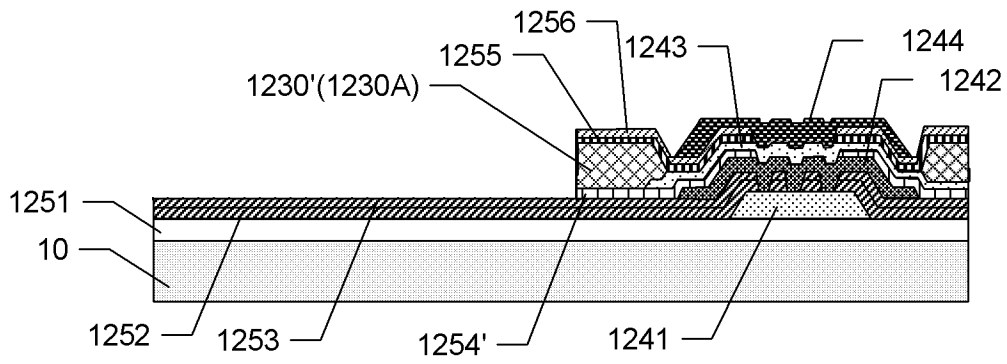


图 8B

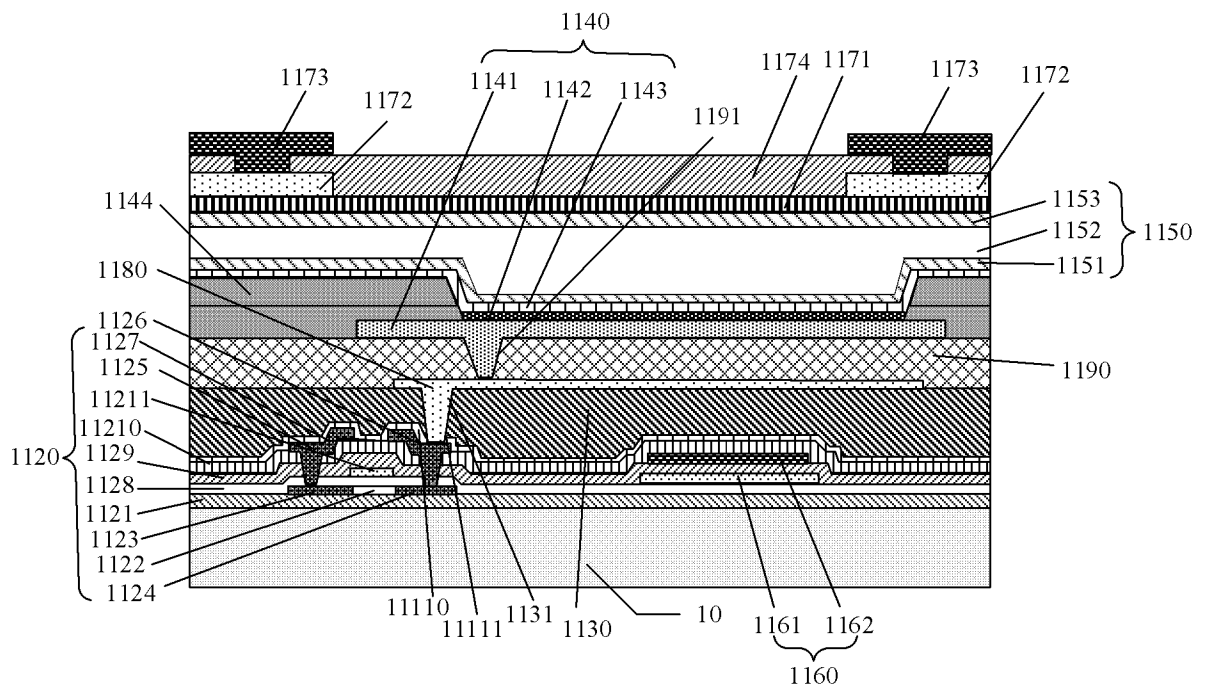


图 9

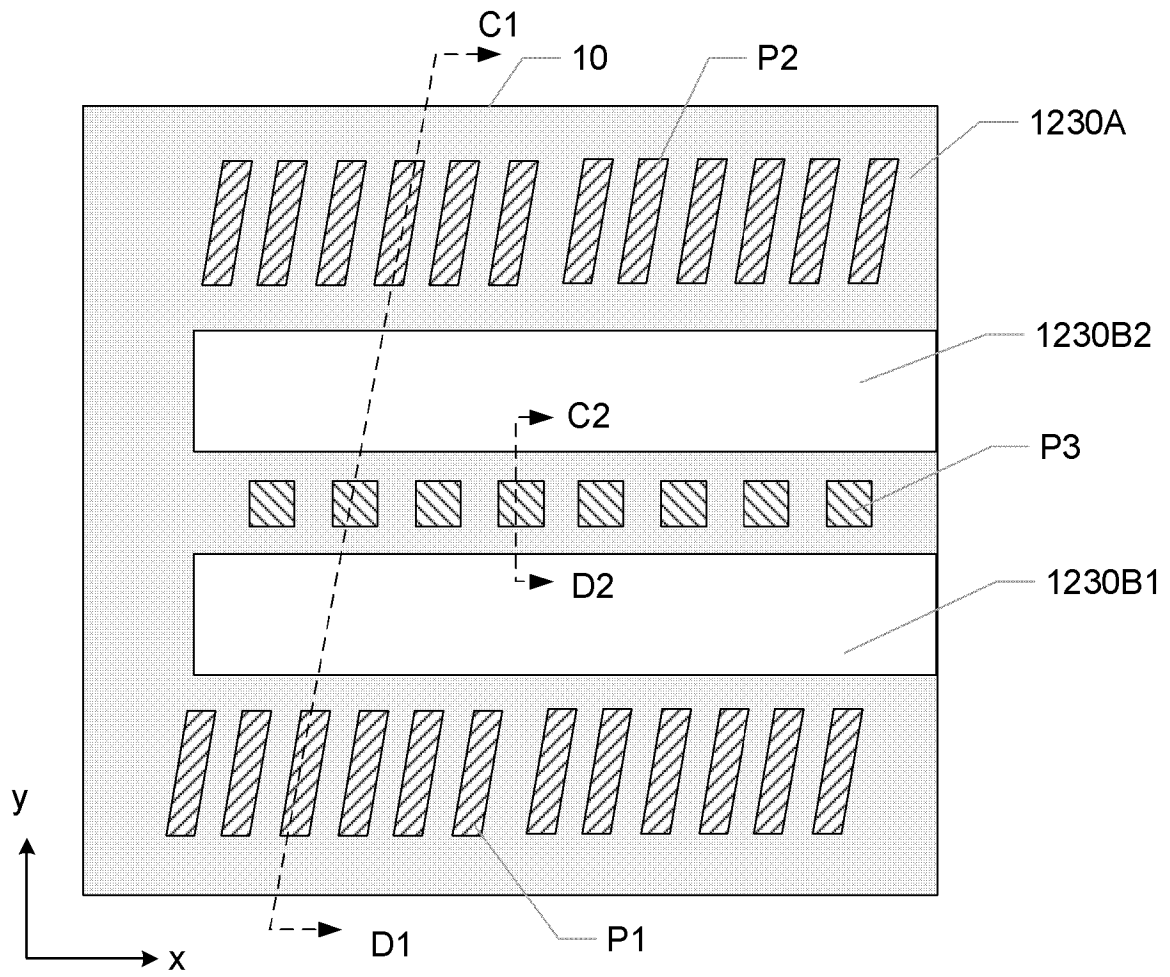


图 10

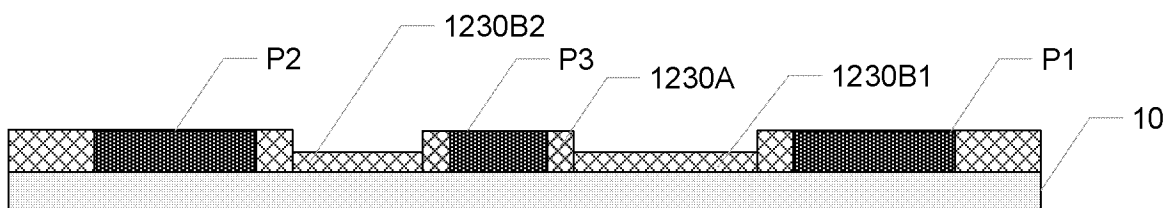


图 11

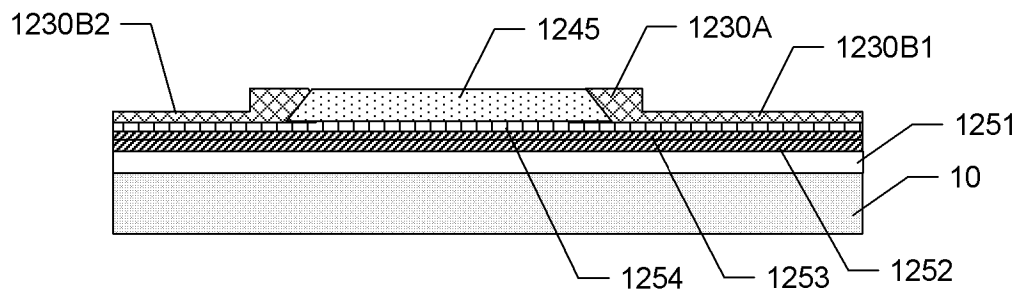


图 12A

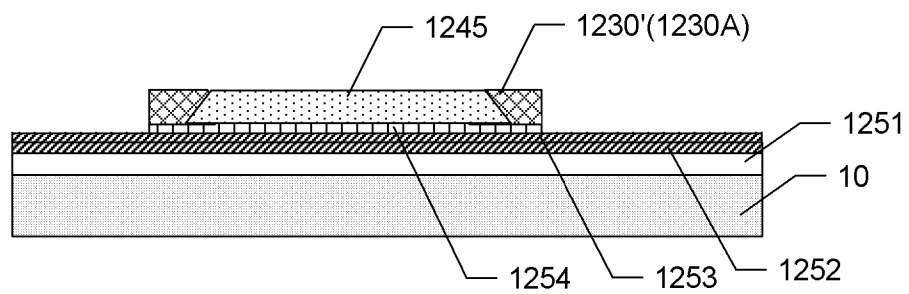


图 12B

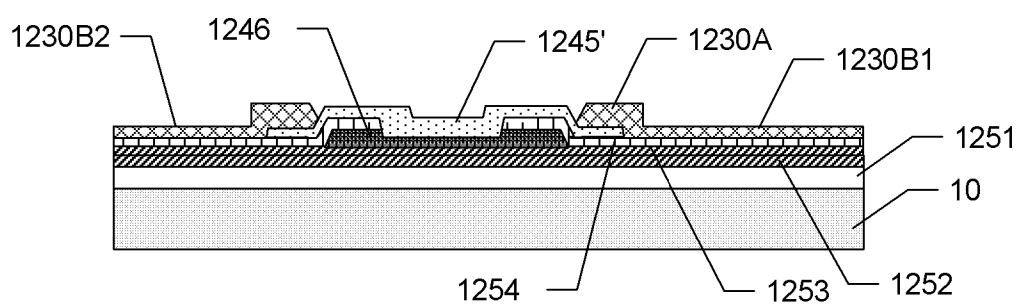


图 12C

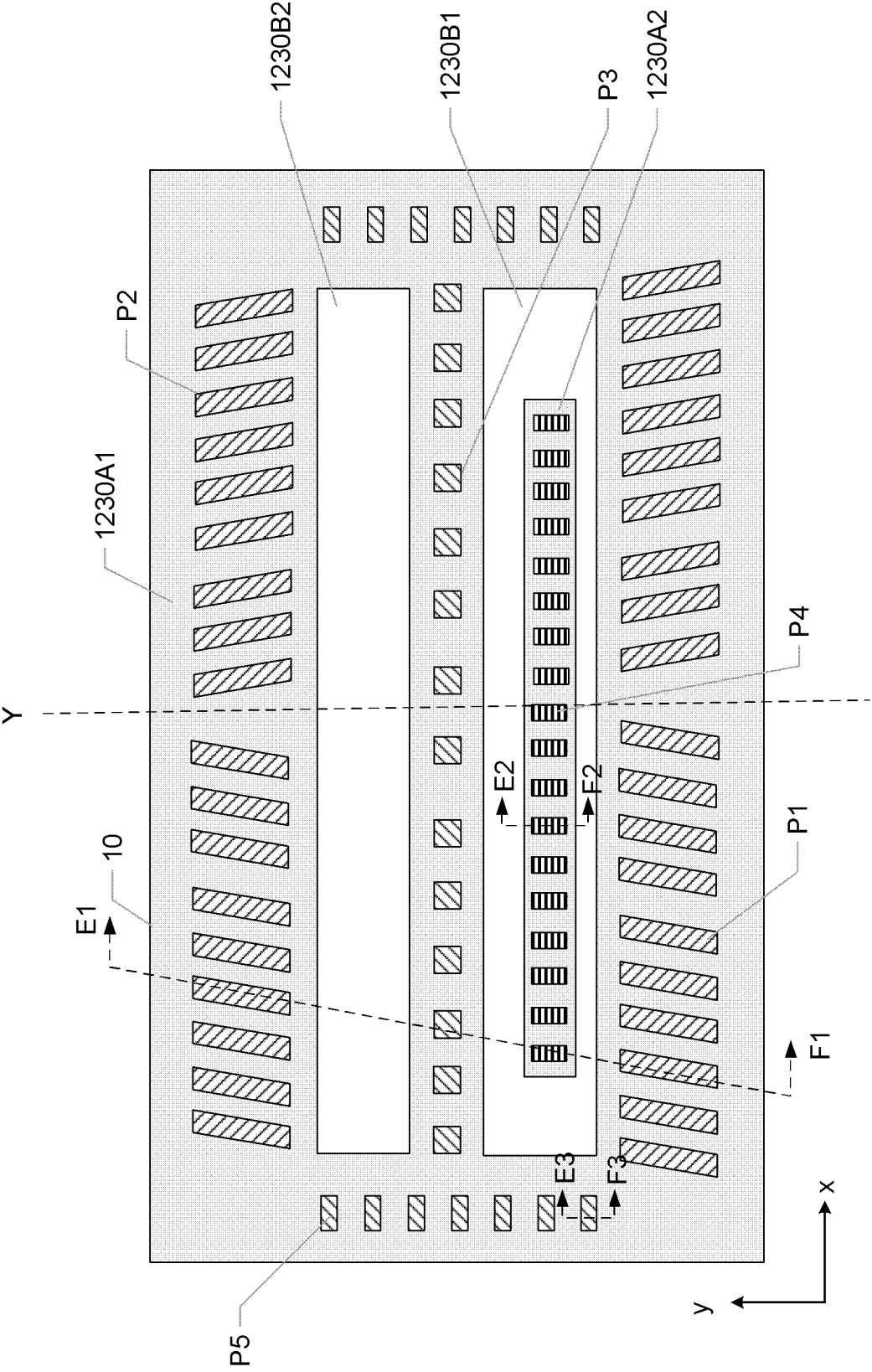


图 13

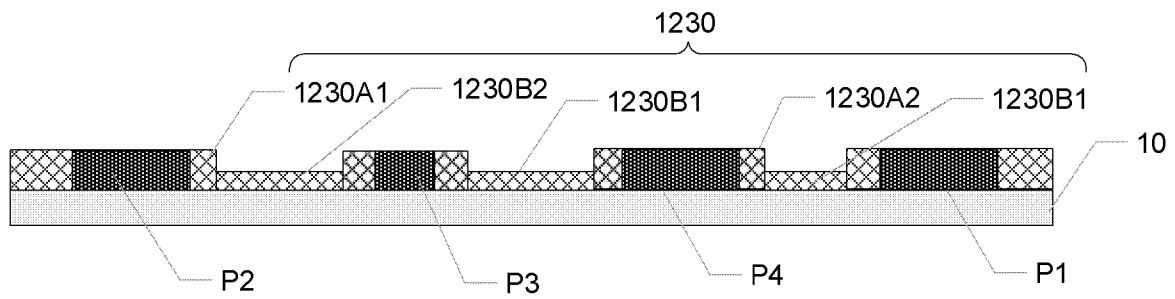


图 14

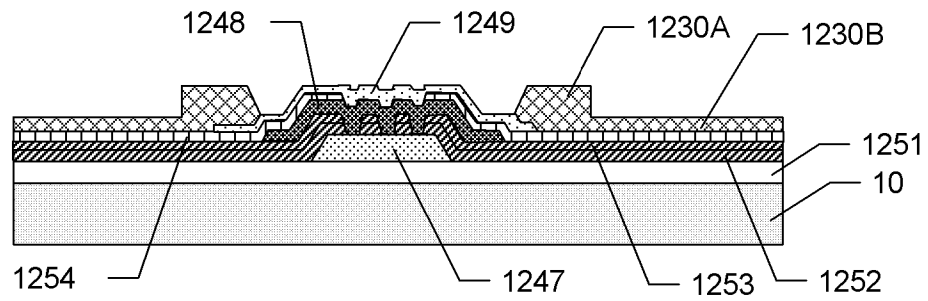


图 15A

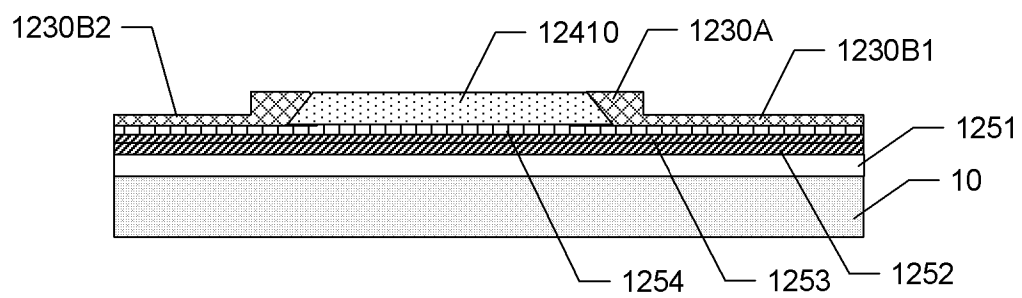


图 15B

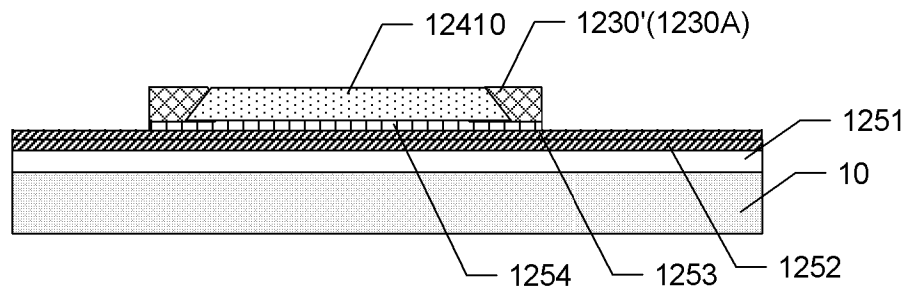


图 15C

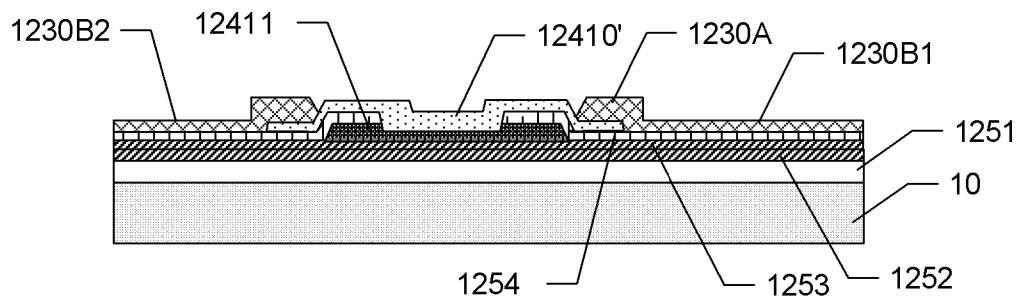


图 15D

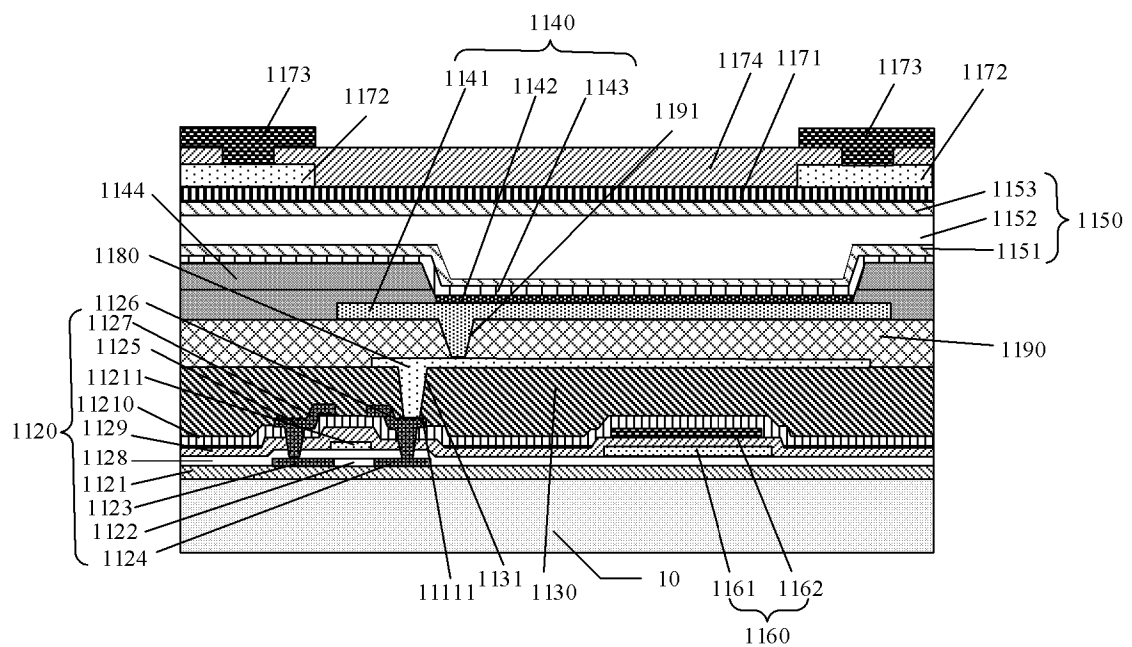


图 16A

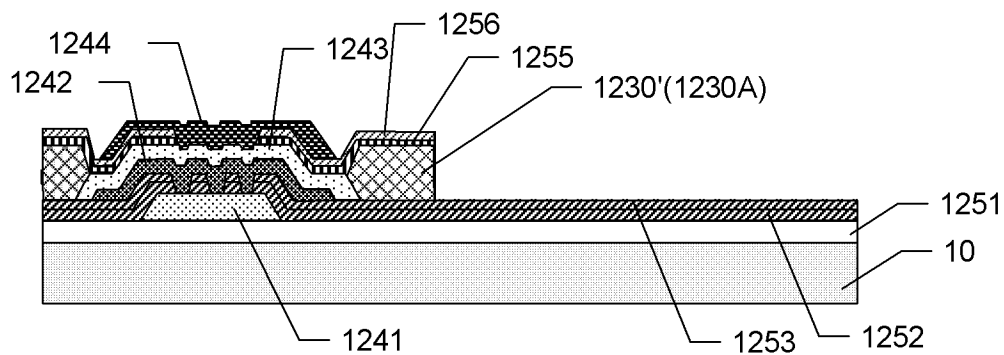


图 16B

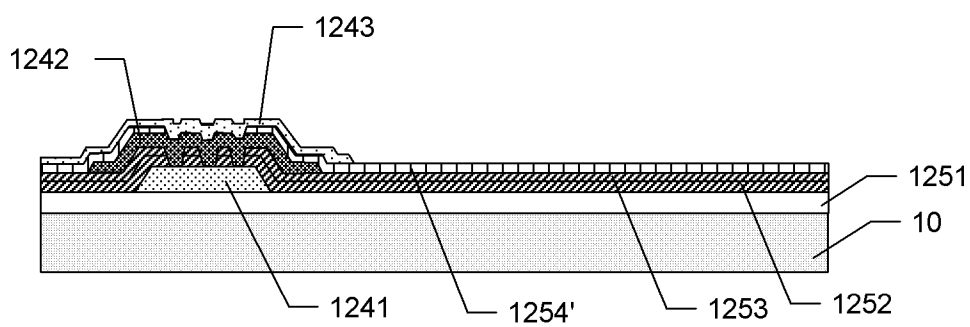
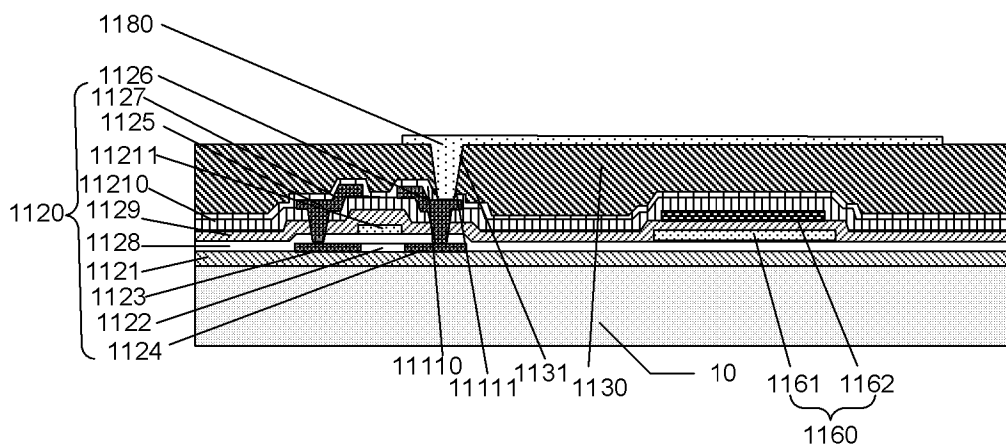


图 17A

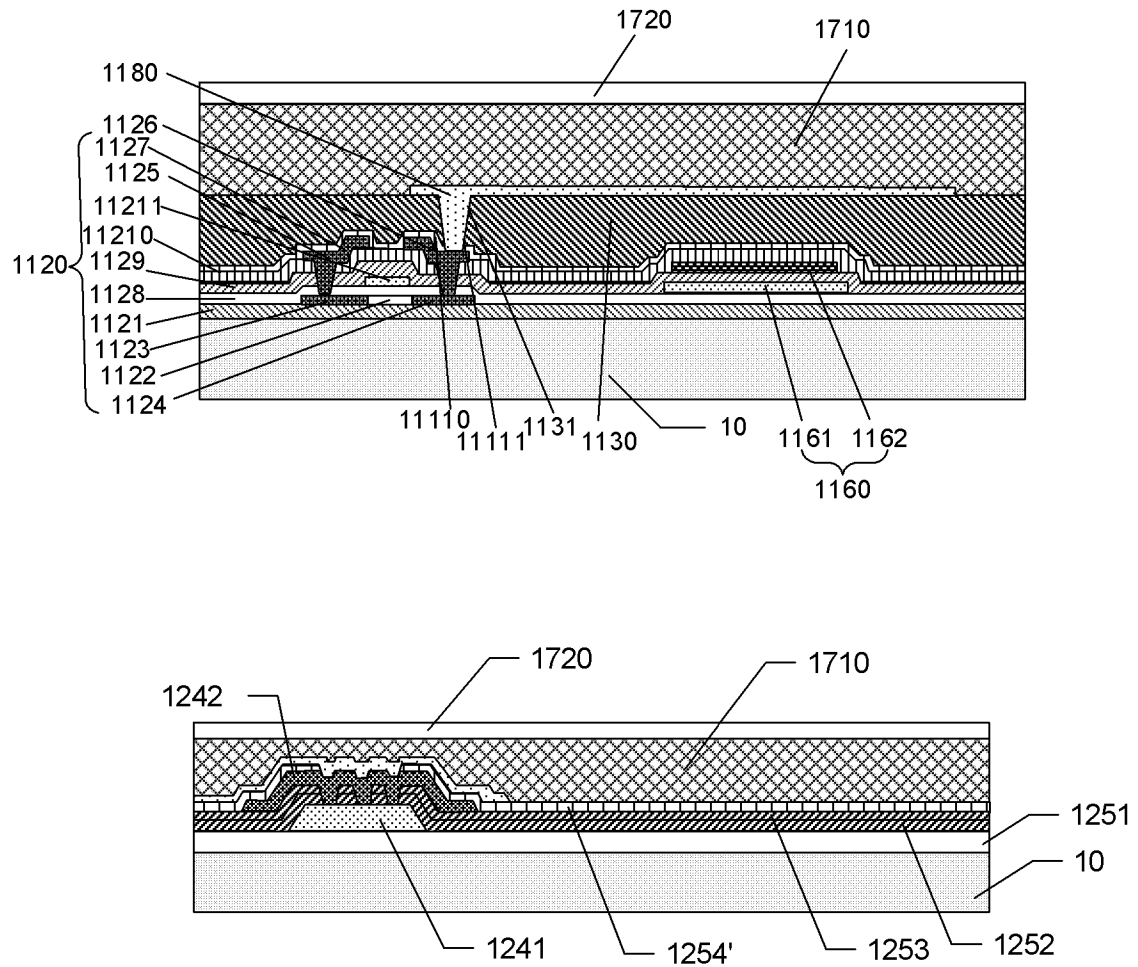


图 17B

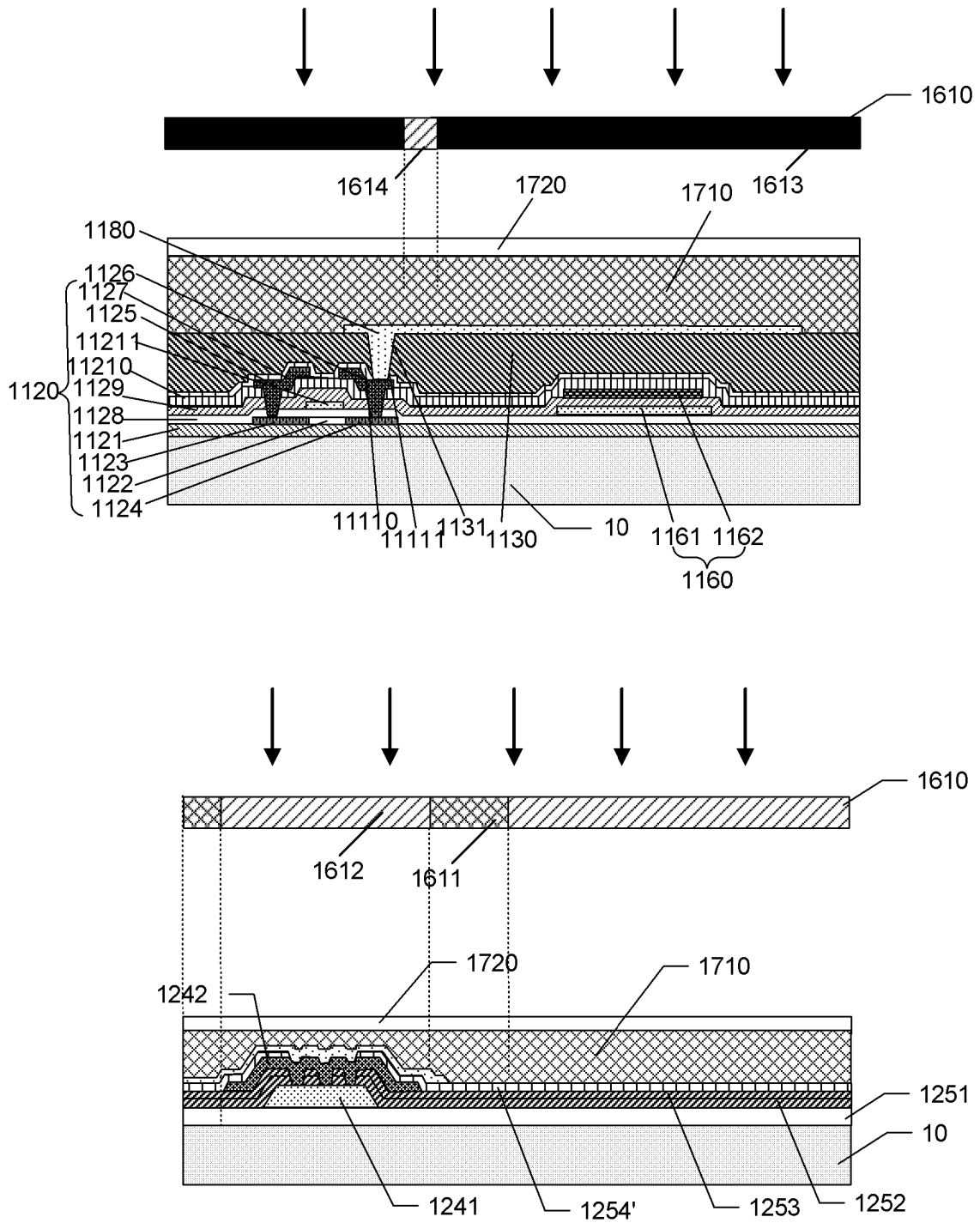


图 17C

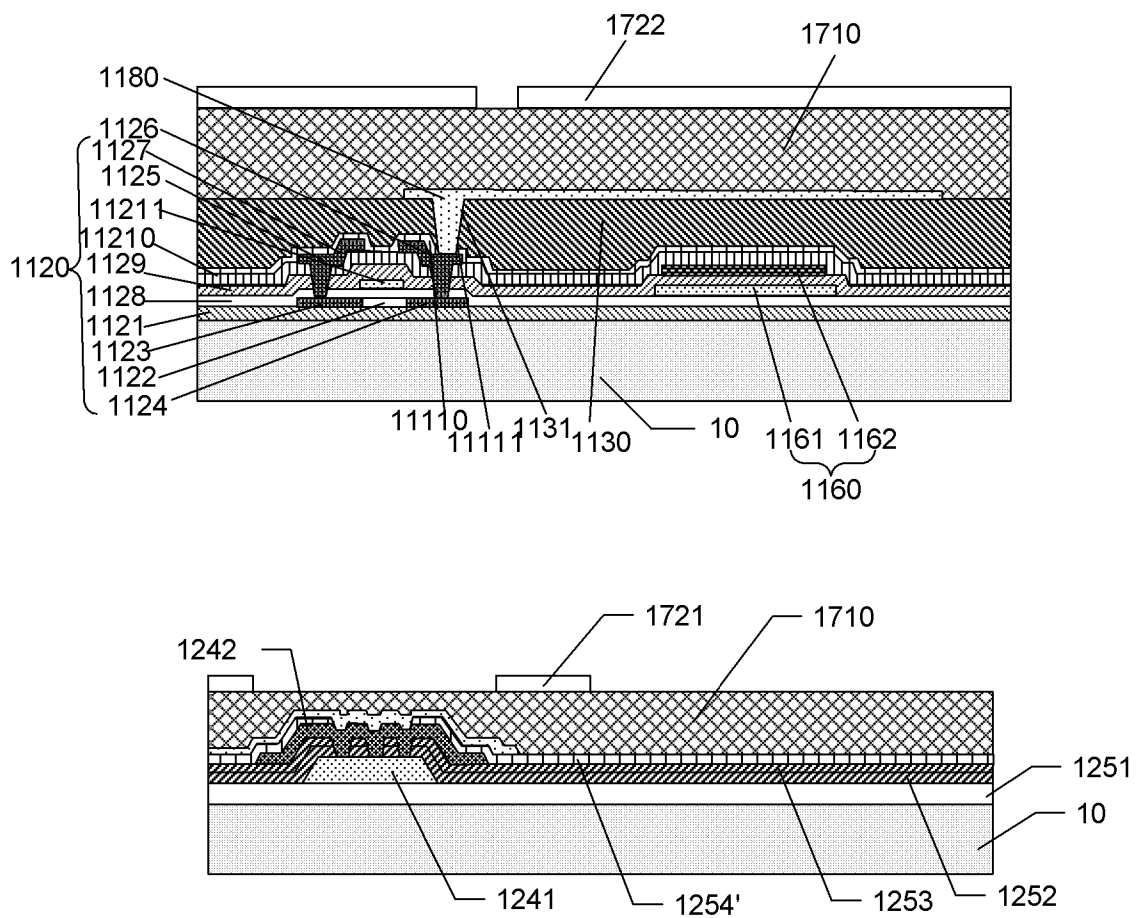


图 17D

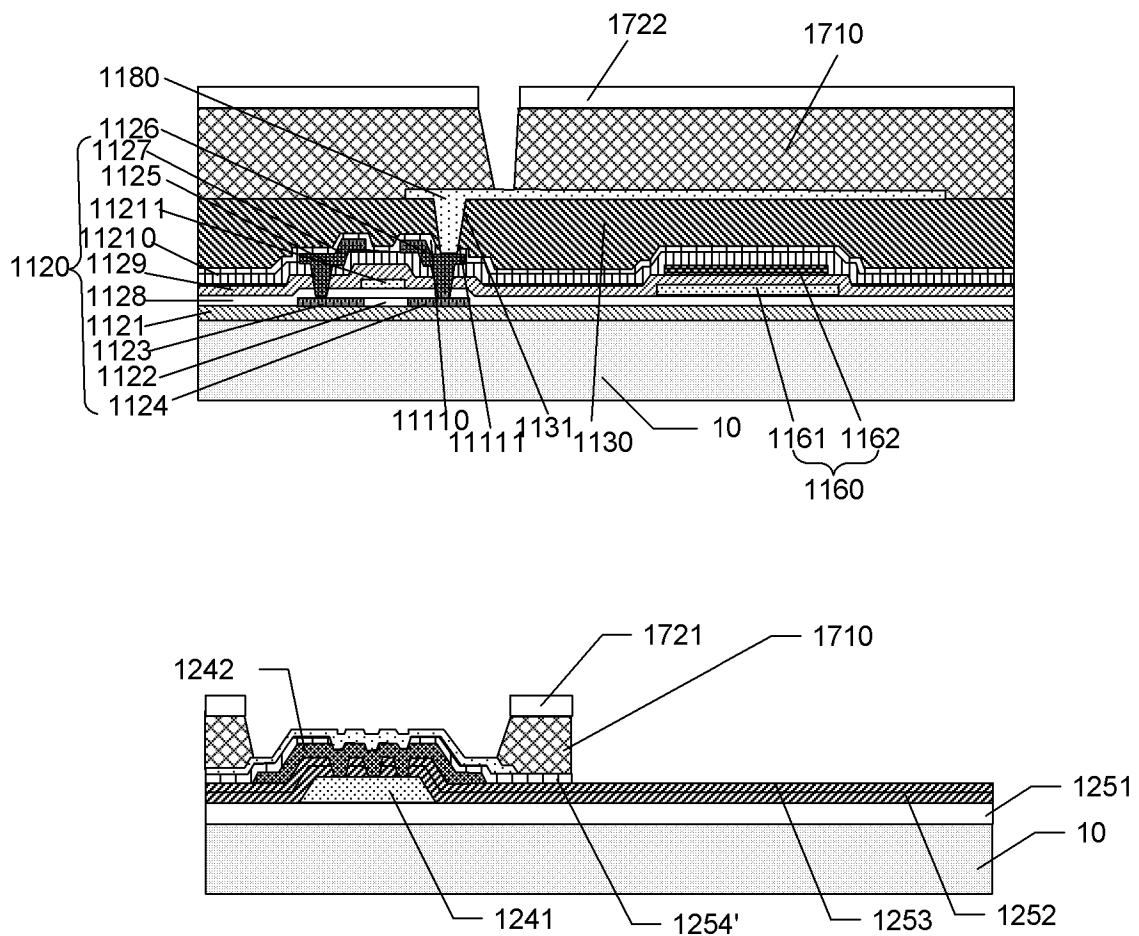


图 17E

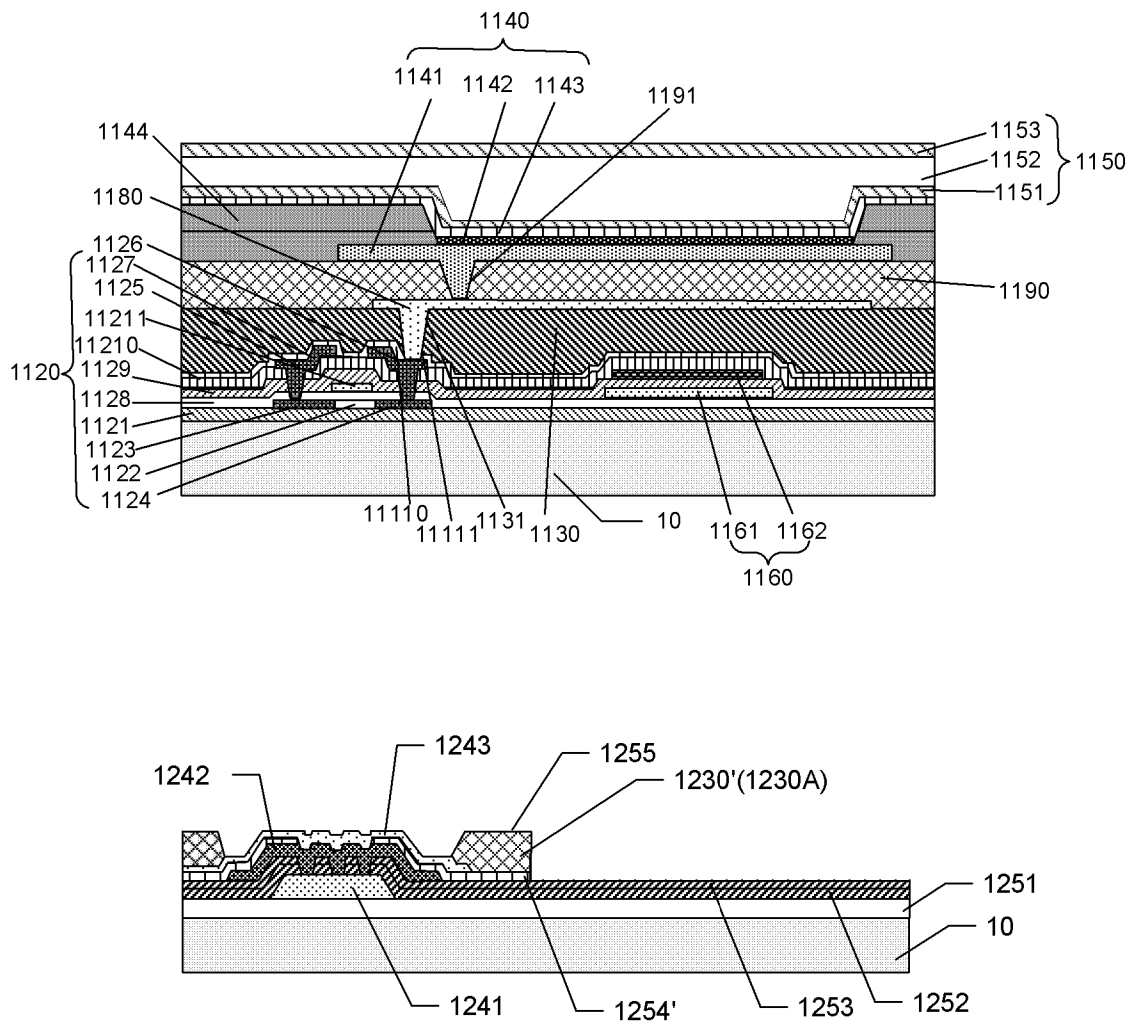


图 17F

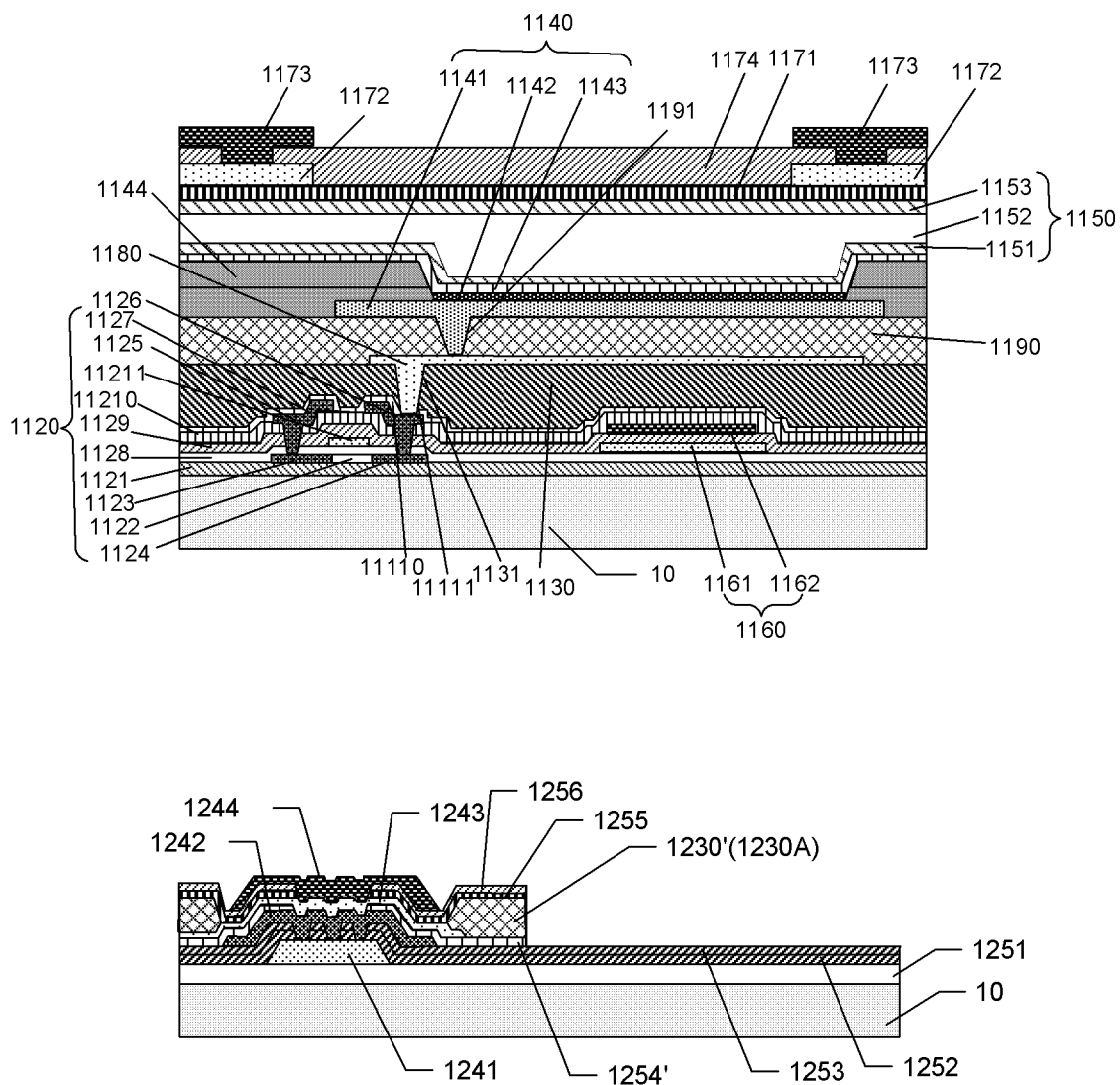


图 17G

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/110548

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; H01L 27/12(2006.01)i; G02F 1/13(2006.01)i; G06F 3/041(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F; G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 显示, 接触垫, 引脚, 焊盘, 接合垫, 绝缘层, 绑定, 邦定, 露出, 暴露, 外露, 输入, 输出, 厚度, 第一, 第二, display, contact pad, insulat+ layer, first, second, thick+, input, output, expos+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 109860224 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 June 2019 (2019-06-07) description, paragraphs [0037]-[0064], and figures 2-5	1-27
Y	CN 109459895 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 12 March 2019 (2019-03-12) description, paragraphs [0041]-[0057], and figures 2-3	1-27
A	CN 111223899 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 02 June 2020 (2020-06-02) entire document	1-27
A	CN 102253507 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 November 2011 (2011-11-23) entire document	1-27
A	WO 2020074869 A1 (ZYTRONIC DISPLAYS LIMITED) 16 April 2020 (2020-04-16) entire document	1-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 October 2021

Date of mailing of the international search report

28 October 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/110548

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109860224	A	07 June 2019	US	2019393440	A1	26 December 2019
				CN	109860224	B	14 May 2021
				EP	3719844	A1	07 October 2020
				US	10763450	B2	01 September 2020
				WO	2019105086	A1	06 June 2019
CN	109459895	A	12 March 2019	US	10985194	B2	20 April 2021
				CN	109459895	B	14 May 2021
				US	2020194468	A1	18 June 2020
CN	111223899	A	02 June 2020	None			
CN	102253507	A	23 November 2011	WO	2012136010	A1	11 October 2012
				CN	102253507	B	26 March 2014
WO	2020074869	A1	16 April 2020	GB	201816370	D0	28 November 2018

国际检索报告

国际申请号

PCT/CN2021/110548

A. 主题的分类

H01L 27/32(2006.01)i; H01L 27/12(2006.01)i; G02F 1/13(2006.01)i; G06F 3/041(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F; G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC: 显示, 接触垫, 引脚, 焊盘, 接合垫, 绝缘层, 绑定, 邦定, 露出, 暴露, 外露, 输入, 输出, 厚度, 第一, 第二, display, contact pad, insulat+ layer, first, second, thick+, input, output, expos+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 109860224 A (京东方科技集团股份有限公司 等) 2019年 6月 7日 (2019 - 06 - 07) 说明书第[0037]-[0064]段、附图2-5	1-27
Y	CN 109459895 A (厦门天马微电子有限公司) 2019年 3月 12日 (2019 - 03 - 12) 说明书第[0041]-[0057]段、附图2-3	1-27
A	CN 111223899 A (昆山国显光电有限公司) 2020年 6月 2日 (2020 - 06 - 02) 全文	1-27
A	CN 102253507 A (深圳市华星光电技术有限公司) 2011年 11月 23日 (2011 - 11 - 23) 全文	1-27
A	WO 2020074869 A1 (ZYTRONIC DISPLAYS LIMITED) 2020年 4月 16日 (2020 - 04 - 16) 全文	1-27

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 10月 12日

国际检索报告邮寄日期

2021年 10月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

赵慧

电话号码 (86-10)53961203

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/110548

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109860224	A	2019年 6月 7日	US	2019393440	A1	2019年 12月 26日
				CN	109860224	B	2021年 5月 14日
				EP	3719844	A1	2020年 10月 7日
				US	10763450	B2	2020年 9月 1日
				WO	2019105086	A1	2019年 6月 6日
CN	109459895	A	2019年 3月 12日	US	10985194	B2	2021年 4月 20日
				CN	109459895	B	2021年 5月 14日
				US	2020194468	A1	2020年 6月 18日
CN	111223899	A	2020年 6月 2日	无			
CN	102253507	A	2011年 11月 23日	WO	2012136010	A1	2012年 10月 11日
				CN	102253507	B	2014年 3月 26日
WO	2020074869	A1	2020年 4月 16日	GB	201816370	D0	2018年 11月 28日