

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/768

[12] 发明专利说明书

[21] ZL 专利号 95115252.1

[45] 授权公告日 2001 年 3 月 21 日

[11] 授权公告号 CN 1063580C

[22] 申请日 1995.7.26 [24] 颁证日 2000.12.1

[21] 申请号 95115252.1

[30] 优先权

[32] 1994.7.26 [33] JP [31] 194873/1994

[73] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 落合昭彦

[56] 参考文献

EP 575283A2 1993.12.22 H01L21/76

审查员 沈 丽

[74] 专利代理机构 中国专利代理(香港)有限公司

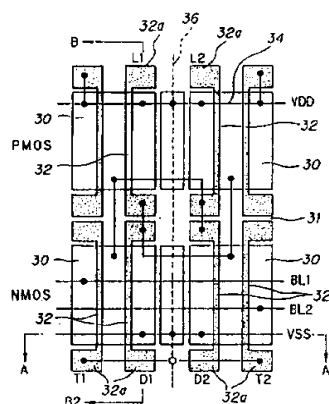
代理人 萧掬昌 王忠忠

权利要求书 2 页 说明书 10 页 附图页数 5 页

[54] 发明名称 制造具有多层互连的半导体器件的方法

[57] 摘要

一种制造具有多层互连的半导体器件的方法,包括:
在第一衬底的表面上形成沟槽;在沟槽和第一衬底的表面上形成第一绝缘膜;在第一绝缘膜的表面上形成第一互连层;在第一衬底的表面上形成第二绝缘膜;在第二绝缘膜上形成第二互连层;在所述第二绝缘膜的表面上依次形成第三绝缘膜和粘连层;在粘连层的表面上粘连第二衬底;通过从背面和沟槽底部去除第一衬底;和在第一衬底背面形成第四绝缘膜,并在第四绝缘膜上形成第三互连层。



权利要求书

1. 一种制造具有多层互连的半导体器件的方法,包括以下步骤:
在第一衬底的表面上形成一个沟槽,以提供一个元件隔离区;
在沟槽和第一衬底的表面上形成第一绝缘膜;
在第一绝缘膜的表面上形成第一互连层;
在第一衬底的表面上形成第二绝缘膜,以便覆盖第一互连层并填充沟槽;
在第二绝缘膜上形成第二互连层;
在所述第二绝缘膜的表面上依次形成第三绝缘膜和粘结层,以覆盖第二互连层;
在粘结层的表面上粘连第二衬底;
通过从背面和沟槽底部去除第一衬底,使第一衬底背面平整化;
和
在第一衬底背面形成第四绝缘膜,并在第四绝缘膜上形成第三互连层。
2. 根据权利要求1的制造半导体器件的方法,其中形成第一绝缘膜的步骤包括形成栅极绝缘膜,形成第一互连层的步骤包括通过使一导电膜构图形成栅极。
3. 根据权利要求1的制造半导体器件的方法,其中形成第二绝缘膜的步骤进一步包括在第一衬底的整体表面上形成第二绝缘膜并使形成的第二绝缘膜构图。
4. 根据权利要求2的制造半导体器件的方法,其中该方法还包

括在形成栅极之后在第一衬底上形成源/漏区。

5. 根据权利要求1的制造半导体器件的方法，其中形成粘结层的步骤包括通过在第三绝缘膜上形成多晶硅层以及对所形成的多晶硅层进行抛光而使表面平整化。

6. 根据权利要求1的制造半导体器件的方法，其中形成第四绝缘膜的步骤包括在第一衬底背面形成第四绝缘膜，并使所形成的第四绝缘膜构图。

制造具有多层互连的半导体器件的方法

本发明涉及一种制造具有多层互连 (multilevel interconnection) 的半导体器件的方法。

随着对高集成度的LSI(大规模集成电路)的需求增加,开始使用更多层的互连结构。相应地,在制造半导体器件的整体工艺中,制造互连结构的步骤占据了较大部分。例如,在制造一种 $0.35\text{-}\mu\text{m}$ 的ASIC(专用集成电路)器件的工艺中,制造互连结构的过程约占制造该器件的整体工艺的三分之一。

此前已知的制造互连的方法包括在衬底上交替地叠置互连层和绝缘膜。

更具体地可参照图7,在衬底50的表面上形成有第一互连52,其间夹置有第一绝缘膜51。然后,在第一互连52上形成第二互连54,其间夹置有第二绝缘膜53。相似地,按顺序依次形成第三绝缘膜56、第三互连57、第四绝缘膜58和第四互连59,从而形成多层互连结构。

上述的多层互连结构非常有助于实现特性改善的高密度芯片。

但是,在根据上述的已有工艺形成多层互连结构时,互连的台阶高度随互连层数的增加而增大。这使得在工艺进行至与较上面的层相关的步骤时,互连的形成更为困难,并会导致诸如互连的接

触故障或短路和/或开路故障之类的问题。

例如,参照图7,在接触孔55 设在第一绝缘层51 和第二绝缘层53中的情况下,在接触孔部分,第二互连的台阶高度明显变大。可以看出, 这样大的台阶高度使得在第二互连上部形成的第二互连54与第三互连56之间不能形成良好接触。

这种互连的接触故障或短路和/或开路故障降低了半导体器件的生产率。

本发明的目的是要克服上述问题, 提供一种制造半导体器件的工艺,这种半导体器件包括多层互连, 各层互连间具有小的台阶高度。

根据本发明的方法的上述目的可通过多种方式实现。

根据本发明的一个方面,本发明提供了一种制造具有多层互连结构的半导体器件的方法,该方法包括: 在第一衬底的表面上形成一个沟槽的第一步骤,沟槽可围绕形成元件的区域,从而形成一个元件隔离区,随后在沟槽和第一衬底的表面上形成第一绝缘膜; 在第一绝缘膜的表面上形成第一互连层的第二步骤;在第一衬底的表面上形成第二绝缘膜的第三步骤,第二绝缘膜覆盖第一互连层并填充沟槽,随后在第二绝缘膜上形成第二互连层; 按此顺序在第二绝缘膜表面上依次形成第三绝缘膜和粘结层的第四步骤,第三绝缘膜和粘结层在第二绝缘膜的表面上覆盖第二互连层,随后将第二衬底粘连至粘结层表面上,并从第一衬底背面开始除去第一衬底,直至到达沟槽底部;通过在第一衬底背面形成第四绝缘膜而使第一衬底背面平面化以及在第四绝缘膜上形成第三互连层的第五步骤。

根据本发明的另一方面,提供了一种如上所述的制造半导体器

件的方法,其中形成第一绝缘膜的第一步骤包括形成栅极绝缘膜,形成第一互连层的第二步骤包括通过使一导电膜构图形成栅(电极)。

也就是说,根据本发明的方法包括在第一衬底上形成第一和第二互连,然后将第二衬底粘连至在第一衬底的最外表面上形成的粘层。按此方式,第一和第二互连可埋置于第一和第二衬底之间。

因为第三互连是形成在为平面化而经受抛光和清除的第一衬底背面上,因此可实现平面化的第三互连。

另外,第一互连包括栅极。因此,栅极和接触可在第一衬底背面或第二衬底表面上形成。

图1(a)-1(e)是根据本发明的一个实施例的各工序步骤中得到的结构的示意图;

图2是根据本发明的一个实施例的多层互连结构的剖视图;

图3是根据本发明的一个实施例制造的采用基本单元门阵列的一种SRAM的布局图;

图4是沿图3的线A-A1截取的剖视图;

图5是沿图3的线B-B2截取的剖视图;

图6示出图3中所示的SRAM的等效电路;

图7示出根据现有方法制备的多层互连结构的剖视图。

下面参照实例和附图对本发明做更详细的描述。

图1(a)-1(e)示出根据本发明的一个实施例的各工艺步骤得到的结构,该工艺包括在一个衬底上形成包括一个晶体管的元件。图2示出根据本发明的一个实施例制备的多层互连结构的剖视图。

参照图1(a),借助平版印刷和蚀刻,在第一衬底1上形成有一沟

槽101,它围绕用于形成一个晶体管的区域100。第一衬底由例如硅制成。上述蚀刻工艺可通过例如反应离子蚀刻(简称为“RIE”)实现。

在形成沟槽101之后,在包括沟槽101在内的第一衬底1 的表面上形成有栅极氧化物膜102,作为第一绝缘膜。栅极氧化物膜102由例如二氧化硅构成,并可通过例如热氧化形成。

参照图1(b),根据本发明的方法的此步骤包括在栅极氧化物膜102的表面上形成导电膜(图中未示出)。此导电膜可通过例如化学汽相淀积(简称“CVD”)由多晶硅制成。

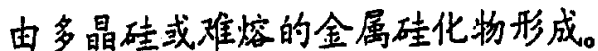
此后,借助平版印刷和蚀刻,对得到的导电膜进行构图。按此方式,便在用于形成晶体管的区域100上的栅极氧化物膜102上形成了一个栅极103。这个栅极103提供了第一互连。

以栅极103作掩模,通过进行离子注入在第一衬底上形成源/漏极104。

参照图1(c),在第一衬底的表面上形成第二绝缘膜105。同时,第二绝缘膜105是如此形成的,即栅极103被覆盖,而沟槽101则被填充。第二绝缘膜105由例如二氧化硅制成,并通过例如CVD工艺制备。第二绝缘膜105还起元件隔离膜之作用。

然后,在第二绝缘膜105上形成一抗蚀膜(图中未示出),并通过平版印刷和蚀刻使之构图,从而在抗蚀膜中形成一开口。接着,以抗蚀膜作掩模,通过例如RIE工艺,在第二绝缘膜中形成接触孔106。尔后,通过采用例如等离子灰化器或湿法工艺去除剩余的抗蚀膜。

然后,在第二绝缘膜105上以填充接触孔106之方式形成一导电膜(图中未示出)。导电膜可借助于例如溅射,CVD 或真空淀积方法



在图1(d)所示的步骤中,以第二互连107被覆盖之方式在第二绝缘膜上依次形成第三绝缘膜108和粘结层109。

在形成第三绝缘膜108之后,通过诸如CVD 之类的工艺在第三绝缘膜108上淀积一层多晶硅膜,并采用化学和/或机械抛光方法使所形成的膜的表面平面化。由此得到粘结层109。

此后,从第一衬底1的背面除去第一衬底1,直至到达沟槽101的底部。第一衬底可通过例如化学和机械抛光方法除去。在此除去第一衬底的过程之后,便得到了第一衬底背面的平整表面。

可通过例如用CVD 方法淀积二氧化硅得到上述的第四绝缘膜

- 5 -

抗蚀膜作为掩模进行RIE,以便例如在晶体管的源/漏104 上以及第四绝缘膜110上形成接触孔111,形成位置为第二互连外延之处。剩余的抗蚀膜通过例如等离子灰化或湿法工艺除去。

尔后,在第四绝缘膜110上以填充接触孔111之方式形成一导电膜(图中未示出)。此导电膜可借助例如溅射、CVD或真空淀积方法由例如铝或铝合金形成。

此后通过平版印刷和蚀刻对所形成的导电膜构图,从而得到第三互连112。

参照图2,在第四绝缘膜110上以与形成它所用的方法相同的方法形成第五绝缘膜113。由此,第四绝缘膜110 上形成第五绝缘膜113,并覆盖第三互连112。

以与形成接触孔111相同的方法,在第五绝缘膜113上形成接触孔114。

相似地,以与形成第三互连112相同的方法,在第五绝缘膜113上形成第四互连115。

由此便得到了如图2所示的(例如)四层互连结构。

在上述实例中,在第四步骤中形成于第一衬底1 的最外表面上的粘结层109与第二衬底2粘连,从而形成一个粘连的SOI结构。因此,第一互连即栅极103和第二互连107是埋置于第一和第二衬底 1和2之间。

尤其是,与现有技术中的四层式多层互连结构(见图7)相比,上述方法提供了这样一种结构,其中,省去了用于栅极103和第二互连107以及栅极氧化物膜102和第二绝缘膜105的步骤。另外,第三互连112和第四互连115形成了经抛光和去除处理的第一衬底1的平整

化的背面。因此,如图2所示,可形成平面的第三互连112。再者,第四互连115可以低的台阶高度形成。

由于迭置第一衬底1和第二衬底2 实现了一个SOI 结构,栅极103可与第一衬底1的背面或第二衬底2的表面接触。

可以看出,上述工艺实现了一种多层互连结构,与具有相同层数的现有互连结构相比,这种多层互连结构包括具有较低台阶高度的上层互连。因此,上层互连可以容易地制备。另外,由于互连间的接触故障或由于短路和/或开路故障导致的不良产品数可显著地降低。所以这种具有高可靠性的多层互连结构的形成增加了生产率。

在将上述的多层互连结构用于基本单元(cell base)LSI 中的情况下,门阵列的接触位置可以有更大的选择自由度。这对于实现高集成度的LSI是有效的。

根据本发明的方法对于基本单元LSI尤为有效。但是,该方法也适用于埋置单元阵列(embedded cell arrays);也就是说,适用于安装有基本单元门阵列的ASICs。

下面描述根据本发明的方法所适用的实例。

图3示出一个静态RAM(以下简称为“SRAM”)的布局图,其中采用了根据本发明的方法制造的基本单元门阵列。图4是沿图3 中的线A-A1截取的剖视结构图。图5是沿图3中的线B-B2 截取的剖视结构图。图6示出图3中所示的SRAM的等效电路。

参照上述各图,该SRAM共包括六个晶体管,即,两个数据保持晶体管(以下称作D1和D2),两个负载晶体管(以下称作L1和L2)和两个选择晶体管(以下称作T1和T2)。在上述六个晶体管中,D1,D2,T1和

T2各为一个NMOS晶体管,而L1和L2各为一个PMOS晶体管。

参照图4和5,晶体管D1,D2,L1,L2,T1和T2的栅极32中的每一个均按与上述的方法相似的方法形成。因此,栅极32埋置于第二绝缘膜31中。而且,如果栅极32用作第一互连,第二互连34 则形成在第二绝缘膜31的底侧,并埋置于第二绝缘膜31和第三绝缘膜35之间。

更为特殊的是,在第一衬底3 内部及其表面侧形成有每一晶体管D1,D2,L1,L2,T1和T2的源/漏区的扩散层30以及第一栅极32的电极垫32a。

在参考图3的平面图中,例如,相对于晶体管L1 和L2 的扩散层30而言,晶体管T1和D1的扩散层30是彼此反向设置的。类似地晶体管T2和D2的扩散层30也是彼此反向设置的。在上述的扩散层30中,晶体管T1和D1的扩散层是这样形成的:公共部分可彼此分享。相似地,晶体管D2和T2的扩散层30也是以公共部分可彼此分享的方式形成的。

第一衬底3可由例如硅制成,而电极垫32a可由例如多晶硅制成。

第二绝缘膜31形成于扩散层30的底侧,且其间夹置有第一绝缘膜(图中未示出)。栅极32形成于第二绝缘膜31内,且连至电极垫32a。栅极32可由例如多晶硅制成。

第二互连34形成于第二绝缘膜31的底侧。在图3中,第二互连34由实线表示。

第二互连34通过第二绝缘层31中设置的接触孔33 连接至扩散层30或电极垫32a。参照图3,第二互连34和扩散层30 或电极垫32a之间的接触由实点圆表示。

也就是说,第二互连34和扩散层30或电极垫32a 之间的接触埋

置于第二绝缘膜31中。

第三绝缘膜35形成于第二互连34的底侧。在图4和图5中,省略了形成于第三绝缘膜底侧的粘结层和第二衬底。

因此,可以看出,第二互连34是这样形成的:它埋置于第二绝缘膜31和第三绝缘膜35之间。

第三互连36形成于第一衬底3的顶侧,其间夹置有第四绝缘膜(图中未示出)。图3中的虚线表示第三互连36,空心圆表示第三互连和第一互连32之间的接触孔的位置。

在该实例中,第一晶体管D1,D2,L1,L2,T1 和T2 采用第二互连34以下述方式与两根比特线(以下称为B1和B2)、一根电源线(以下称为VDD)和一根地线(以下称作VSS)相连接。

第二互连34将比特线B1与晶体管T1的扩散层30相连,并将晶体管T1和D1的公共扩散层30与晶体管L1的扩散层30相连。它还将晶体管L1的扩散层30与晶体管L2的栅极32的电极垫32a相连,以及将电极垫32a与晶体管D2的电极垫32a相连。

它也将晶体管L1的扩散层30和晶体管L2的扩散层30 与电源线VDD相连,并将晶体管L2的扩散层30与晶体管T2和D2 公用的扩散层30相连。然后,晶体管T2和D2的公用层30连接电极垫32a,而且这个电极垫32a与晶体管L1的电极垫32a相连。晶体管T2的扩散层30 与比特线B2相连,晶体管D1的扩散层30与比特线B2相连,晶体管D1 的扩散层30和晶体管D2的扩散层30与地线VSS相连。

在上述实例中,构成SRAM的每一晶体管D1、D2、L1、L2、T1和T2的栅极32和电极垫32a以及第二互连34是这样设置的,即它们可以埋置于第一衬底3和第三绝缘膜35之间。

因此,根据本发明的方法使得一个器件能包含一个埋置于第一衬底3和粘连至第一衬底3的第二衬底之间的SRAM。

如上所述,本发明提供的方法包括将第二衬底粘连至在第一衬底的外表面上形成的粘连层。相应地,根据本发明的方法实现的结构包括埋置于第一和第二衬底之间的第一互连和第二互连。另外,由于第三互连形成于第一衬底的经抛光和去除处理的平整背面,故可实现平面化的第三互连。

相应地,与由现有方法得到的结构相比,本发明使多层互连结构具有更小的上层互连的台阶。因此,可简化上层互连的工艺过程,并可最大限度地减少由于互连间的接触故障或短路故障和/或开路故障引起的不良器件。由于可形成高可靠性的多层互连,故可提高生产效率。

另外,通过以第一互连作为栅极,可从第一衬底的背面或表面的任一个上形成接触。

由于增大了栅极接触的选位自由度,本发明对于增加LSIs的集成度尤为有效。

尽管已参照特定实施例对本发明做了详细描述,但对于本领域的技术人员而言,很明显,在不脱离本发明的精神和范围的情况下,可做出多种变化和修改。

说明书附图

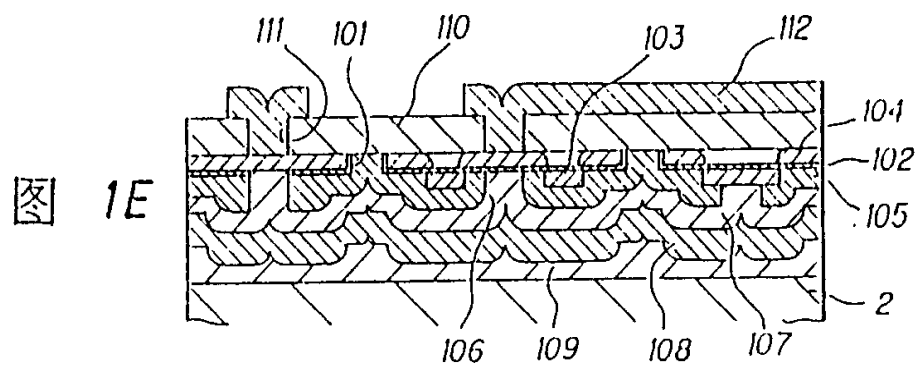
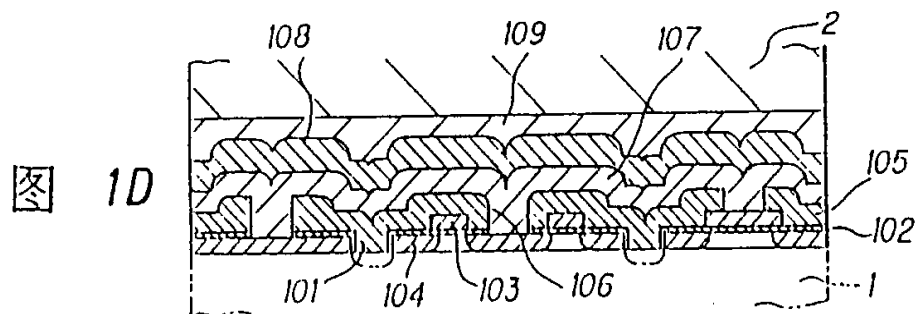
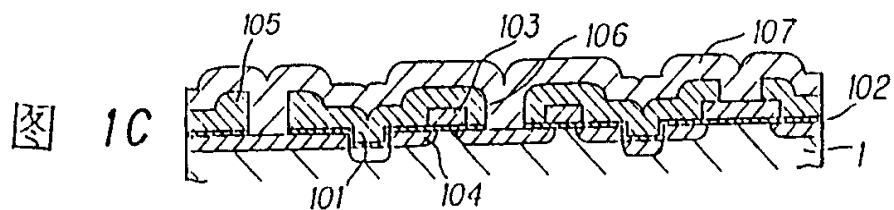
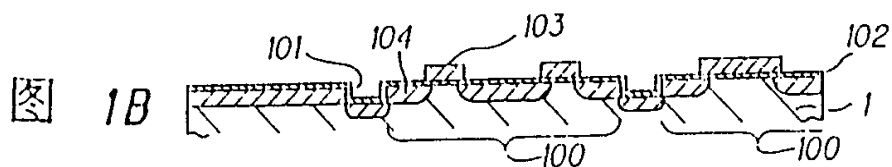
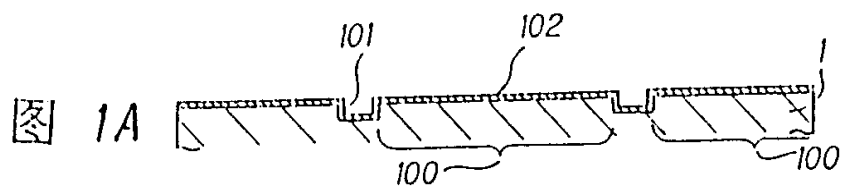


图 2

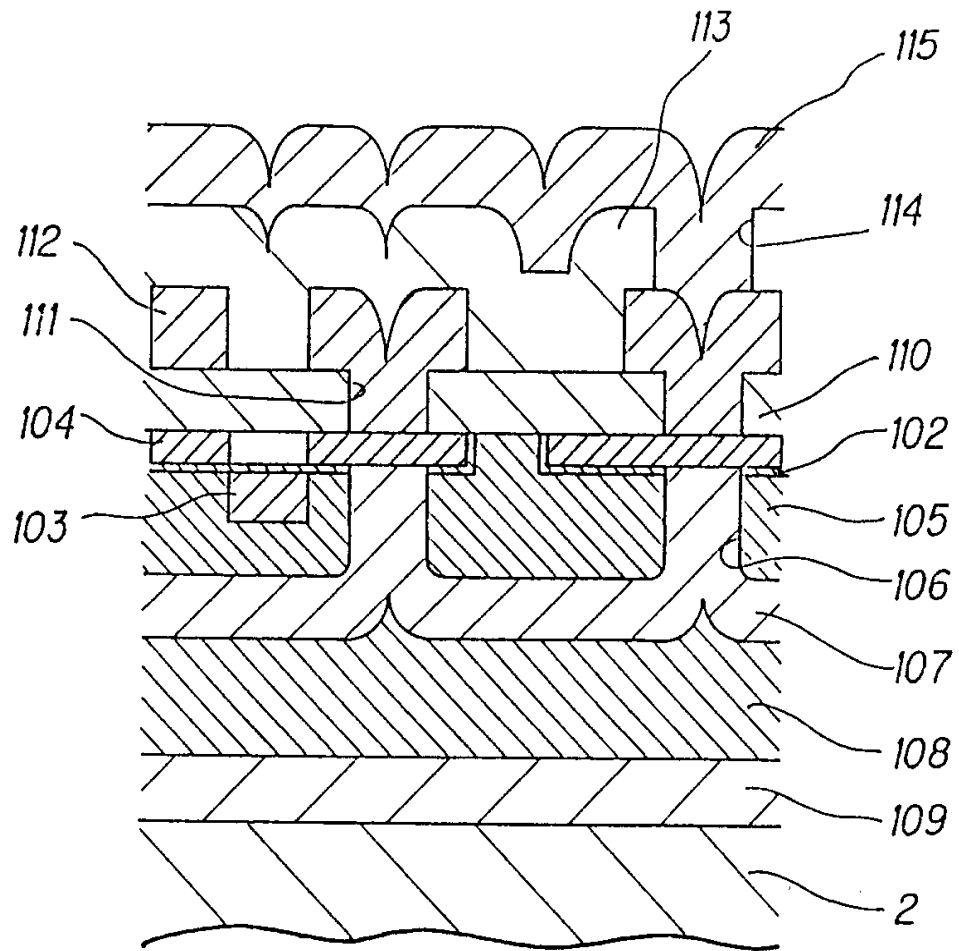


图 3

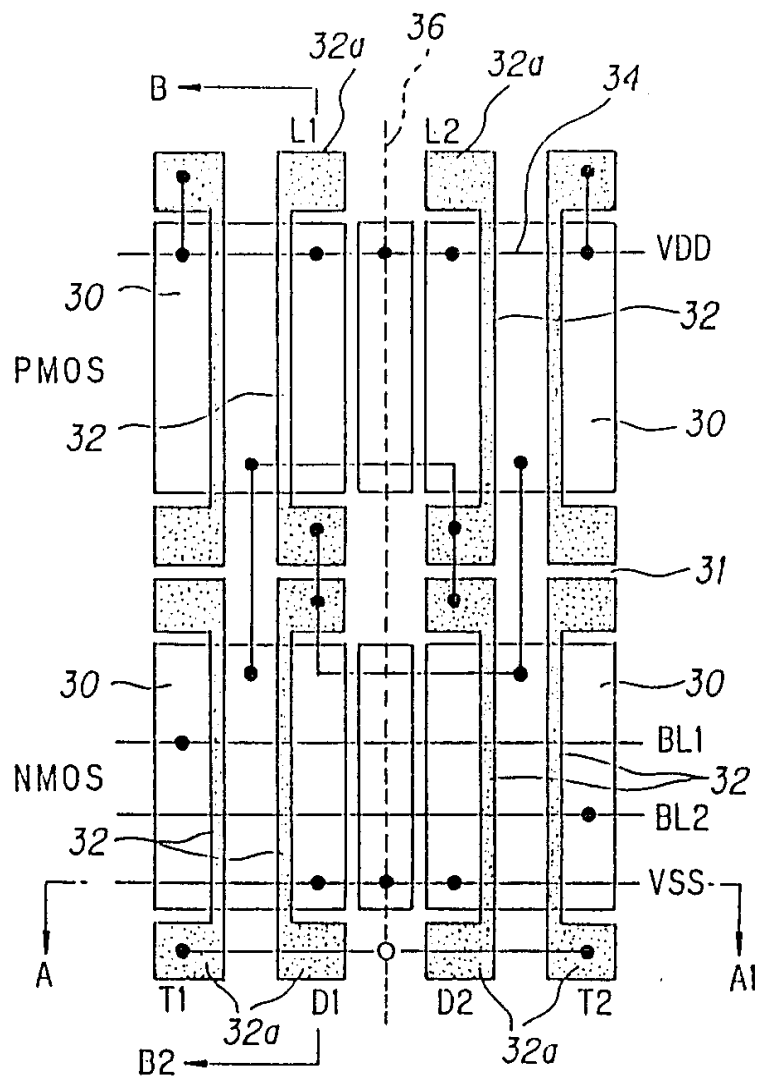


图 4

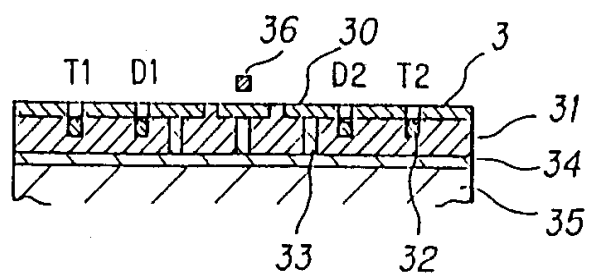


图 5

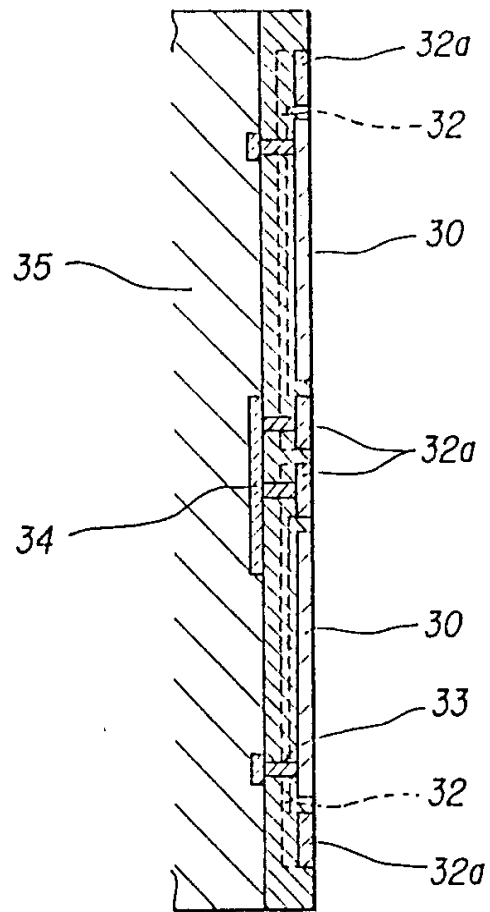


图 6

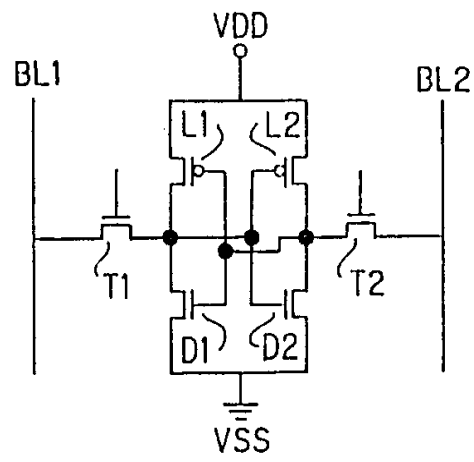


图 7

