



(21)申請案號：100117260

(22)申請日：中華民國 100 (2011) 年 05 月 17 日

(51)Int. Cl. : G01R31/317 (2006.01)  
G06F11/07 (2006.01)

G06F13/40 (2006.01)

(30)優先權：2010/06/07 美國

12/801,402

(71)申請人：A R M股份有限公司 (英國) ARM LIMITED (GB)  
英國

(72)發明人：伊剛濟薩青薩帝許 IDGUNJI, SACHIN SATISH (IN) ; 達斯西哈沙 DAS, SHIDHARTHA (IN) ; 布爾大衛麥克 BULL, DAVID MICHAEL (GB) ; 安帝凱羅伯坎保 AITKEN, ROBERT CAMPBELL (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：14 共 76 頁

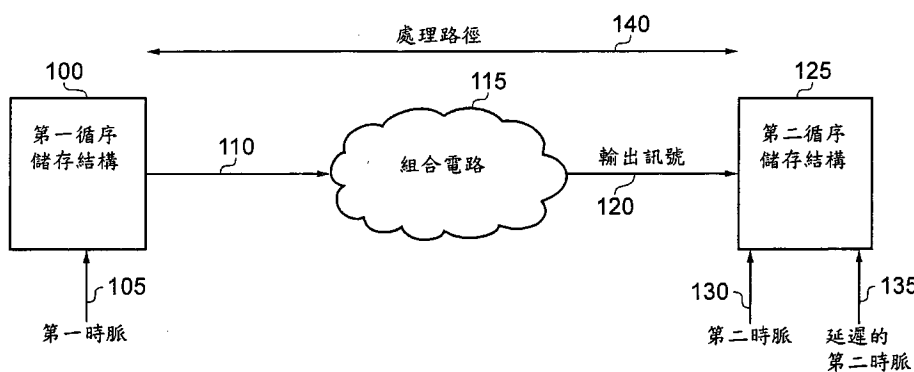
(54)名稱

用於偵測逼近錯誤狀況之裝置與方法

APPARATUS AND METHOD FOR DETECTING AN APPROACHING ERROR CONDITION

(57)摘要

茲提供用於在資料處理裝置內偵測逼近錯誤狀況的裝置與方法。資料處理裝置包含第二循序儲存結構，第二循序儲存結構經設置以根據第二時脈訊號而門鎖由組合電路產生的輸出訊號。第二循序儲存結構具有主要儲存元件與轉變偵測電路，主要儲存元件門鎖輸出訊號的值以提供至隨後的組合電路，轉變偵測電路在預定時序視窗期間內偵測由主要儲存元件門鎖的輸出訊號的值的一改變，該改變表示逼近錯誤狀況，在同時儲存於主要儲存元件中的值仍為正確的。第二循序儲存結構可操作於第一作業模式或第二作業模式中。在第一作業模式中，預定時序視窗為在主要儲存元件門鎖輸出訊號的值之時刻之前的時序視窗，藉以使由組合電路內的傳輸延遲所導致的逼近建立時序錯誤能夠被偵測到。在第二作業模式中，預定時序視窗為在主要儲存元件門鎖輸出訊號的值之時刻之後的時序視窗，因而使由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤被偵測到。此種技術提供了簡單且有效率的機制以偵測各種逼近錯誤狀況，同時第二循序儲存結構繼續正確地操作。



- 100：循序儲存結構
- 105：第一時脈
- 110：資料路徑
- 115：組合電路
- 120：輸出訊號路徑
- 125：第二循序儲存結構
- 130：第二時脈訊號
- 135：第二時脈訊號的延遲版本





(21)申請案號：100117260

(22)申請日：中華民國 100 (2011) 年 05 月 17 日

(51)Int. Cl. : G01R31/317 (2006.01)  
G06F11/07 (2006.01)

G06F13/40 (2006.01)

(30)優先權：2010/06/07 美國

12/801,402

(71)申請人：A R M股份有限公司 (英國) ARM LIMITED (GB)  
英國

(72)發明人：伊剛濟薩青薩帝許 IDGUNJI, SACHIN SATISH (IN) ; 達斯西哈沙 DAS, SHIDHARTHA (IN) ; 布爾大衛麥克 BULL, DAVID MICHAEL (GB) ; 安帝凱羅伯坎保 AITKEN, ROBERT CAMPBELL (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：14 共 76 頁

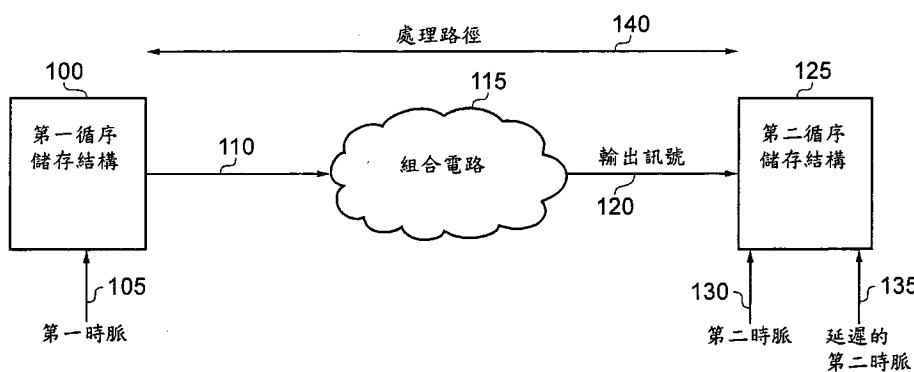
(54)名稱

用於偵測逼近錯誤狀況之裝置與方法

APPARATUS AND METHOD FOR DETECTING AN APPROACHING ERROR CONDITION

(57)摘要

茲提供用於在資料處理裝置內偵測逼近錯誤狀況的裝置與方法。資料處理裝置包含第二循序儲存結構，第二循序儲存結構經設置以根據第二時脈訊號而門鎖由組合電路產生的輸出訊號。第二循序儲存結構具有主要儲存元件與轉變偵測電路，主要儲存元件門鎖輸出訊號的值以提供至隨後的組合電路，轉變偵測電路在預定時序視窗期間內偵測由主要儲存元件門鎖的輸出訊號的值的一改變，該改變表示逼近錯誤狀況，在同時儲存於主要儲存元件中的值仍為正確的。第二循序儲存結構可操作於第一作業模式或第二作業模式中。在第一作業模式中，預定時序視窗為在主要儲存元件門鎖輸出訊號的值之時刻之前的時序視窗，藉以使由組合電路內的傳輸延遲所導致的逼近建立時序錯誤能夠被偵測到。在第二作業模式中，預定時序視窗為在主要儲存元件門鎖輸出訊號的值之時刻之後的時序視窗，因而使由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤被偵測到。此種技術提供了簡單且有效率的機制以偵測各種逼近錯誤狀況，同時第二循序儲存結構繼續正確地操作。



- 100：循序儲存結構
- 105：第一時脈
- 110：資料路徑
- 115：組合電路
- 120：輸出訊號路徑
- 125：第二循序儲存結構
- 130：第二時脈訊號
- 135：第二時脈訊號的延遲版本

## 六、發明說明：

### 【發明所屬之技術領域】

本發明相關於用於在資料處理裝置內發生實際錯誤之前，偵測到逼近的錯誤狀況的資料處理裝置與方法。

### 【先前技術】

在資料處理系統內，部件尺寸的縮小化一向為重要的效能提升來源。詳言之，CMOS 科技的發展讓較小的特徵尺寸能夠被實現，較小的特徵尺寸使較小的電路能夠被建置，並展現提升的效能。然而，隨著部件縮小，亦期望減少這些電路的操作電壓，以減少功率消耗並降低操作溫度。然而，因為臨限電壓縮小化的限制，電壓位準的減少尚無法與特徵尺寸縮小化的速度相匹配，使得操作溫度與電流密度提升。

再者，隨著電路元件的尺寸減小，使用現有進階 CMOS 科技製造之部件的變異度(variability)提升，且因此在決定可在資料處理系統內達成的效能以及相關的功率消耗時，晶片上變異已成為關鍵的考量。

因此，在資料處理系統設計的時序分析與簽核(sign-off)期間內，採用餘裕方法是常見的。這些餘裕方法意圖解決全域性(亦即，關聯(correlated)影響晶片內元件)與本地性(亦即，不同地影響晶片的每個部分)的製程、電壓與溫度變異。餘裕技術亦意圖解決種種效應，

諸如裝置不匹配、串擾(crosstalk)、IR 壓降、老化相關效應、以及由單事件瞬變(transient)(通常亦稱為單事件翻轉(single event upsets; SEUs))導致的時序延遲。藉由在比實際情況較嚴謹的效能目標或較差的操作條件(亦即,較低電壓及/或較高溫度條件)下分析或最佳化設計,以加入所需的餘裕,以使在隨後於實際環境中使用裝置時,能夠可靠地在所需效能位準與操作條件下操作。或者,可使用時序減額方法以尋求所需的餘裕,其中使用時序引擎來根據晶片上變異,減額設計中的各種發射與擷取路徑。詳言之,通常由施行時序分析的工具以在電路單元或電晶體階層施行減額。時序路徑被縮小化,以解決由製程、溫度與電壓變異所導致,並使時序變化的晶片上(或晶片間)變異。因此,時序引擎藉由將通過路徑的延遲假定為比實際運算出的延遲要長,而憑著經驗提供較大的延遲預算。此「人工」提升被稱為時序減額(timing-derate)。

此種餘裕方法使資料處理系統設計能夠強健地抵抗時序失效,卻使許多效能無法被使用,除非有人在生產後測試/特徵化期間內採取諸如速度分級(speed binning)的技術。

隨著製程幾何的縮小,此種最壞情況餘裕設計所產生的不可被接受之效能與功率衝擊,已使人們對適應性技術越來越感興趣。適應性技術藉由動態地調整系統參數(諸如供應電壓、基體偏壓與操作頻率)以解決環境條件

與矽晶圓變異，來尋求消除安全餘裕的一大部分。

適應性設計的傳統方法使用查詢表(look-up table)或所謂的「金絲雀(canary)」電路。在基於查詢表的作法中，設計被預先特徵化，以獲得對於可保證正確作業的電壓頻率對。此作法藉由動態地縮放電壓與頻率以運用低CPU利用率的週期，藉以節省能源。然而，每個操作點必須被適合地餘裕化，以保證在最壞情況製程、電壓與溫度(PVT)組合的條件下的運算正確性。

基於金絲雀電路的作法藉由使用延遲鏈以消除這些最壞情況餘裕的子集，延遲鏈模仿實際設計的關鍵路徑(critical path)。通過此複製路徑的傳輸延遲被監視，並縮放電壓與頻率直到複製路徑即將無法配合時序。複製路徑追蹤在晶片間製程變異與供應電壓和溫度之全域性變動之間的關鍵路徑延遲，藉以消除由全域性PVT變異所導致的餘裕。然而，因為複製路徑與關鍵路徑在晶片上的位置不同，他們並不處於相同的環境條件下。因此，為了對由晶片上變異與溫度和供應電壓之本地性變動導致的延遲匹配提供預算，加入餘裕於複製路徑。亦需要餘裕以處理快速改變的瞬變效應，諸如以此作法很難及時回應的耦合雜訊。再者，關鍵路徑與複製路徑的縮放特徵的不匹配，需要額外的安全餘裕。這些餘裕確保處理器在複製路徑產生失效的點上仍能正確地操作。

為了消除最壞情況安全餘裕，ARM Limited 基於原位(in-situ)錯誤偵測與校正，對動態電壓頻率調整(Dynamic

Voltage and Frequency Scaled; DVFS)處理器發展一種新穎的電壓與頻率管理技術，稱為 Razor。美國專利第 7,278,080 號描述了基本的 Razor 技術，其全體內容在此以引用方式併入本文中。根據此技術，在關鍵路徑上使用延遲錯誤容許正反器，以將供應電壓縮放至晶片對一給定頻率的第一失效點(PoFF)。因此消除了所有由全域性與本地性 PVT 變異導致的餘裕，大量的節省了能源。此外，甚至可縮放供應電壓至低於第一失效點，直至次關鍵(sub-critical)區域，故意地容許標定的錯誤率，藉以提供額外的能源節省。因此，在使用 Razor 的環境中，時序錯誤並非毀滅性的系統失效，而是在錯誤校正的開銷與由次關鍵作業導致的額外能源節省之間的權衡(trade-off)。

其他描述適應性技術的著作為：

Razor II: In Situ Error Detection and Correction for PVT and SER Tolerance – IEEE Journal of Solid-State Circuits (JSSC), Vol 44, No. 1, Jan 2009 ;

Energy-Efficient and Metastability-Immune Resilient Circuits for Dynamic Variation Tolerance - IEEE JSSC, Vol 44, No. 1, Jan 2009 ;

A Simple Flip-Flop Circuit for Typical-Case Designs for DFM – ISQED 2007 ;

Reducing Pipeline Energy Demands with Local DVS and Dynamic Retiming - ISLPED 2004 ;

Fine Grain Redundant Logic Using Defect Prediction Flip-flops - ISSCC 2007 ;

A Power-efficient ARM ISA Processor using Timing-error Detection and Correction for Transient-error Tolerance and Adaptation to PVT Variation – ISSCC 2010 ; 以及

“ Hardware Self-Tuning and Circuit Performance Monitoring”, by T Kehl, Department of Computer Science and Engineering, University of Washington, Seattle, published 1993 。

上列先前技術主要基於尋求經由時序訊號的遲至，以偵測功能元件效能失效的技術，其需經由重新演示作業(或失效的作業)來重新評估所感測的邏輯路徑。

雖然偵測效能失效並隨後重新演示作業(或失效的作業)的技術可顯著地增進效能，但因為需要設計併入在偵測到錯誤時回溯(rollback)與重新演示的機制，增加了複雜度。再者，各種資料處理系統將有在任何時間皆能夠正確的操作的需求，以及絕對重視效能的需求，且將發現能夠接受放棄一些 Razor 類型系統提供的效能，若可保證系統將總是正確操作，且因此將不需併入回溯與重新演示機制。然而，仍需增進與前述餘裕技術相關的效能。

## 【發明內容】

本發明之第一態樣提供一種資料處理裝置，包含：組合電路，組合電路用於接收至少一個輸入訊號，並施行一處理作業以產生一輸出訊號；一第一循序儲存結構，該第一循序儲存結構由一第一時脈訊號控制以提供該至少一個輸入訊號至該組合電路；一第二循序儲存結構，該第二循序儲存結構由一第二時脈訊號控制以門鎖由該組合電路產生的該輸出訊號；該第二循序儲存結構包含一主要儲存元件與轉變偵測電路，該主要儲存元件門鎖該輸出訊號的一值以提供至一隨後的組合電路，該轉變偵測電路偵測由該主要儲存元件門鎖之該輸出訊號的該值在一預定時序視窗期間內的一改變，該改變指示一逼近錯誤狀況，同時儲存在該主要儲存元件內的該值仍為正確；該第二循序儲存結構係於一第一作業模式與一第二作業模式中之一者內操作；在該第一作業模式中，該預定時序視窗為在該主要儲存元件門鎖該輸出訊號的該值之時之前的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況，為由該組合電路內的一傳輸延遲所導致的一逼近建立時序錯誤；以及在該第二作業模式中，該預定時序視窗為在該主要儲存元件門鎖該輸出訊號的該值之時之後的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況，為由在該第一時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致的一

逼近保持時序錯誤。

根據本發明，第二循序儲存結構經設置以閃鎖由組合電路產生的輸出訊號，組合電路包含轉變偵測電路，轉變偵測電路經配置為以此一方式偵測逼近錯誤狀況，在同時儲存在主要儲存元件內的值仍為正確的。在使用資料處理裝置的期間內，操作參數的改變可使通過組合電路的訊號的傳輸時間增加，及(或)使在用以時控第一與第二循序儲存結構的時脈訊號之間的偏斜改變。藉由使用本發明之第二循序儲存結構，在此等操作參數的改變使第二循序儲存結構的作業移向不正確作業點時，此可經由偵測逼近錯誤狀況，在不正確作業實際發生之前被偵測到，在同時儲存於主要儲存元件內的值仍為正確的。

詳言之，在儲存於主要儲存元件內的值仍為正確時，第二循序儲存結構仍將正確地操作，且因此仍將輸出正確的值至資料處理裝置內的下游部件。然而，一旦逼近錯誤狀況已被偵測到，可在達到真實失效點之前採取步驟以暫停，甚至反轉一或多個操作參數的改變。例如，若資料處理裝置的溫度正提升，且使得在第二循序儲存結構內偵測到逼近錯誤狀況，則可在真實錯誤發生之前採取步驟以冷卻資料處理裝置，例如，藉由減少電路的操作頻率、打開一些冷卻部件等等。做為另一範例，若資料處理裝置的操作電壓正減少，且使得偵測到逼近錯誤狀況，則可採取步驟以停止任何更進一步的操作電壓下降，及(或)開始提升操作電壓，以防止任何實際錯誤

隨後發生。

可由各種方式配置轉變偵測電路。在一個具體實施例中，轉變偵測電路可經設置以在預定時序視窗(在此亦稱為「錯誤偵測時序視窗」)內，監視呈現給主要儲存元件的值，但在替代性具體實施例中轉變偵測電路可經設置以比較兩個分離的(discrete)取樣，並偵測這些取樣的分異之時，其中一個取樣為儲存在主要儲存元件中的值，而另一個取樣為在錯誤偵測時序視窗之前(在第一作業模式中)或之後(在第二作業模式中)得到的。

在替代性具體實施例的一個特定具體實施例範例中，第二循序儲存結構的轉變偵測電路包含陰影儲存元件與狀態差異偵測電路，陰影儲存元件在與主要儲存元件不同的時序處閃鎖輸出訊號的值，狀態差異偵測電路從由主要儲存元件與陰影儲存元件閃鎖的值之間的差異，決定逼近錯誤狀況，同時儲存於主要儲存元件內的值仍為正確；在第一作業模式中，陰影儲存元件係由第二時脈訊號操作，而主要儲存元件係由第二時脈訊號的延遲版本操作，藉以使陰影儲存元件在主要儲存元件之前操作，以使由狀態差異偵測電路偵測到的逼近錯誤狀況，為由在組合電路內的傳輸延遲所導致的逼近建立時序錯誤；以及在第二作業模式中，主要儲存元件係由第二時脈訊號操作，而陰影儲存元件係由第二時脈訊號的延遲版本操作，藉以使主要儲存元件在陰影儲存元件之前操作，以使由狀態差異偵測電路偵測到的逼近錯誤狀況，

為由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤。

根據一個具體實施例，提供至第二循序儲存結構的時脈訊號，可由兩種不同方式經配置以提供第二循序儲存結構的兩個不同的作業模式。根據第一作業模式，主要儲存元件係由供應至陰影儲存元件的時脈訊號的延遲版本操作，以使陰影儲存元件在主要儲存元件之前操作。在此具體實施例中，可偵測由組合電路中的傳輸延遲所導致的逼近建立時序錯誤。在第二作業模式，兩個儲存元件的時序被反轉，以使主要儲存元件在陰影儲存元件之前操作。在此具體實施例中，可偵測由在第一與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤。

因此，本發明之具體實施例的資料處理裝置，提供了特別地有效且有彈性的技術，以在任何實際錯誤發生之前偵測逼近錯誤狀況。本發明之具體實施例的作法對錯誤偵測採取了金絲雀(canary)類型作法，但不像前述基於金絲雀電路的作法，本發明之具體實施例提供了原位(in-situ)金絲雀作法，其中主要儲存元件與陰影儲存元件被提供在第二循序儲存結構中，藉以消除許多前述對基於金絲雀電路的先前技術作法的問題。

再者，因為同樣的電路僅需切換提供至主要儲存元件與陰影儲存元件的時脈訊號，即可用於兩種不同的作業模式以偵測逼近建立時序錯誤或逼近保持時序錯誤，本

發明之具體實施例提供了大量的彈性。在一些具體實施例中，其中轉變偵測電路經設置以在錯誤偵測時序視窗中監視保持在主要儲存元件中的值，而非使用陰影儲存元件來獲得分離的第二取樣，第二時脈訊號與經延遲的第二時脈訊號可再次用以決定錯誤偵測時序視窗。因此，此電路僅需切換時脈訊號，即可在兩個不同的作業模式中切換。

在一個具體實施例中，在第一作業模式中，在組合電路中的傳輸延遲係受資料處理裝置的至少一個操作參數的影響；以及在主要儲存元件之前的陰影儲存元件的作業，確保在該至少一個操作參數導致傳輸延遲的提升，藉以減少對於輸出訊號的建立時序時，若建立時序減少至一建立時序臨限值之下，則陰影儲存元件將在主要儲存元件之前門鎖輸出訊號的不正確值。

在一個具體實施例中，第一循序儲存結構、第二循序儲存結構與組合電路位於資料處理裝置的單一區塊內，以使該至少一個操作參數影響第一循序儲存結構與第二循序儲存結構以及組合電路，且第二循序儲存結構係於第一作業模式中操作，以使狀態差異偵測電路決定在何時由至少一個操作參數的改變導致之在組合電路內的傳輸延遲的提升，導致逼近建立時序錯誤被偵測到。因此，在此具體實施例中，操作參數對資料處理裝置具有全域性的影響，且第二循序儲存結構的設置在組合電路中的傳輸延遲提升至可接受位準之外時，允許逼近建立時序

錯誤被偵測到。

有各種在變化時可使傳輸延遲提升的操作參數。在一個具體實施例中，操作參數為提供至資料處理裝置的供應顛壓。詳言之，在一個具體實施例中，資料處理裝置更進一步包含供應電壓控制器以提供供應電壓至單一區塊，供應電壓控制器可根據資料處理裝置的操作需求來改變供應電壓，該至少一個操作參數包含該供應電壓，且第二循序儲存結構在第一作業模式中操作，以使狀態差異偵測電路決定在何時由該供應電壓的減少導致之在組合電路內的傳輸延遲的提升，導致逼近建立時序錯誤被偵測到。因此，在一些具體實施例中，其中供應電壓可被縮放來減少功率消耗，此具體實施例的電路提供了在真實錯誤發生於主要儲存元件中之前，安全地偵測逼近建立時序錯誤的機制。

在一個具體實施例中，在偵測到逼近建立時序錯誤時，狀態差異偵測電路發出訊號至供應電壓控制器，以使供應電壓控制器至少停止更進一步減少該供應電壓。

因此可知，上述具體實施例提供了有效的機制，來提供對由組合電路中的傳輸延遲所導致的逼近建立時序錯誤的早期警告。

然而，同時在一些具體實施例中，對逼近建立時序錯誤的偵測將為非常有用，亦將存在一些具體實施例，其中由組合電路輸出的早期抵達資料，可使在第二循序儲存結構中的保持時序錯誤產生。可由設置第二循序儲存

結構以在第二作業模式中操作，來偵測此逼近保持時序錯誤。詳言之，在一個具體實施例中，在第二作業模式中，在第一與第二時脈訊號之間的偏斜係受資料處理裝置的至少一個操作參數影響，且主要儲存元件在陰影儲存元件之前的操作，確保陰影儲存元件與主要儲存元件相較之下將具有提升的保持時序需求，且在該至少一個操作參數使偏斜提升時，若保持時序需求提升至預定保持時序之外，則陰影儲存元件將在主要儲存元件之前門鎖輸出訊號的不正確值。因此，在此具體實施例中，若早期抵達資料係接收自組合電路，且此資料的抵達早到足以使陰影儲存元件門鎖到比由主要儲存元件門鎖到的輸出訊號還要新的值，則此狀況將使得偵測到逼近保持時序錯誤，同時保持在主要儲存元件中的資料仍為正確。如同第一作業模式，可隨後採取校正作用行動以改變操作參數，以避免任何對所需保持時間的繼續侵蝕，而避免主要儲存元件的任何不正確作業。

在一些具體實施例中，其中保持時間係由第二循序儲存結構監視，以提供對逼近保持時序錯誤的早期指示，在一個具體實施例中，將適合對第一循序儲存結構與第二循序儲存結構之間的路徑提供足夠的效能餘裕，以確保建立時序錯誤無法發生，因為在根據第二作業模式配置時，任何建立時序錯誤將首先影響主要儲存元件，且因此將導致不正確的作業。

存在各種情境，其中在第一與第二時脈訊號之間的偏

斜可提升，且因此在第二作業模式中的第二循序儲存結構的作業將為有用的。在一個特定具體實施例中，第一循序儲存結構位於資料處理裝置的第一區塊中；第二循序儲存結構位於資料處理裝置的第二區塊中；供應至第一區塊與第二區塊之至少一者的供應電壓，可根據資料處理裝置的操作需求以改變；以及第二循序儲存結構係於第二作業模式中操作，以使狀態差異偵測電路決定在何時由供應至第二區塊之供應電壓相對於供應至第一區塊之供應電壓之減少，所導致之在第一時脈訊號與第二時脈訊號之間的偏斜的提升，導致該逼近保持時序錯誤被偵測到。因為供應至第二區塊的實際電壓被減少，或因為供應至第一區塊的供應電壓相對於供應至第二區塊的供應電壓被提升，可發生對供應至第二區塊的供應電壓的相對減少。

因此，第二循序儲存結構在第二作業模式中的作業，可用以處理任何與競爭相關的問題，問題發生於短路徑上，或具有大且非通用的時脈網路(諸如跨過階層邊界的時脈網路，在階層邊界處保持違反(功能性)較容易發生)的路徑上。一應用範例具體實施例為多電壓域設計，其中一個電壓域的縮放可在於另一電壓域中的介面上誘發競爭狀況。藉由使用前述具體實施例之技術，可偵測介面路徑即將失效的點，且隨後可採取校正作用行動以避免任何實際保持違反的發生。例如，在此等狀況下，裝置可經設置以退回電壓縮放。

在一個具體實施例中，第二循序儲存結構具有第一時脈輸入與第二時脈輸入，第一時脈輸入接收時脈訊號以繞線至主要儲存元件，第二時脈輸入接收時脈訊號以繞線至陰影儲存元件；以及第二循序儲存結構根據第一時脈輸入與第二時脈輸入之何者接收第二時脈訊號，而被置於第一作業模式或第二作業模式中，且第一時脈輸入與第二時脈輸入之另一者接收第二時脈訊號的延遲版本。因此，第二循序儲存結構可無需任何對第二循序儲存結構的內部改變，即可操作於第一作業模式或第二作業模式中。

在一個具體實施例中，裝置更包含時脈樹狀結構以從共用時脈源產生第一時脈訊號與第二時脈訊號。在此具體實施例中，可從共用時脈源的不同相位延遲產生第二時脈訊號與第二時脈訊號的延遲版本。

在一個特定具體實施例中，時脈樹狀結構包含緩衝器級系列，且第二時脈訊號與第二時脈訊號的延遲版本係從緩衝器級系列內的不同位置取出。因此，在此等具體實施例中，已可從已存的時脈樹狀結構中產生所需的第二時脈訊號與第二時脈訊號的延遲版本，對產生用於第二循序儲存結構的所需時脈訊號提供簡單並有成本效益的機制。

在一個具體實施例中，資料處理裝置更包含可程式延遲元件，以致能對在第二時脈訊號與第二時脈訊號的延遲版本之間的相位延遲的調諧。藉由併入可程式延遲元

件，在第二時脈訊號與第二時脈訊號的延遲版本之間的實際延遲，已可被改變以致能對第二循序儲存結構的作業的良好的調諧。

在一個具體實施例中，資料處理裝置更包含時脈管理電路，時脈管理電路在第二循序儲存結構係於第二作業模式中的同時，回應於狀態差異偵測電路偵測到逼近保持時序錯誤，而調整在第一時脈訊號與第二時脈訊號之間的相對時序，以尋求減少在第一時脈訊號與第二時脈訊號之間的偏斜。因此，在此具體實施例中，時脈管理電路可直接調整時脈偏斜，以補償由操作參數改變所產生的時脈偏斜提升，而非改變導致時脈偏斜提升的操作參數。因此，通過以下的範例說明，在一些具體實施例中，其中造成問題的操作參數為供應電壓，且對電壓的減少已產生了時脈偏移的提升，則時脈管理電路可用以動態地調整時脈偏移，而不需任何的電壓縮放退回。

在一些具體實施例中，其中第一與第二循序儲存結構位於資料處理裝置的不同區塊中，則在一個具體實施例中資料處理裝置更包含：錯誤管理電路，錯誤管理電路在狀態差異偵測電路偵測到逼近建立時序錯誤，同時第二循序儲存結構係於第二作業模式中時，自狀態差異偵測電路接收錯誤訊號；時脈管理電路，時脈管理電路調整在第一時脈訊號與第二時脈訊號之間的相對時序；以及電壓縮放電路，電壓縮放電路控制提供至第一區塊與第二區塊的相對供應電壓；錯誤管理電路係回應於錯誤

訊號，以觸發時脈管理電路之至少一者，而減少在第一時脈訊號與第二時脈訊號之間的偏斜，且電壓縮放電路回應於錯誤訊號以減少在第一區塊與第二區塊的供應電壓之間的電壓差異。

雖然在一個具體實施例中，第二循序儲存結構係操作於第一作業模式或第二作業模式中，但是在替代性具體實施例中可更進一步提供第三作業模式。詳言之，在第三作業模式中，由第二時脈訊號操作主要儲存元件，並由第二時脈訊號的延遲版本操作陰影儲存元件，藉以使主要儲存元件於陰影儲存元件之前操作，以使在組合電路內的傳輸延遲提升到足以使建立時序減少至一建立時序臨限值以下的程度時，實際建立時序錯誤被該狀態差異偵測電路偵測到。資料處理裝置隨即更進一步包含錯誤修復電路，錯誤修復電路回應於實際建立時序錯誤被狀態差異偵測電路偵測到，而修復錯誤。因此，在第三作業模式中，第二循序儲存結構可經設置以由 Razor 類型方式操作，以偵測實際建立時序錯誤，其中隨即使用錯誤修復電路來修復錯誤。可藉由諸如用於前述 Razor 技術的已知電路，來實施錯誤修復電路。

因此，在此等具體實施例中，第二循序儲存結構的設計與使用允許大量的彈性，允許第二循序儲存結構經配置以提供對即將發生的建立時序錯誤的早期警告、提供對即將發生的保持時序錯誤的早期警告、或偵測實際建立時序錯誤。

在一個具體實施例中，陰影儲存元件經設置以操作如保持元件，而在第二循序儲存結構經受功率閘控作業時，保持輸出訊號的最新被閃鎖的值。因此，在設計正確地操作時(亦即，在主要儲存元件與陰影儲存元件兩者皆擷取正確的資料時)，在陰影儲存元件儲存最新狀態的情況下，陰影儲存元件亦可作為保持元件。通常將提供額外輸入至資料處理裝置，以致能保持作業模式，使陰影儲存元件隨即在移除功率時保持其狀態，以使在功率隨後回復時，此狀態可從第二循序儲存電路輸出。

本發明之第二態樣提供一種作為根據本發明第一態樣所述之資料處理裝置中的第二循序儲存結構的循序儲存電路，循序儲存電路由第二時脈訊號控制並且包含：主要儲存元件，主要儲存元件閃鎖來自組合電路的輸出訊號的值，以提供至隨後的組合電路；以及轉變偵測電路，轉變偵測電路在預定時序視窗期間內，偵測由主要儲存元件閃鎖的輸出訊號的值的改變，改變指示逼近錯誤狀況，而在同時儲存於主要儲存元件中的值仍為正確的；循序儲存電路係於第一作業模式與第二作業模式中之一者內操作；在第一作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的値之時之前的時序視窗，因而使由轉變偵測電路偵測到的逼近錯誤狀況，為由產生輸出訊號的組合電路內的傳輸延遲所導致的逼近建立時序錯誤；以及在第二作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的値之時之後的時序視窗，因而

使由轉變偵測電路偵測到的逼近錯誤狀況，為由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤，第一時脈訊號與第二時脈訊號係用以控制發出輸入訊號至產生輸出訊號的組合電路的時序。

本發明之第三態樣提供一種用於操作資料處理裝置的方法，資料處理裝置具有組合電路、第一循序儲存結構與第二循序儲存結構，組合電路用以接收至少一個輸出訊號並施行處理作業以產生輸出訊號，第一循序儲存結構由第一時脈訊號控制以提供該至少一個輸出訊號至組合電路，第二循序儲存結構由第二時脈訊號控制以閃鎖由組合電路產生的輸出訊號，方法包含以下步驟：閃鎖步驟，在第二循序儲存結構的主要儲存元件中閃鎖輸出訊號的值，以提供至隨後的組合電路；偵測步驟，在預定時序視窗期間內，偵測由主要儲存元件閃鎖的輸出訊號的值的改變，改變指示逼近錯誤狀況，在同時儲存於主要儲存元件中的值仍為正確的；以及操作步驟，操作第二循序儲存結構於第一作業模式與第二作業模式中之一者內；在第一作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的値之時之前的時序視窗，因而使由偵測步驟偵測到的逼近錯誤狀況，為由組合電路內的傳輸延遲所導致的逼近建立時序錯誤；在第二作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的値之時之後的時序視窗，因而使由偵測步驟偵測到的逼近錯誤狀況，為由在第一時脈訊號與第二時脈訊號之間的

偏斜的提升所導致的逼近保持時序錯誤。

本發明之第四態樣提供一種資料處理裝置，包含：組合構件，用於接收至少一個輸入訊號並施行處理作業以產生輸出訊號；由第一時脈訊號控制的第一循序儲存構件，用於提供該至少一個輸入訊號至該組合構件；由第二時脈訊號控制的第二循序儲存構件，用於門鎖由組合構件產生的輸出訊號；第二循序儲存構件包含主要儲存元件構件與轉變偵測構件，主要儲存元件構件用於門鎖輸出訊號的值以提供至隨後的組合構件，轉變偵測構件用於在預定時序視窗期間內偵測由主要儲存元件構件門鎖的輸出訊號的值的改變，改變指示逼近錯誤狀況，在同時儲存於主要儲存元件構件中的值仍為正確的；第二循序儲存構件用於在第一作業模式與第二作業模式中之一者內操作；在第一作業模式中，預定時序視窗為在主要儲存元件構件門鎖輸出訊號的值之時之前的時序視窗，因而使由轉變偵測構件偵測到的逼近錯誤狀況，為由組合構件內的傳輸延遲所導致的逼近建立時序錯誤；在第二作業模式中，預定時序視窗為在主要儲存構件門鎖輸出訊號的值之時之後的時序視窗，因而使由轉變偵測構件偵測到的逼近錯誤狀況，為由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯誤。

**【實施方式】**

第 1 圖為圖示說明傳輸延遲及(或)時脈偏斜(clock skew)如何影響對於儲存結構的建立與保持要求的時序圖。詳言之，假定發射儲存結構由時脈訊號 10 驅動，以使在時脈訊號 10 的上升邊緣 12，資料從發射儲存結構發出，並傳過組合電路，以產生輸出資料 20，輸出資料 20 在第 1 圖中的點 22 成為可用。取樣儲存結構(在此亦稱為擷取儲存結構)隨後由時脈訊號 30 驅動，意圖使時脈訊號 30 與時脈訊號 10 同相位(in phase)，以使時脈訊號 10 的上升邊緣與時脈訊號 30 的上升邊緣同時發生。在此情況下，輸出資料 D0 將於點 32 在緊接的時脈訊號 30 上升邊緣處被取樣。

通常為了正確操作(詳言之，為了確保可靠地取樣正確的資料值)，儲存結構將具有一些建立需求與保持需求。例如，儲存結構通常將包含設置為正反器的一或多個門鎖器，且這些電路在時脈邊緣導致資料值被取樣之前，需要資料值被取樣以在一些時間期間內維持穩定，此時間期間被稱為建立需求，如第 1 圖示意圖示說明者。再者，在時脈的上升邊緣之後，需要資料在一預定時間期間內維持穩定，此期間被稱為保持需求，如第 1 圖圖示說明者。若違反了建立需求或保持需求，則儲存結構可取樣到不正確的值，或可取樣到介穩定(metastable)值，因而導致包含儲存結構之資料處理裝置的不正確作業。

第 1 圖中的輸出資料 40 圖示說明來自組合電路輸出資料的傳輸延遲，可如何使建立需求被違反。詳言之，如第 1 圖所圖示，由於傳輸延遲，輸出資料在點 42 才成為可用，而非在點 22，點 42 係於開始建立期間 60 之後才發生。這種輸出資料的改變可導致儲存結構取樣到不正確的資料。

如亦圖示於第 1 圖中，在驅動發射儲存結構的時脈與驅動擷取儲存結構的時脈之間的時脈偏斜，可潛在地違反保持需求。詳言之，時脈訊號 50 圖示時脈訊號 30 的延遲版本，其為在資料處理系統中的時脈偏斜所導致。時脈偏斜可因各種理由發生，例如，因為在資料處理系統內的時脈訊號的不同傳輸長度，且更進一步的可根據操作參數(諸如，操作溫度、供應電壓等等)而變化。若裝置已被設計成假定驅動擷取儲存結構的時脈訊號將具有如時脈訊號 30 所圖示的時序，但在作業期間時脈訊號被偏斜至類似時脈訊號 50 之外型的點，則可見擷取儲存結構的取樣點 52 發生於保持需求 70 結束之後，且因此輸出資料在被截取儲存結構取樣之時可已被改變，因而導致資料處理系統不正確的作業。

如將於參照其他圖示更詳細討論者，本發明之具體實施例提供擷取儲存結構，其能夠在兩種失效仍安全(failsafe)作業模式之一者中作業，在第一作業模式中，逼近的建立時序錯誤在使實際的建立時序違反發生之前被偵測到，且在第二作業模式中，逼近的保持時序錯誤

在使實際的保持時序違反發生之前被偵測到。

詳言之，如第 2 圖所圖示，由第一時脈 105 驅動的的第一循序儲存結構 100(發射儲存結構)產生資料路徑 110，資料路徑 110 通過組合電路 115，導致輸出訊號路徑 120 產生以被第二循序儲存結構 125(擷取儲存結構)門鎖住。處理路徑 140 因此存在於第一循序儲存結構 100 與第二循序儲存結構 125 之間，並由路徑 110、120 與組合電路 115 組成。

根據本發明之具體實施例，第二循序儲存結構 125 具有由第二時脈訊號 130 與第二時脈訊號的延遲版本 135 各別驅動的兩個時脈針腳。這兩個時脈訊號用以驅動在第二循序儲存結構內部的部件，使得逼近建立時序錯誤或逼近保持時序錯誤可在對第二循序儲存結構作業產生實際錯誤之前被偵測到。

詳言之，第 3 圖更詳細圖示說明根據一具體實施例，提供於第二循序儲存結構 125 內的部件。電路由一般的主從正反器(由主門鎖器 150 與從門鎖器 160 所組成)與冗餘主門鎖元件 170(在此亦稱為陰影儲存元件)所組成。如延遲元件 192、194 所示，延遲的時脈訊號 135 可與第二時脈訊號 130 分開時間  $T_d$ 。在一具體實施例中，延遲元件 192、194 的至少一者為可程式延遲元件，以致能調諧(tuning)在第二時脈訊號 130 與第二時脈訊號的延遲版本 135 之間相位延遲(phase delay)。

來自組合電路 115 的輸出資料被提供為 DIN 訊號路徑

145，此訊號被繞線至主閃鎖器 150 與冗餘主閃鎖器 170 之兩者。然而，在此具體實施例中，因為冗餘主閃鎖器 170 由時脈訊號 130 驅動而主閃鎖器 150 由時脈訊號的延遲版本 135 驅動，冗餘主閃鎖器 170 早於主閃鎖器 150 取樣此資料。

隨後，以狀態比較為基礎進行設計，其中由形成偵測電路 186 的部件 180、182、184，來比較由冗餘主閃鎖器 170 與主閃鎖器 150 閃鎖住的值。詳言之，NAND 閘 190 接收時脈訊號與延遲時脈訊號兩者，並產生致能比較訊號 (EN\_COMP)，EN\_COMP 僅在時脈「高」狀態重疊時為有效(在此範例中為邏輯 0 位準)。在 EN\_COMP 訊號為有效的同時，AND 閘 180、182 輸出指示由冗餘主閃鎖器 170 輸出的 Early\_Q 值以及由主閃鎖器 150 輸出的 Master\_Q 值的值，並將 AND 閘 180、182 輸出的值輸入至 XOR 閘 184。因此，在時脈高狀態重疊的同時，若這些值不同，則將設定錯誤旗標。

第 4 圖為繪製第 3 圖電路作業的時序圖。一開始，冗餘主閃鎖器 170 與主要主閃鎖器 150 為開啟，但在他們各別的時脈訊號轉高時，這些閃鎖器關閉，藉以取樣 DIN 訊號的當前值。因此，陰影閃鎖器在時間 200 處關閉，而主閃鎖器在時間 210 處關閉。在兩個時脈訊號皆為高時，因為 EN\_COMP 訊號在點 220 處被設定(在此具體實施例中，EN\_COMP 訊號為低態有效(active low)訊號，且第 4 圖圖示了 EN\_COMP 訊號的反向訊號，以將輸入

圖示說明如提供至第 3 圖偵測電路 186 的 AND 閘 180、182 的訊號)，偵測電路 186 被觸發以施行對由主門鎖器與陰影門鎖器門鎖住的值的比較。因此提供了錯誤檢查視窗 225，在此期間內偵測電路 186 決定儲存在兩門鎖器中的值是否相同。如第 4 圖示意圖示者，由箭頭 230 指示的較遲抵達資料，若延遲至一特定點之後，則將使儲存在陰影門鎖器中的值為不正確，導致偵測到儲存在陰影門鎖器 170 與主要門鎖器 150 中的值的不一致。在此將觸發錯誤狀況的同時，應注意到儲存在主門鎖器 150 中的值仍為正確的，且因此錯誤訊號指示逼近建立時序錯誤，而非實際的建立時序錯誤。

如示意圖示於第 4 圖中，在一般作業期間內，建立時序係由較早關閉門鎖器(亦即，陰影門鎖器)決定，且保持時序係由較遲關閉門鎖器(亦即，主要門鎖器 150)決定。在一具體實施例中，保持時序的決定將根據由在主要主門鎖器 150 上的 DCLK 對 DIN 關係所導出的保持弧來決定。

時序視窗  $T_d$  係基於對較遲抵達訊號的容許度來決定。較小的視窗具有節省較多動態功率(電壓縮放)或較高效能(頻率縮放)的優點，但具有使功能元件擷取到不正確資料或成為介穩定的機率提升的缺點，因為在陰影門鎖器與此主要功能元件之間的時間區隔較小。經由可程式延遲元件 192 而為可用的調諧位準，係根據設計參數(諸如供應電壓或頻率)來決定視窗  $T_d$ 。

在配置如第 3 圖所圖示者，第二循序儲存結構 125 係操作於第一作業模式中，意圖使逼近建立時序錯誤在使實際的建立時序錯誤產生之前被偵測到。然而，在第二作業模式中，相同的第二循序儲存結構 125 可經配置以偵測逼近保持時訓錯誤，如示意圖示說明於第 5 圖。如將顯然於對第 5 圖與第 3 圖的比較，第二循序儲存結構的電路未改變，且被改變的僅有兩個時脈形態被提供至循序儲存結構的方式。詳言之，根據第 5 圖之具體實施例，第二時脈訊號被提供至主從正反器 150、160，且延遲時脈被提供至陰影閃鎖器 170。在此配置中，第二循序儲存結構可偵測較早抵達資料，其可使保持需求違反發生。詳言之，任何較早抵達資料將首先由陰影閃鎖器 170 擷取，因為陰影閃鎖器係由延遲時脈訊號驅動，且因此在較早抵達資料侵犯保持需求時將較早失效。

第 6 圖為圖示說明第 5 圖電路作業的時序圖。如可見於對第 6 圖與第 4 圖的比較，圖基本上為相同，但在第 6 圖中主閃鎖器在時間 200 處關閉，且陰影閃鎖器在時間 210 處關閉。因此，如由線 240 所示，來自當前週期的較早抵達資料可觸發陰影閃鎖器中的錯誤，其隨後將由偵測電路 186 偵測到，藉由比較其閃鎖住的值與主要主閃鎖器 150 閃鎖住的值。此致能了逼近保持時序錯誤在其實際使在主要主閃鎖器 150 內的真實保持時序違反發生之前被偵測到。

從上文所述將可瞭解到，第一與第二作業模式兩者皆

提供了失效仍安全作業模式，其中使逼近錯誤狀況在使資料處理系統內的實際錯誤發生之前被偵測到。此外，應注意到第 5 圖的電路亦可用以支持第三作業模式，其中真實的錯誤實際地被主閃鎖器 150 抓取，且隨後藉由與陰影閃鎖器 170 的內容比較以偵測。在此第三作業模式中，電路以與前述 Razor 類型作法類似的方式操作，且通常將隨後加入電路以藉由回溯及(或)重新演示相關作業來校正此種錯誤。因此，在可根據第二作業模式以使用第 5 圖的裝置，而偵測在當前週期中由較早抵達資料而發生的功能失效(例如，來自快速路徑)的同時，從正反器 150、160 看來，較遲抵達訊號係因由在當前週期中的快速路徑或在先前週期中的慢速路徑並不重要。在第一種情況中，陰影閃鎖器將擷取較早抵達資料，致能在真實保持時序錯誤發生之前偵測到逼近保持時序錯誤，但在第二種情況中主要閃鎖器 150 將擷取較遲抵達資料，導致真實的建立時序錯誤被偵測到，如第三作業模式。因此，從效能觀點看來，較遲抵達訊號將使功能元件(亦即，主從正反器 150、160)擷取到不正確的資料，同時從功能觀點看來，較早抵達資料將使陰影閃鎖器 170 失效。

雖然在兩種情況中皆產生了錯誤，偵測元件不可能分辨失效的成因之差別，且因此在第二作業模式或第三作業模式中操作時(亦即，施行功能檢查或效能檢查)，另一檢查必須在設計時予以限制。在考慮第二作業模式

時，在第二循序儲存結構 125 被用以檢查與功能性相關的餘裕時(亦即，檢查逼近保持時序錯誤)，可藉由確保足夠的效能餘裕(非關鍵路徑)來限制此另一檢查。或者，在根據第三作業模式而操作時，可藉由將保持決定為滿足與較遲相位延遲時脈相關的限制條件來限制另一檢查。

第 7 圖圖示說明根據一個具體實施例如何將第二循序儲存結構使用於系統階層設計中。詳言之，如第 7 圖所示，電路 300 方塊可包含再一個第 2 圖所示之資料處理裝置的實例，在第 7 圖範例中為說明目的圖示了兩個此種實例。因此，第一循序儲存結構 305 發出資料，資料傳過組合電路 310 以產生輸出訊號，輸出訊號由第二循序儲存結構 315 門鎖。類似地，第一循序儲存結構 320 發出資料，資料傳過組合電路 325 以產生輸出訊號，輸出訊號由第二循序儲存結構 330 門鎖。根據所圖示說明的具體實施例，第二循序儲存結構 315、330 兩者皆具有在第 3 圖或第 5 圖中圖示說明的結構，且因此可經設置以在偵測到逼近錯誤狀況時發出錯誤訊號。這些各種錯誤訊號隨後可經由 OR 閘電路 335 以結合，而產生從電路 300 輸出的錯誤訊號。

在第 7 圖所示之範例中，假定電路 300 可經由智慧型能源管理(IEM)(電壓縮放電路 340)，使供應電壓動態地變化。在電壓縮放電路 340 減少供應電壓時，此可使通過組合電路 310、324 的傳輸延遲提升。因此，若第二循

序儲存結構 315、330 經配置為如第 3 圖之第一具體實施例般，則他們可在任何實際錯誤在第二循序儲存電路的作業中發生之前，偵測到供應電壓的減少使逼近建立錯誤狀況發生的情況。詳言之，在偵測到逼近錯誤狀況時，第二循序儲存結構仍將輸出正確資料至資料處理電路 300 內的任何下游電路。在產生錯誤訊號時，錯誤訊號可被繞線至電壓縮放電路 340，且(例如)可用以使電壓縮放電路停止更進一步降低供應電壓。當然，對於一些實例而言，可適當的使電壓縮放電路隨後開始提升供應電壓。

或者(或此外)，配置如第 5 圖之第二具體實施例的一或多個第二循序儲存結構亦可用於第 7 圖之系統中，以偵測可隨著縮放供應電壓而發生的相關於保持時序的逼近錯誤。

第 8 圖圖示用於第 3 圖與第 5 圖之循序儲存結構的另一系統階層應用。在此種系統中，循序儲存結構的某些實例可經配置如第 3 圖，以用於在金絲雀建立模式(第一作業模式)中使用循序儲存結構之效能限制偵測，同時循序儲存結構的其他實例可經配置如第 5 圖，以用於在金絲雀保持模式(第二作業模式)中使用循序儲存結構之功能性失效偵測。在兩作業模式中，陰影門鎖器 170 在功能性元件(亦即，主從正反器 150、160)之前發生時序失效，以使系統可在任何真實錯誤發生之前，偵測逼近的時序錯誤。

第 8 圖圖示一種多電壓、動態電壓頻率調整(Dynamic Voltage and Frequency Scaled; DVFS)系統，系統包含兩個電路方塊，被稱為分區 A 410 與分區 B 420，其兩者接收他們各自的供應電壓 414 與 424。使用 IEM/電壓縮放電路 450 以控制電壓至分區之至少一者。例如，在一個具體實施例中，分區之一者可具有固定的供應電壓，同時 IEM/電壓縮放電路 450 可改變對另一分區的供應電壓。然而，在一替代性具體實施例中，電壓縮放電路 450 可改變對任一分區的供應電壓。

在分區 A 410 與分區 B 420 之間，提供組合邏輯 415 以施行對從分區 A 輸出至分區 B 的訊號的運算，以及類似地施行對從分區 B 輸出至分區 A 的訊號的運算。

分區 A 410 與分區 B 420 之每一者可包含循序儲存結構，諸如在第 3 圖與第 5 圖中圖示者，且任何偵測到的錯誤將使錯誤訊號被發出通過路徑 412 或 422 至錯誤管理電路 430。與第 7 圖中的範例類似，此錯誤訊號可用以使訊號被發出至電壓縮放電路 450，以使電壓縮放電路停止更進一步減少供應至偵測到錯誤之相關分區的電壓。然而，如將於下文更詳細討論者，在第 8 圖之範例中，提供時脈與偏斜管理電路 440，其亦可回應於由錯誤管理電路 430 發出的訊號，以經由可變延遲元件 455 與 460，改變提供至分區 A 410 或分區 B 420 之時脈訊號的相位。

詳言之，若考慮一範例，其中區塊之一者(在此特定範

例中為分區 A)被縮放以操作於較低的電壓，其使用或不使用頻率縮放，則對於區塊內部之暫存器之間的時序，對時脈網路的電壓縮放將代表著分區 A 內部時脈潛時 (clock latency)類似的提升。然而，隨著分區之一者的電壓縮放，因為區塊之間潛時的改變，介面時序路徑將偏斜。不僅是建立路徑，保持(功能)路徑也將發生失效。

雖然對於前述情況，可藉由使用延遲元件或鎖定(lock up)閘鎖器機制來逐步修正保持需求(後者用以減輕競爭狀況，其中藉由以閘鎖器延遲資料，將資料從一個時脈域傳至另一個時脈域)，在一些情況下對於介面路徑，逐步延遲元件的增加或鎖定閘鎖器的使用，將導致在其他情況下符合時序的路徑產生建立路徑違反。

然而，經由使用第 5 圖之循序儲存結構形式，不須逐步地插入用於保持的介面路徑或使用鎖定閘鎖器類型技術，即可避免競爭狀況。此係於第 9 圖之範例中示意圖示說明，其中假定分區 A 具有可變供應電壓(從 1 V 至 0.6 V)，同時供應 B 具有固定於 1 V 的供應電壓。在電路中可能存在許多實例，其中發射循序儲存結構通過組合電路發出資料，以產生由擷取儲存結構取樣的輸出訊號，且此種電路組合的一些範例係圖示說明於第 9 圖中。對於一些實例而言，可使用標準的發射與擷取儲存結構，如同對於發射儲存結構 476 與相關的擷取儲存結構 478 之情況。然而，對於此種電路實體完全位於分區 A 之內的情況，可適當的使用第 3 圖的電路來提供擷取

儲存結構，以能夠偵測可在供應電壓路徑 414 減少時發生的逼近建立時序錯誤。此範例係圖示於第 9 圖中，其中標準發射儲存結構 470 發出通過組合電路 472 的訊號，訊號隨後被為第 3 圖形式之擷取儲存結構 474 擷取。藉由此作法，可在任何實際建立時序錯誤發生之前，偵測在分區 A 之內的逼近建立時序錯誤。

此外，對於通過在分區 B 與分區 A 之間介面的訊號，分區 A 供應電壓的減少實際上可導致保持時序錯誤發生。因此，可藉由在分區 A 介面併入具有第 5 圖結構之擷取儲存結構，來偵測逼近保持時序錯誤。此係示意圖示說明於第 9 圖中，其中標準發射儲存結構 480 經由組合電路 415 發出訊號，以產生輸出訊號，輸出訊號隨後被為第 5 圖之形式的擷取儲存結構 482 擷取。

藉由此作法，使保持失效即將發生之狀況能夠被追蹤，以使在偵測到狀況時，產生錯誤訊號至錯誤管理電路 430。回應於此錯誤訊號，錯誤管理電路 430 可指示電壓縮放電路 450 從電壓縮放更進一步退回，或可發出訊號至時脈與偏斜管理電路 440，以使根時脈潛時(root clock latencies)能夠被動態地調諧，以避免保持錯誤發生。詳言之，可調諧時脈潛時以減少在提供至分區 A 與分區 B 的時脈之間的偏斜。

第 10 圖為圖示說明根據一個具體實施例，如何在時脈樹合成(clock tree synthesis; CTS)期間產生第二循序儲存結構所需要的雙相位時脈的示意圖。在此範例中，發

射門鎖器 500 由從時脈輸入 (CLKIN) 訊號 540 產生的第一時脈訊號驅動，且由發射門鎖器發出的資料被組合電路 510 處理，以產生輸出訊號，輸出訊號被繞線至具有第 3 圖或第 5 圖之結構的雙相位循序元件 520。因此，在雙相位循序元件 520 中，將存在主從正反器 530 以及陰影門鎖器 525。使用時脈緩衝器 545、550 序列以分散將時脈訊號驅動至系統內所有所需電路區塊的負載。在 CTS 期間，且根據與雙相位元件使用的模式，可提供較早(或較遲)相位至 CLKP1 輸入，並可提供較遲(或較早)相位至 CLKP2 輸入，以使功能與陰影元件由時脈的不同相位延遲時控。在所示的範例中，兩個緩衝器 550 產生相位延遲  $T_d$ ，且使用多工器 560、565 以決定哪個輸入獲得未延遲時脈，而哪個輸入獲得延遲時脈。使用此設置，雙相位循序元件 520 可經設置以在第一作業模式或在第二作業模式中操作，而不需要產生兩個時脈訊號相位所需的任何大量額外硬體。

第 11 圖對第 3 圖或第 5 圖的雙相位循序元件提供詳細電路示意圖。元件 600 為主門鎖器，元件 610 為從門鎖器，且元件 615 為陰影門鎖器。緩衝器 635 將輸入資料驅動進電路，同時緩衝器 640 驅動電路的輸出，而部件 620、625、630 各別控制相關門鎖器 600、610、615 的開關狀態。所示的各種內部時脈訊號，係經由圖中所示的緩衝器 645、650、655、660，從 CLKP1 與 CLKP2 輸入產生。第 3 圖與第 5 圖所示之偵測電路 186 與致能電

路 190，係於第 11 圖的部件 665、670、675 中結合。詳言之，XOR 閘 665 在儲存於主閃鎖器 600 中的值不同於儲存於陰影閃鎖器 615 中的值時，產生邏輯 1 值。NOR 閘 670 僅在 CLKP1N 與 CLKP2N 訊號兩者皆為低時(亦即，在輸入時脈與延遲時脈訊號兩者皆為高時)，輸出邏輯 1 值。在 XOR 閘 665 與 NOR 閘 670 兩者皆輸出邏輯 1 值的情況下，AND 閘 675 將發出錯誤訊號，除非錯誤遮罩輸入被設為低。經由使用錯誤訊號遮罩，雙相位循序元件的錯誤偵測功能性可依所需而關閉。

如先前所述，在主閃鎖器 600 與從閃鎖器 615 所使用的時脈之間的相位延遲，在設計之時脈樹合成期間被建立，其允許在存在接近於彼此而可共享相位化時脈之元件的叢集關鍵路徑時，使用較少的元件。與一般正反器電路相較之下，第 11 圖的電路將使用兩個額外的輸入，其中一個用於額外相位時脈，而另一個用於允許錯誤運算被致能。第 11 圖的循序儲存結構亦將從其他元件產生錯誤訊號，錯誤訊號可結合於樹中，以允許系統層級控制器從在管線(pipeline)中的元件獲得經統整的錯誤訊號。

第 12 圖圖示一替代性具體實施例之雙相位循序元件的詳細電路，其中在循序儲存結構經受功率閘控作業時，時序錯誤偵測元件(亦即，陰影閃鎖器)615 亦可作為保持元件。將第 12 圖與第 11 圖比較之下，將認知到許多電路係為相同，僅提供了兩個額外的切換元件

680、690 以控制從閃鎖器 610 何時從電路提供輸出，以及陰影(保持)閃鎖器 615 何時提供此輸出。詳言之，在正常作業中，保持訊號(RET)將具有邏輯 0 位準，使切換元件 680 處於開啟狀態中，且使切換元件 690 處於關閉狀態中。因此，將認知到第 12 圖的電路恰如第 11 圖的電路般操作。然而，在保持訊號被設為高時，此將切換元件 690 設為開啟狀態，並將切換元件 680 設為關閉狀態，而使陰影(保持)閃鎖器 615 的內容現提供輸出。

因此，在此一具體實施例中，作為時間性冗餘元件的陰影閃鎖器 615，只要其在設計正確操作時(陰影閃鎖器與功能元件擷取到正確的資料)儲存最新的狀態，亦可作為保持元件。使用額外的 RET 輸入，允許設計被置於保持作業模式中，如示意圖示說明於第 13 圖中。在此範例中，假定 CLKP1 輸入接收時脈訊號的無延遲版本，同時 CLKP2 輸入接收經延遲版本。因此，在此範例中，電路如同在第 5 圖所圖示之第二作業模式中操作，其中主閃鎖器接收無延遲時脈，而陰影閃鎖器接收經延遲時脈。主閃鎖器因此在 CLKP1 訊號的上升邊緣 700 關閉，同時陰影閃鎖器在 CLKP2 訊號的上升邊緣 705 關閉。假定保持(RET)訊號隨後在點 710 被設為高，將理解到陰影閃鎖器 615 在此點處保持與當前儲存於從閃鎖器 160 中的值相同的值。訊號 CLKP2 在功率閘控週期期間內保持為高，而訊號 CLKP2 連同 RET 訊號作為控制訊號。

在 RET 訊號成為高時，切換元件 680 關閉以允許陰影(保持)門鎖器 615 提供輸出。電路隨後在週期 720 期間內受到功率閘控，且在隨後對電路回復功率時，保持狀態保持一段時間，且因此陰影(保持)元件輸出輸出訊號 Q\_VALID 715。

從上文對具體實施例的描述中，可認知到此等具體實施例幫助降低加至面積與功率的設計餘裕，並可使設計能夠在相同功率下達到較高的效能，或在給定的效能下達到較低的功率。此等具體實施例的雙相位循序儲存結構可經配置以在浮水印(watermarking)、原位金絲雀模式中操作，其中金絲雀元件(陰影門鎖器)的失效係均等於失效點，雖然實際的功能元件並不會失效。因此，設計操作於安全點處，並指示即將發生的失效點，且依賴無論何時皆可正確估算的功能路徑。此意味著此設計並不像前述操作於邊緣的 Razor 技術般那麼有效能益處，但軟體錯誤容許允許在系統中對此設計進行調諧，而不需併入回溯或重新演示機制。

除為了效能與功率調諧系統以外，前述具體實施例的技術可延伸以用於最重視功能性的系統(相較於絕對重視效能)，且可用來處理任何與競爭相關的問題，問題發生於短路徑上，或具有大且非通用的時脈網路(諸如跨過階層邊界的時脈網路，在階層邊界處保持違反(功能性)較容易發生)的路徑上。一應用範例為多電壓域設計，其中一個電壓域的縮放可在介面上誘發競爭狀況。

使用前述具體實施例之技術，可偵測介面路徑即將失效的點，且可依所需退回電壓縮放。

根據所述具體實施例，雙相位循序儲存結構的設計，為效能(建立)與功能性(保持)兩者提供了配置錯誤預測方法，根據雙相位時脈如何被提供至循序儲存結構。在前述替代性版本中，可修改具有相位化時脈的錯誤偵測正反器，以實施保持正反器，其中陰影元件作為氣球門鎖器(balloon latch)。

在已於前述具體實施例中，將第二循序儲存結構描述為具有主要儲存元件與陰影儲存元件的同時，在另一具體實施例中不需要陰影儲存元件，相反地提供了轉變偵測電路，以在從第二時脈訊號與延遲第二時脈訊號產生的錯誤偵測時間視窗中，監視呈現至主要儲存元件的值。可用於此種作業中的轉變偵測電路係(例如)於公眾共有之美國專利第 7,320,091 號專利案中描述，其全體內容在此以引用方式併入本文中。

本申請案之第 14 圖的功能性係與美國專利第 7,320,091 號專利案之第 25 圖類似，並圖示說明了可用於實施此種轉變偵測電路的轉變偵測 D 型正反器。此設置包含標準主從正緣觸發正反器 3310 以及轉變偵測器電路 3350。在替代性設置中，可由任何能夠操作以不受觸發與其他需求的影響儲存信號值的電路元件來代替正反器。第 14 圖的電路設置的處理程序係由時脈訊號 CLK 驅動。時脈訊號 DCLK 對應至訊號 CLK 的延遲版本。此

延遲  $T_d$  的長度，為在根據第二操作模式操作(以偵測逼近保持時序錯誤)時的預定時序視窗。在根據第一操作模式操作(以偵測逼近建立時序錯誤)時，可延遲訊號 CLK 而非 DCLK。因此，在第一操作模式中，DCLK 為較早的訊號，而 CLK 為延遲版本，而對於第二操作模式則為相反。CLK 與 DCLK 被「NAND」在一起以產生 EN\_COMP 訊號。EN\_COMP 訊號為低態有效訊號，且其反向版本被供應至電晶體 N5。在 EN\_COMP 為低時，電晶體 N5 被致能以偵測供應至主要正反器之輸入資料上的假性轉變(spurious transition)。EN\_COMP 持續為低的時間長度由 CLK 與 DCLK 之間的延遲來決定。

輸入資料被供應至主要正反器，且亦被供應至轉變偵測器 3350。在轉變偵測器 3350 內，輸入訊號被供應至一系列的四個反向器  $I_4$ 、 $I_5$ 、 $I_6$  與  $I_7$ 。來自反向器陣列中各個點的輸出被供應至電晶體陣列，電晶體陣列包含電晶體 N1、N2、N3、N4、N5 與 N6。電晶體 N1 被從對應至反向器  $I_4$  輸入的訊號導出的輸出驅動；電晶體 N2 被反向器  $I_6$  的輸出驅動；電晶體 N3 被反向器  $I_4$  的輸出驅動；而電晶體 N4 被反向器  $I_7$  的輸出驅動。

訊號 DATA\_DEL3 回應於輸入資料的上升轉變而經受上升轉變。訊號 DATA\_DEL6 在相等於通過反向器  $I_4$ 、 $I_5$  與  $I_6$  的傳輸延遲之區間之後經受下降轉變。在此區間期間，DATA\_DEL3 與 DATA\_DEL6 兩者皆為邏輯 HIGH。若此事件在電晶體 N5 亦被打開(在 EN\_COMP 為低)的期

間內發生，則動態節點 ERR\_DYN 現可從邏輯 HIGH 被放電至邏輯 LOW，導致 ERROR 訊號被設為邏輯 HIGH。在第一作業模式與第二作業模式兩者中，此皆指示一逼近錯誤狀況，由於在輸入至主要正反器的輸入資料上的上升轉變。

類似地，在 DATA\_DEL4 回應於在輸入資料上的下降轉變而經受下降轉變時，在輸入資料上的下降轉變可被偵測。訊號 DATA\_DEL7 在相等於通過反向器 I<sub>5</sub>、I<sub>6</sub> 與 I<sub>7</sub> 的傳輸延遲之區間之後經受下降轉變。在此區間期間內 DATA\_DEL7 與 DATA\_DEL4 兩者皆為高。若此事件在 EN\_COMP 為低的期間內發生，則 ERROR 訊號被設為邏輯 HIGH。在第一作業模式與第二作業模式兩者中，此皆指示一逼近錯誤狀況，由於在輸入至主要正反器的輸入資料上的下降轉變。此轉變偵測電路之具體實施例的功能係於公眾共有之美國專利第 7,320,091 號專利案之第 26、27、28 圖更詳盡描述。

電晶體 N6 相關於動態節點 ERR\_DYN。藉由背靠背 (back-to-back) 反向器 I<sub>8</sub> 與 I<sub>9</sub>，ERR\_DYN 節點被強健地保護以不受雜訊所造成的放電影響，並經由反向器 I<sub>10</sub> 從電路輸出錯誤輸出訊號。來自個別錯誤偵測電路之每一者的錯誤訊號，被供應至控制狀態機(未圖示)，控制狀態機回應於錯誤訊號而輸出全域錯誤重置訊號 Err\_reset。此訊號為了下一個錯誤事件將 ERR\_DYN 節點預充電。此狀況式預充電方案大量地減少了在與時脈

相關之針腳上的電容性負載，並提供了低功率開鎖設計。此狀況式預充電方案亦排除了對額外閃鎖元件的需要，否則將需要額外閃鎖元件以在預充電相位期間內保持錯誤訊號的狀態。

雖然在此已描述了特定具體實施例，將認知到本發明並不限於此等具體實施例，並可在本發明範圍內對此等具體實施例進行許多修改與附加。例如，下列申請專利範圍附屬項之技術特徵可與獨立項之技術特徵結合，而不脫離本發明之範圍。

### 【圖式簡單說明】

現將參照如附加圖示中所圖示說明之具體實施例，來更進一步僅為示例之目的描述本發明，在附加圖式中：

第 1 圖為簡要圖示說明在資料處理裝置中，傳輸延遲與時脈偏斜如何導致建立與保持違反的時序圖；

第 2 圖根據一具體實施例簡要圖示說明資料處理裝置；

第 3 圖根據一具體實施例更詳盡圖示說明在操作於第一作業模式中時之第 2 圖中的第二循序儲存結構；

第 4 圖為圖示說明第 3 圖電路作業之時序圖；

第 5 圖為根據一具體實施例更詳盡圖示說明在操作於第二作業模式中時之第 2 圖中的第二循序儲存結構的示意圖；

第 6 圖為圖示說明第 5 圖電路作業之時序圖；

第 7 圖根據一具體實施例圖示說明併入一或多個資料處理裝置個體的資料處理系統；

第 8 圖根據一替代性具體實施例圖示說明併入一或多個資料處理裝置個體的資料處理系統；

第 9 圖圖示說明第 3 圖與第 5 圖中的各種擷取儲存結構如何可被利用於第 8 圖的系統中；

第 10 圖根據一具體實施例圖示說明由第 2 圖的第二循序儲存結構所需的雙相位時脈，如何在時脈樹合成期間被產生；

第 11 圖為根據一具體實施例圖示說明第 2 圖的第二循序儲存結構的結構的詳盡方塊圖；

第 12 圖為根據一替代性具體實施例圖示說明第 2 圖的第二循序儲存結構的結構的詳盡方塊圖；

第 13 圖為圖示說明在處於保持作業模式中時，第 12 圖的電路的作業的時序圖；

第 14 圖根據一替代性具體實施例更詳盡圖示說明第 2 圖的第二循序儲存結構。

### 【主要元件符號說明】

10	時脈訊號	12	上升邊緣
20	輸出資料	22	點
30	時脈訊號	32	點

40	輸出資料	42	點
50	時脈訊號	52	取樣點
60	建立期間	70	保持需求
100	循序儲存結構	105	第一時脈
110	資料路徑	115	組合電路
120	輸出訊號路徑	125	第二循序儲存結構
130	第二時脈訊號	135	第二時脈訊號的延遲 版本
140	處理路徑	145	DIN 訊號路徑
150	主門鎖器	160	從門鎖器
170	冗餘主門鎖元件	180	偵測電路部件
182	偵測電路部件	184	偵測電路部件
186	偵測電路	190	NAND 閘
192	延遲元件	194	延遲元件
200	時間	210	時間
220	點	225	錯誤檢查視窗
230	較遲抵達資料	240	線
300	電路	305	第一循序儲存結構
310	組合電路	315	第二循序儲存結構
320	第一循序儲存結構	325	組合電路
330	第二循序儲存結構	335	OR 閘電路
340	電壓縮放電路	410	分區 A
412	路徑	414	供應電壓
415	組合邏輯	420	分區 B

- |      |            |      |           |
|------|------------|------|-----------|
| 422  | 路徑         | 424  | 供應電壓      |
| 430  | 錯誤管理電路     | 440  | 時脈與偏斜管理電路 |
| 450  | IEM/電壓縮放電路 | 455  | 可變延遲元件    |
| 460  | 可變延遲元件     | 470  | 標準發射儲存結構  |
| 472  | 組合電路       | 474  | 擷取儲存結構    |
| 476  | 發射儲存結構     | 478  | 擷取儲存結構    |
| 480  | 標準發射儲存結構   | 482  | 擷取儲存結構    |
| 500  | 發射門鎖器      | 510  | 組合電路      |
| 520  | 雙相位循序元件    | 525  | 陰影門鎖器     |
| 530  | 主從正反器      | 540  | 時脈輸入訊號    |
| 545  | 時脈緩衝器      | 550  | 時脈緩衝器     |
| 560  | 多工器        | 565  | 多工器       |
| 600  | 主門鎖器       | 610  | 從門鎖器      |
| 615  | 陰影門鎖器      | 620  | 部件        |
| 625  | 部件         | 630  | 部件        |
| 635  | 緩衝器        | 640  | 緩衝器       |
| 645  | 緩衝器        | 650  | 緩衝器       |
| 655  | 緩衝器        | 660  | 緩衝器       |
| 665  | 部件         | 670  | 部件        |
| 675  | 部件         | 680  | 切換元件      |
| 690  | 切換元件       | 700  | 上升邊緣      |
| 705  | 上升邊緣       | 710  | 點         |
| 715  | 輸出訊號       | 720  | 週期        |
| 3310 | 標準主從正緣觸發正  | 3350 | 轉變偵測器電路   |

反器

.  
.

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：100117260

※ 申請日期：100年5月17日

※IPC 分類：G01R 31/317 (2006.01)

G06F 13/40 (2006.01)

G06F 11/09 (2006.01)

一、發明名稱：(中文/英文)

用於偵測逼近錯誤狀況之裝置與方法 / APPARATUS AND  
METHOD FOR DETECTING AN APPROACHING ERROR  
CONDITION

二、中文發明摘要：

茲提供用於在資料處理裝置內偵測逼近錯誤狀況的裝置與方法。資料處理裝置包含第二循序儲存結構，第二循序儲存結構經設置以根據第二時脈訊號而閃鎖由組合電路產生的輸出訊號。第二循序儲存結構具有主要儲存元件與轉變偵測電路，主要儲存元件閃鎖輸出訊號的值以提供至隨後的組合電路，轉變偵測電路在預定時序視窗期間內偵測由主要儲存元件閃鎖的輸出訊號的值的一改變，該改變表示逼近錯誤狀況，在同時儲存於主要儲存元件中的值仍為正確的。第二循序儲存結構可操作於第一作業模式或第二作業模式中。在第一作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的值之時刻之前的時序視窗，藉以使由組合電路內的傳輸延遲所導致的逼近建立時序錯誤能夠被偵測到。在第二作業模式中，預定時序視窗為在主要儲存元件閃鎖輸出訊號的值之時刻之後的時序視窗，因而使由在第一時脈訊號與第二時脈訊號之間的偏斜的提升所導致的逼近保持時序錯

誤被偵測到。此種技術提供了簡單且有效率的機制以偵測各種逼近錯誤狀況，同時第二循序儲存結構繼續正確地操作。

### 三、英文發明摘要：

An apparatus and method are provided for detecting an approaching error condition within a data processing apparatus. The data processing apparatus includes a second sequential storage structure which is arranged to latch the output signal generated by combinatorial circuitry dependent on a second clock signal. The second sequential storage structure has a main storage element to latch a value of the output signal for provision to subsequent combinatorial circuitry, and transition detection circuitry for detecting a change of the value of the output signal latched by the main storage element during a predetermined timing window, said change indicating an approaching error condition whilst the value stored in the main storage element is still correct. The second sequential storage structure can be operated in either a first mode of operation or a second mode of operation. In the first mode of operation, the predetermined timing window is a timing window ahead of a time at which the main storage element latches said value of the output signal, to thereby enable an approaching setup timing error due to a propagation delay within the combinatorial circuitry to be detected. In the second mode of operation, the predetermined timing window is a timing window after the time at which the

main storage element latches said value of the output signal such that an approaching hold timing error due to an increase in skew between the first and second clock signals is detected. Such a technique provides a simple and efficient mechanism for detecting a variety of approaching error conditions whilst the second sequence storage structure continues to operate correctly.

七、申請專利範圍：

1. 一種資料處理裝置，包含：

組合電路，該組合電路用於接收至少一個輸入訊號，並施行一處理作業以產生一輸出訊號；

一第一循序儲存結構，該第一循序儲存結構由一第一時脈訊號控制以提供該至少一個輸入訊號至該組合電路；

一第二循序儲存結構，該第二循序儲存結構由一第二時脈訊號控制以閃鎖由該組合電路產生的該輸出訊號；

該第二循序儲存結構包含一主要儲存元件與轉變偵測電路，該主要儲存元件閃鎖該輸出訊號的一值以提供至一隨後的組合電路，該轉變偵測電路偵測由該主要儲存元件閃鎖之該輸出訊號的該值在一預定時序視窗期間內的一改變，該改變指示一逼近錯誤狀況，同時儲存在該主要儲存元件內的該值仍為正確的；

該第二循序儲存結構係於一第一作業模式與一第二作業模式中之一者內操作；

在該第一作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之一時刻之前的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況為一逼近建立時序錯誤，該逼近建立時序錯誤係由該組合電路內的一傳輸延遲所導致；以及

在該第二作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之該時刻之後的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況為一逼近保持時序錯誤，該逼近保持時序錯誤係由在該第一時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致。

2. 如申請專利範圍第 1 項所述之資料處理裝置，其中：

該第二循序儲存結構的該轉變偵測電路包含一陰影儲存元件與狀態差異偵測電路，該陰影儲存元件在與該主要儲存元件不同的一時序處閃鎖該輸出訊號的一值，該狀態差異偵測電路從由該主要儲存元件與該陰影儲存元件閃鎖的該等值之間的一差異，決定該逼近錯誤狀況，同時儲存於該主要儲存元件內的該值仍為正確的；

在該第一作業模式中，該陰影儲存元件係由該第二時脈訊號操作，而該主要儲存元件係由該第二時脈訊號的一延遲版本操作，藉以使該陰影儲存元件在該主要儲存元件之前操作，因而使由該狀態差異偵測電路偵測到的該逼近錯誤狀況為該逼近建立時序錯誤，該逼近建立時序錯誤係由在該組合電路內的一傳輸延遲所導致；以及

在該第二作業模式中，該主要儲存元件係由該第二時脈訊號操作，而該陰影儲存元件係由該第二時脈訊號的該延遲版本操作，藉以使該主要儲存元件在該陰影儲存

元件之前操作，因而使由該狀態差異偵測電路偵測到的該逼近錯誤狀況為該逼近保持時序錯誤，該逼近保持時序錯誤係由在該第一時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致。

3. 如申請專利範圍第 2 項所述之資料處理裝置，其中：

在該第一作業模式中，在該組合電路中的該傳輸延遲係受該資料處理裝置的至少一個操作參數影響；以及

在該主要儲存元件之前的該陰影儲存元件的該作業能確保當在該至少一個操作參數導致該傳輸延遲的一提升藉以減少對於該輸出訊號的該建立時序之時，若該建立時序減少至一建立時序臨限值之下，則該陰影儲存元件將在該主要儲存元件之前門鎖該輸出訊號的一不正確值。

4. 如申請專利範圍第 3 項所述之資料處理裝置，其中：

該第一循序儲存結構、該第二循序儲存結構與該組合電路位於該資料處理裝置的一單一區塊內，因而使該至少一個操作參數影響該第一循序儲存結構與該第二循序儲存結構以及該組合電路；

該第二循序儲存結構係於該第一作業模式中操作，以使該狀態差異偵測電路決定在何時由該至少一個操作參數的一改變導致之在該組合電路內的該傳輸延遲的一提升，導致該逼近建立時序錯誤被偵測到。

5. 如申請專利範圍第 4 項所述之資料處理裝置，更包含：
  - 一供應電壓控制器，該供應電壓控制器提供一供應電壓至該單一區塊，該供應電壓控制器可根據該資料處理裝置的操作需求而改變該供應電壓；
  - 該至少一個操作參數包含該供應電壓；以及
  - 該第二循序儲存結構係於該第一作業模式中操作，以使該狀態差異偵測電路決定在何時在該組合電路內的該傳輸延遲的一提升會導致該逼近建立時序錯誤被偵測到，其中該提升係由該供應電壓的一減少所導致。
  
6. 如申請專利範圍第 5 項所述之資料處理裝置，其中在偵測到該逼近建立時序錯誤時，該狀態差異偵測電路發出一訊號至該供應電壓控制器，以使該供應電壓控制器至少停止更進一步減少該供應電壓。
  
7. 如申請專利範圍第 2 項所述之資料處理裝置，其中：
  - 在該第二作業模式中，在該第一時脈訊號與該第二時脈訊號之間的該偏斜，係受該資料處理裝置的至少一個操作參數影響；以及
  - 在該陰影儲存元件之前的該主要儲存元件的作業會確保該陰影儲存元件與該主要儲存元件相較之下，將具有一提升的保持時序需求，且在該至少一個操作參數對該偏斜產生一提升時，若該保持時序需求提升至一預定

保持時序之上，則該陰影儲存元件將在主要儲存元件之前門鎖輸出訊號的一不正確值。

8. 如申請專利範圍第 7 項所述之資料處理裝置，其中：

該第一循序儲存結構位於該資料處理裝置的一第一區塊中；

該第二循序儲存結構位於該資料處理裝置的一第二區塊中；

供應至該第一區塊與該第二區塊之至少一者的一供應電壓，該供應電壓可根據該資料處理裝置的操作需求而改變；以及

該第二循序儲存結構係於該第二作業模式中操作，以使該狀態差異偵測電路決定在何時在該第一時脈訊號與該第二時脈訊號之間的該偏斜的一提升會導致該逼近保持時序錯誤被偵測到，該提升係由供應至該第二區塊之該供應電壓相對於供應至該第一區塊之該供應電壓之一減少所導致。

9. 如申請專利範圍第 2 項所述之資料處理裝置，其中：

該第二循序儲存結構具有一第一時脈輸入與一第二時脈輸入，該第一時脈輸入接收一時脈訊號以繞線至該主要儲存元件，該第二時脈輸入接收一時脈訊號以繞線至該陰影儲存元件；以及

該第二循序儲存結構根據該第一時脈輸入與該第二時脈輸入之何者接收該第二時脈訊號，而被置於該第一作業模式或該第二作業模式中，該第一時脈輸入與該第二時脈輸入之另一者接收該第二時脈訊號的該延遲版本。

10. 如申請專利範圍第 1 項所述之資料處理裝置，更包含：  
一時脈樹狀結構，該時脈樹狀結構用以從一共用時脈源產生該第一時脈訊號與該第二時脈訊號。
11. 如申請專利範圍第 10 項所述之資料處理裝置，其中該第二時脈訊號與該第二時脈訊號的該延遲版本，係產生自該共用時脈源的不同相位延遲。
12. 如申請專利範圍第 2 項所述之資料處理裝置，更包含：  
一時脈樹狀結構，該時脈樹狀結構包含一系列緩衝器級，且該第二時脈訊號與該第二時脈訊號的該延遲版本係從該系列緩衝器級內的不同位置取出。
13. 如申請專利範圍第 2 項所述之資料處理裝置，更包含：  
一可程式延遲元件，該可程式延遲元件用以致能對在該第二時脈訊號與該第二時脈訊號的該延遲版本之間的一相位延遲的調諧。

14. 如申請專利範圍第 1 項所述之資料處理裝置，更包含：

時脈管理電路，該時脈管理電路在該第二循序儲存結構係於該第二作業模式中的同時，回應於該狀態差異偵測電路偵測到該逼近保持時序錯誤，而調整在該第一時脈訊號與該第二時脈訊號之間的該相對時序，以尋求減少在該第一時脈訊號與該第二時脈訊號之間的該偏斜。

15. 如申請專利範圍第 8 項所述之資料處理裝置，更包含：

錯誤管理電路，該錯誤管理電路在該狀態差異偵測電路偵測到該逼近建立時序錯誤且同時該第二循序儲存結構係於該第二作業模式中時，自該狀態差異偵測電路接收一錯誤訊號；

時脈管理電路，該時脈管理電路調整在該第一時脈訊號與該第二時脈訊號之間的該相對時序；以及

電壓縮放電路，該電壓縮放電路控制提供至該第一區塊與該第二區塊的該等相對供應電壓；

該錯誤管理電路係回應於該錯誤訊號，以觸發該時脈管理電路之至少一者，而減少在該第一時脈訊號與該第二時脈訊號之間的該偏斜，且該電壓縮放電路回應於該錯誤訊號以減少在該第一區塊與該第二區塊的該等供應電壓之間的該電壓差異。

16. 如申請專利範圍第 2 項所述之資料處理裝置，其中：

該第二循序儲存結構係於該第一作業模式、該第二作業模式與一第三作業模式中之一者內作業；

在該第三作業模式中，由該第二時脈訊號操作該主要儲存元件，並由該第二時脈訊號的該延遲版本操作該陰影儲存元件而藉以使該主要儲存元件於該陰影儲存元件之前操作，因而使在該組合電路內的該傳輸延遲提升到足以使該建立時序減少至一建立時序臨限值以下的一程度時，一實際建立時序錯誤被該狀態差異偵測電路偵測到；

該資料處理裝置更進一步包含錯誤修復電路，該錯誤修復電路回應於該實際建立時序錯誤被該狀態差異偵測電路偵測到，而修復該錯誤。

17. 如申請專利範圍第 2 項所述之資料處理裝置，其中該陰影儲存元件經設置以如一保持元件般操作，而在該第二循序儲存結構經受一功率閘控作業時，保持該輸出訊號的一最新被閃鎖的值。

18. 一種作為如申請專利範圍第 1 項所述之資料處理裝置中的一第二循序儲存結構般之用的循序儲存電路，該循序儲存電路由一第二時脈訊號控制並且包含：

一主要儲存元件，該主要儲存元件閃鎖來自組合電路的一輸出訊號的一值，以提供至一隨後的組合電路；以及

轉變偵測電路，該轉變偵測電路在一預定時序視窗期間內，偵測由該主要儲存元件閃鎖的該輸出訊號的該值的一改變，該改變指示一逼近錯誤狀況，而在同時儲存於該主要儲存元件中的該值仍為正確的；

該循序儲存電路係於一第一作業模式與一第二作業模式中之一者內操作；

在該第一作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之一時刻之前的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況為一逼近建立時序錯誤，該逼近建立時序錯誤係由產生該輸出訊號的該組合電路內的一傳輸延遲所導致；以及

在該第二作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之該時刻之後的一時序視窗，因而使由該轉變偵測電路偵測到的該逼近錯誤狀況為一逼近保持時序錯誤，該逼近保持時序錯誤係由在該第一時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致，該第一時脈訊號與該第二時脈訊號係用以控制發出一輸入訊號至產生該輸出訊號的該組合電路的時序。

19. 一種用於操作一資料處理裝置的方法，該資料處理裝置具有組合電路、一第一循序儲存結構與一第二循序儲存結構，該組合電路用以接收至少一個輸出訊號並施行一

處理作業以產生一輸出訊號，該第一循序儲存結構由一第一時脈訊號控制以提供該至少一個輸出訊號至該組合電路，該第二循序儲存結構由一第二時脈訊號控制以閃鎖由該組合電路產生的該輸出訊號，該方法包含以下步驟：

閃鎖步驟，在該第二循序儲存結構的一主要儲存元件中閃鎖該輸出訊號的一值，以提供至一隨後的組合電路；

偵測步驟，在一預定時序視窗期間內，偵測由該主要儲存元件閃鎖的該輸出訊號的該值的一改變，該改變指示一逼近錯誤狀況，在同時儲存於該主要儲存元件中的該值仍為正確的；以及

操作步驟，操作該第二循序儲存結構於一第一作業模式與一第二作業模式其中之一者內；

在該第一作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之一時刻之前的一時序視窗，因而使由該偵測步驟偵測到的該逼近錯誤狀況為一逼近建立時序錯誤，該逼近建立時序錯誤係由該組合電路內的一傳輸延遲所導致；

在該第二作業模式中，該預定時序視窗為在該主要儲存元件閃鎖該輸出訊號的該值之該時刻之後的一時序視窗，因而使由偵測步驟偵測到的該逼近錯誤狀況為一逼近保持時序錯誤，該逼近保持時序錯誤係由在該第一

時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致。

20. 一種資料處理裝置，包含：

組合構件，用於接收至少一個輸入訊號並施行一處理作業以產生一輸出訊號；

第一循序儲存構件，該第一循序儲存構件係由一第一時脈訊號所控制，該第一循序儲存構件用於提供該至少一個輸入訊號至該組合構件；

第二循序儲存構件，該第二循序儲存構件係由一第二時脈訊號所控制，該第二循序儲存構件用於門鎖由該組合構件產生的該輸出訊號；

該第二循序儲存構件包含主要儲存元件構件與轉變偵測構件，該主要儲存元件構件用於門鎖該輸出訊號的一值以提供至一隨後的組合構件，該轉變偵測構件用於在一預定時序視窗期間內偵測由該主要儲存元件構件門鎖的該輸出訊號的該值的一改變，該改變指示一逼近錯誤狀況，在同時儲存於該主要儲存元件構件中的該值仍為正確的；

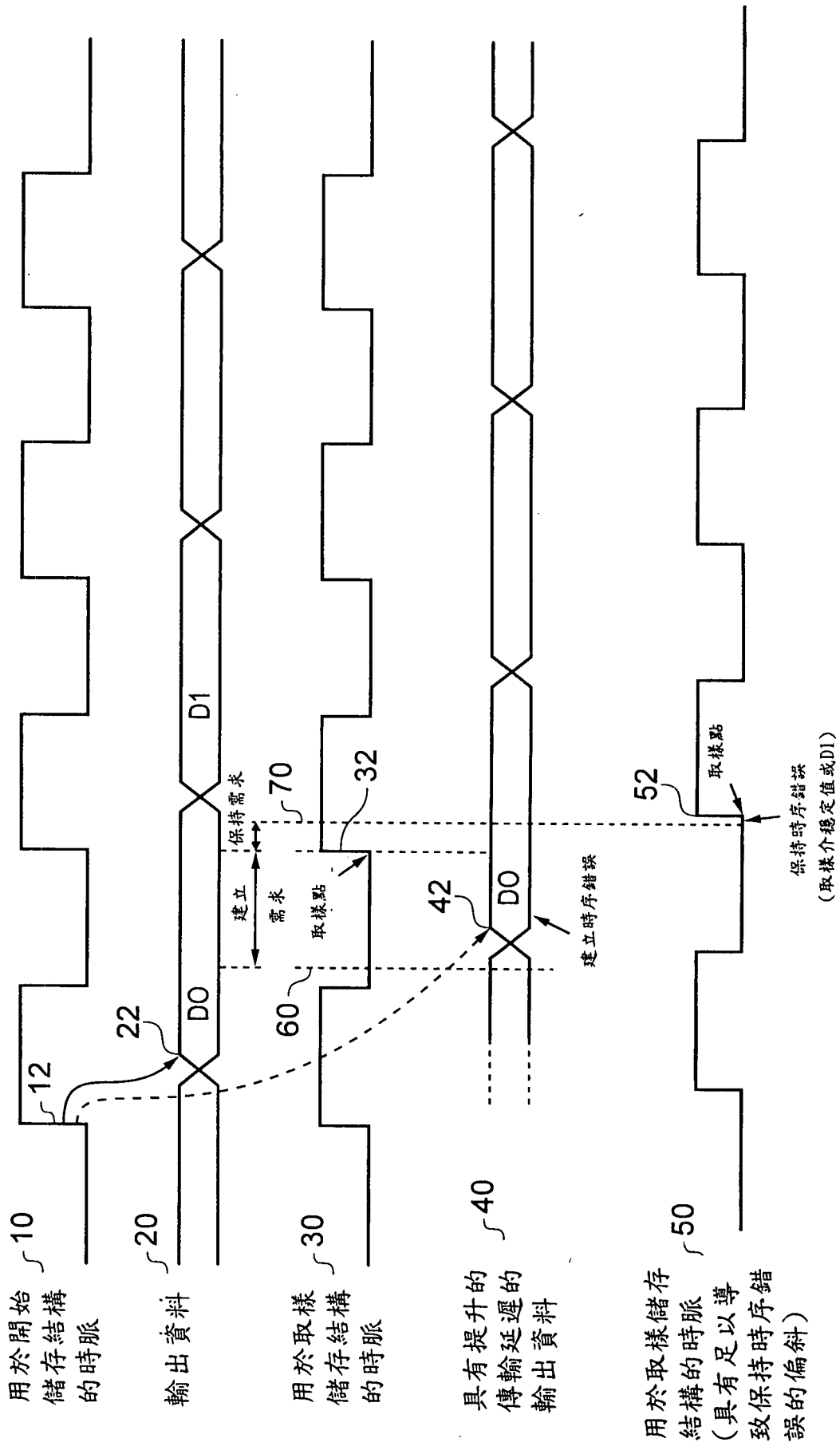
該第二循序儲存構件用於在一第一作業模式與一第二作業模式其中之一者內操作；

在該第一作業模式中，該預定時序視窗為在該主要儲存元件構件門鎖該輸出訊號的該值之一時間之前的一時序視窗，因而使由該轉變偵測構件偵測到的該逼近錯

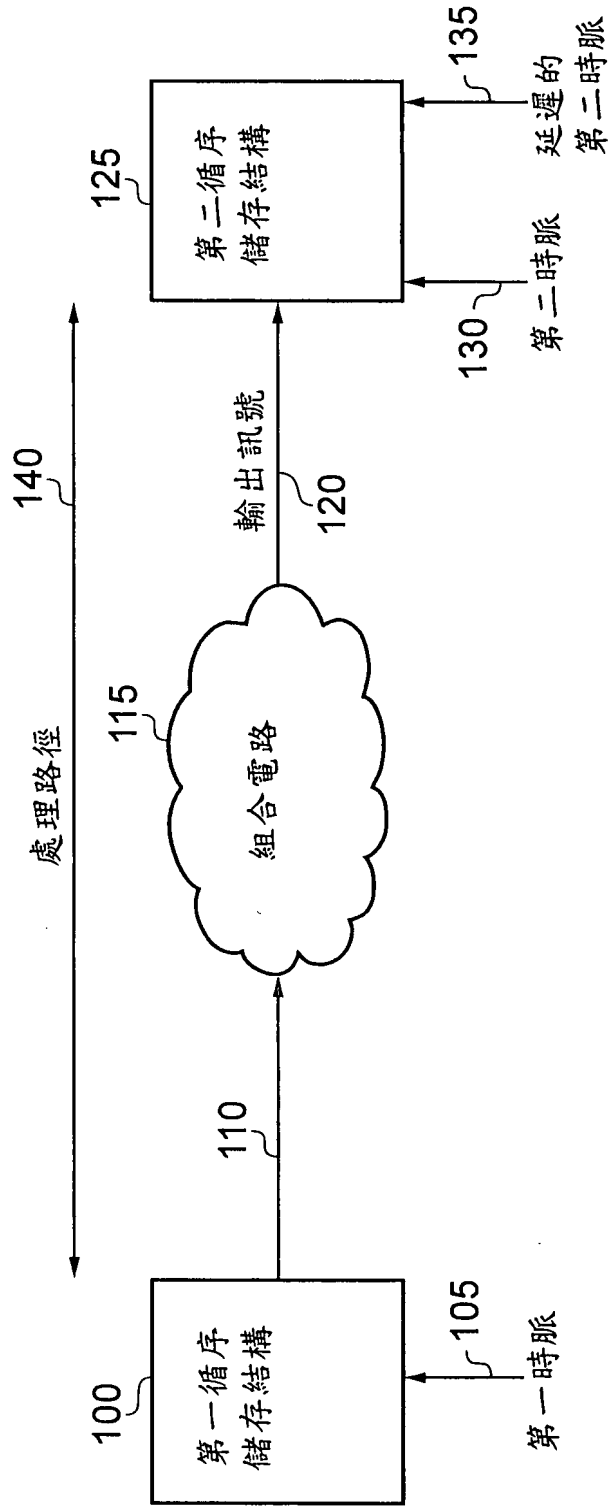
誤狀況為一逼近建立時序錯誤，該逼近建立時序錯誤係由該組合構件內的一傳輸延遲所導致；

在該第二作業模式中，該預定時序視窗為在該主要儲存構件門鎖該輸出訊號的該值之該時間之後的一時序視窗，因而使由該轉變偵測構件偵測到的該逼近錯誤狀況為一逼近保持時序錯誤，該逼近保持時序錯誤係由在該第一時脈訊號與該第二時脈訊號之間的一偏斜的一提升所導致。

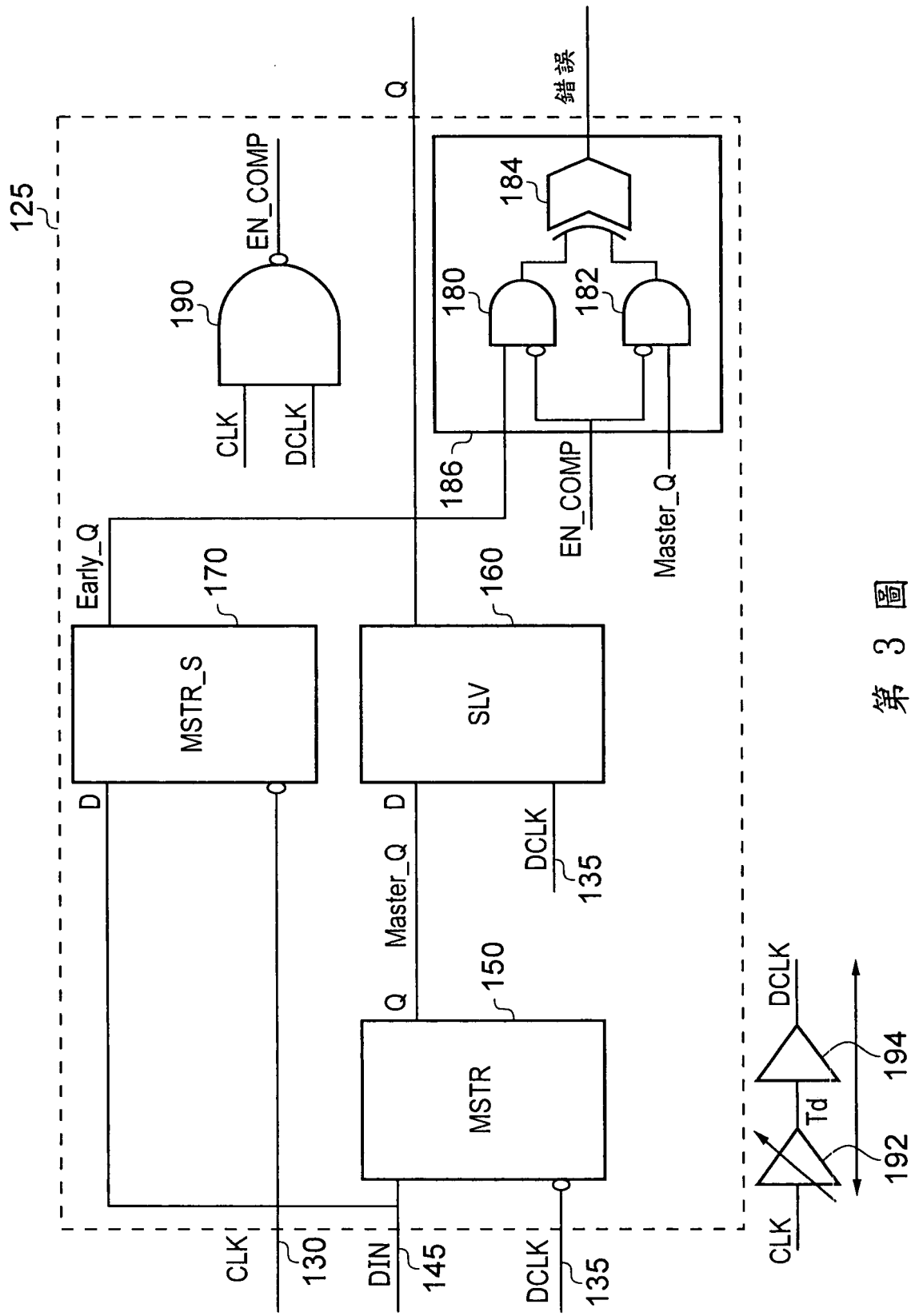
八、圖式：



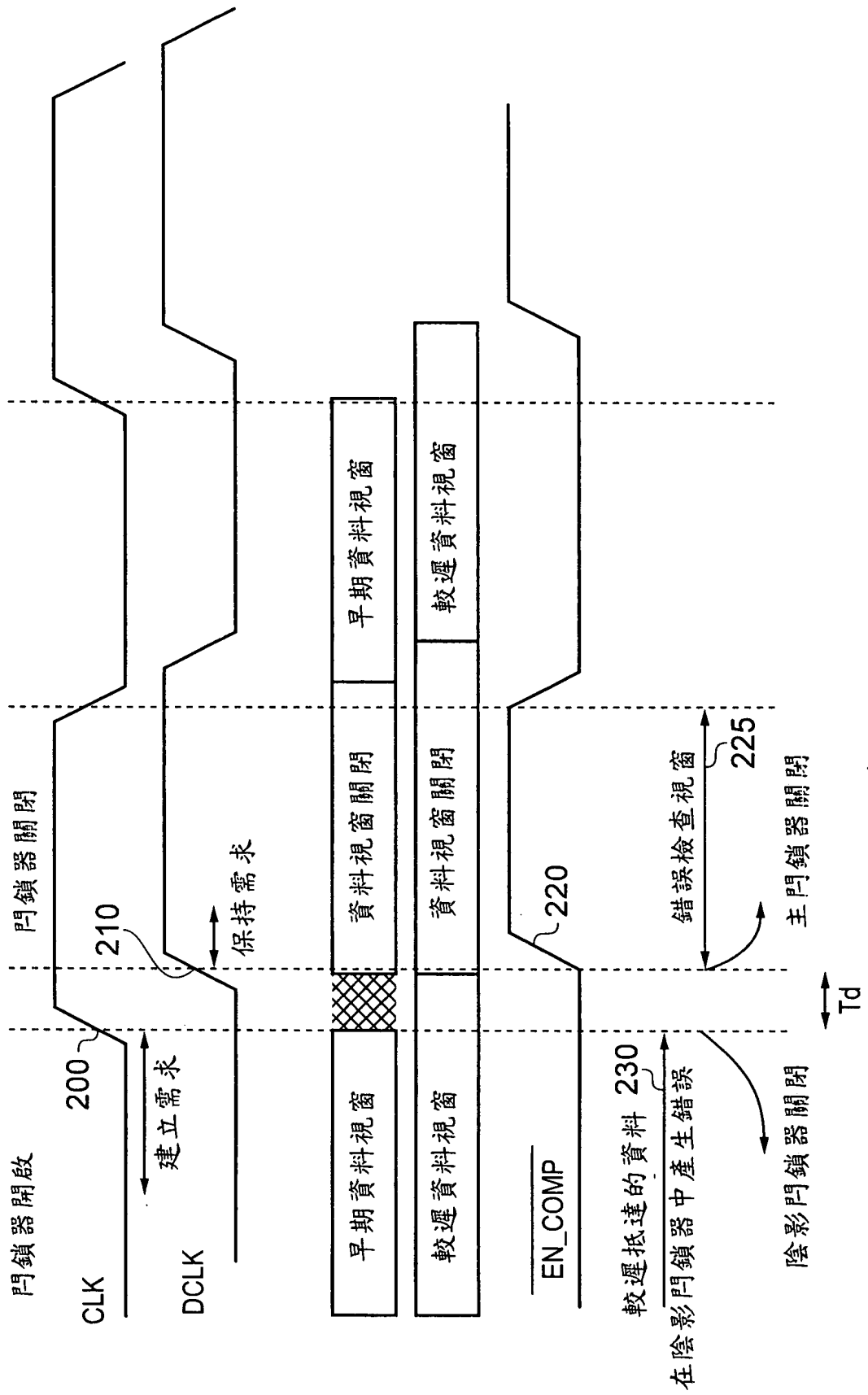
第 1 圖



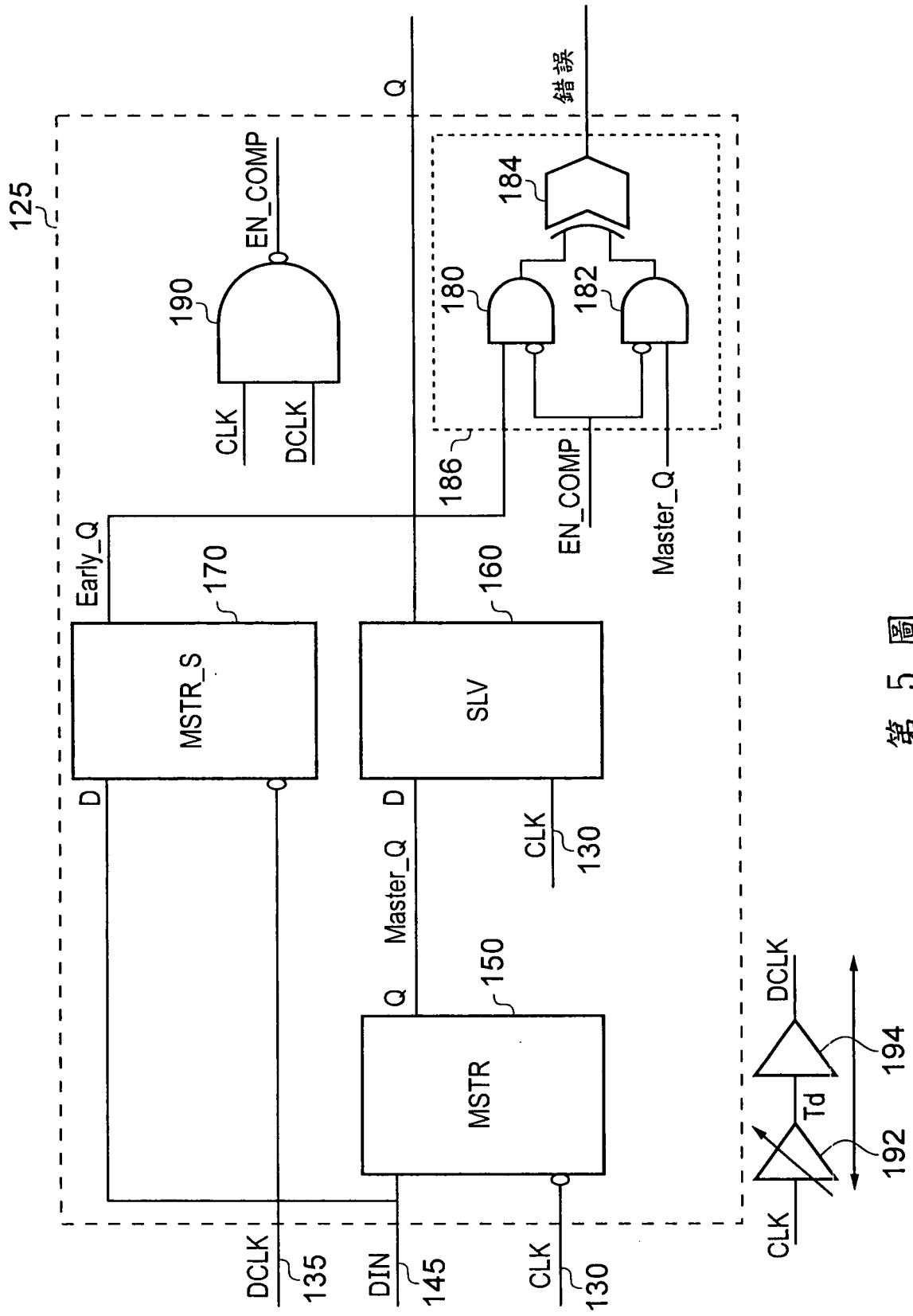
第 2 圖



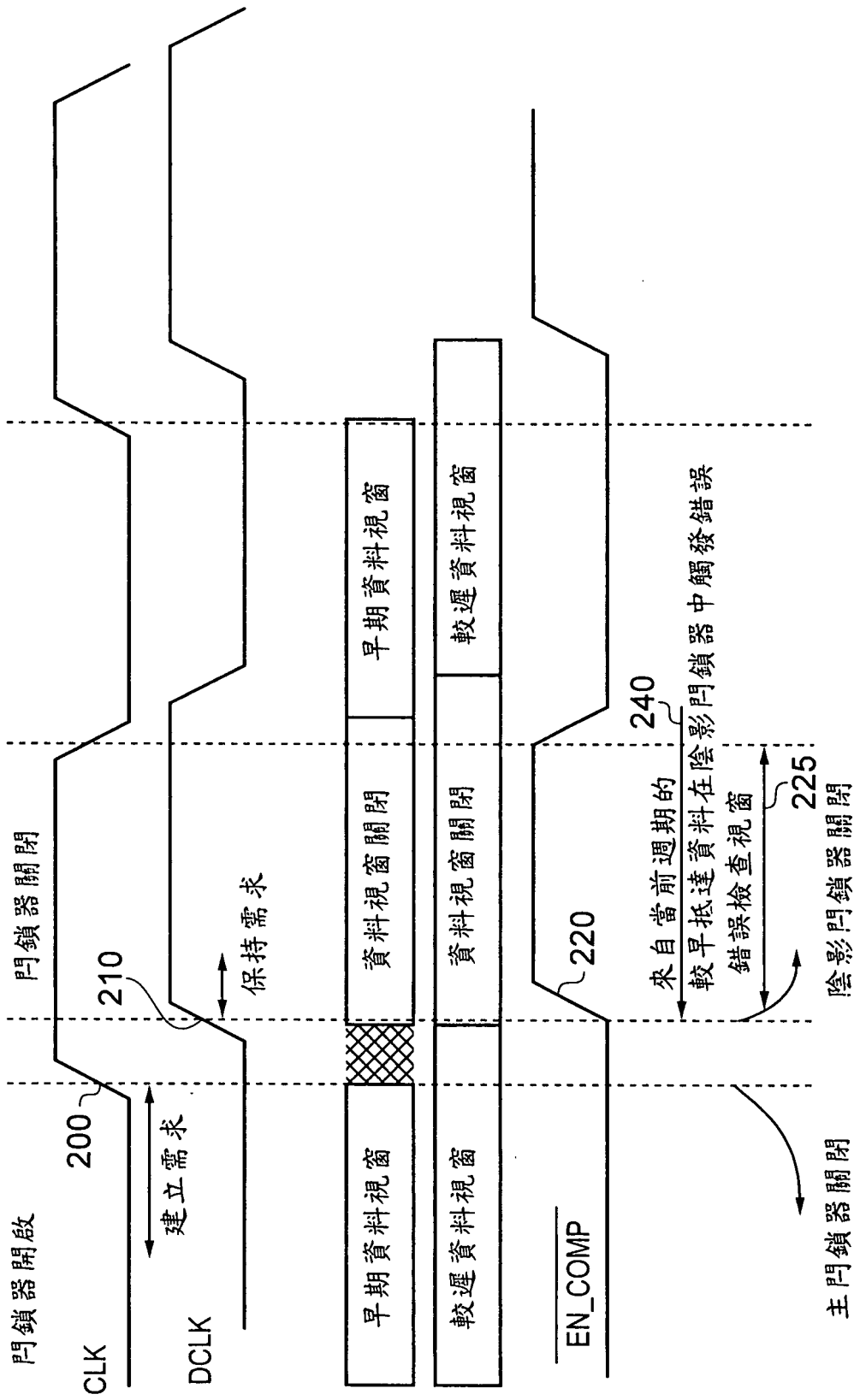
第 3 圖



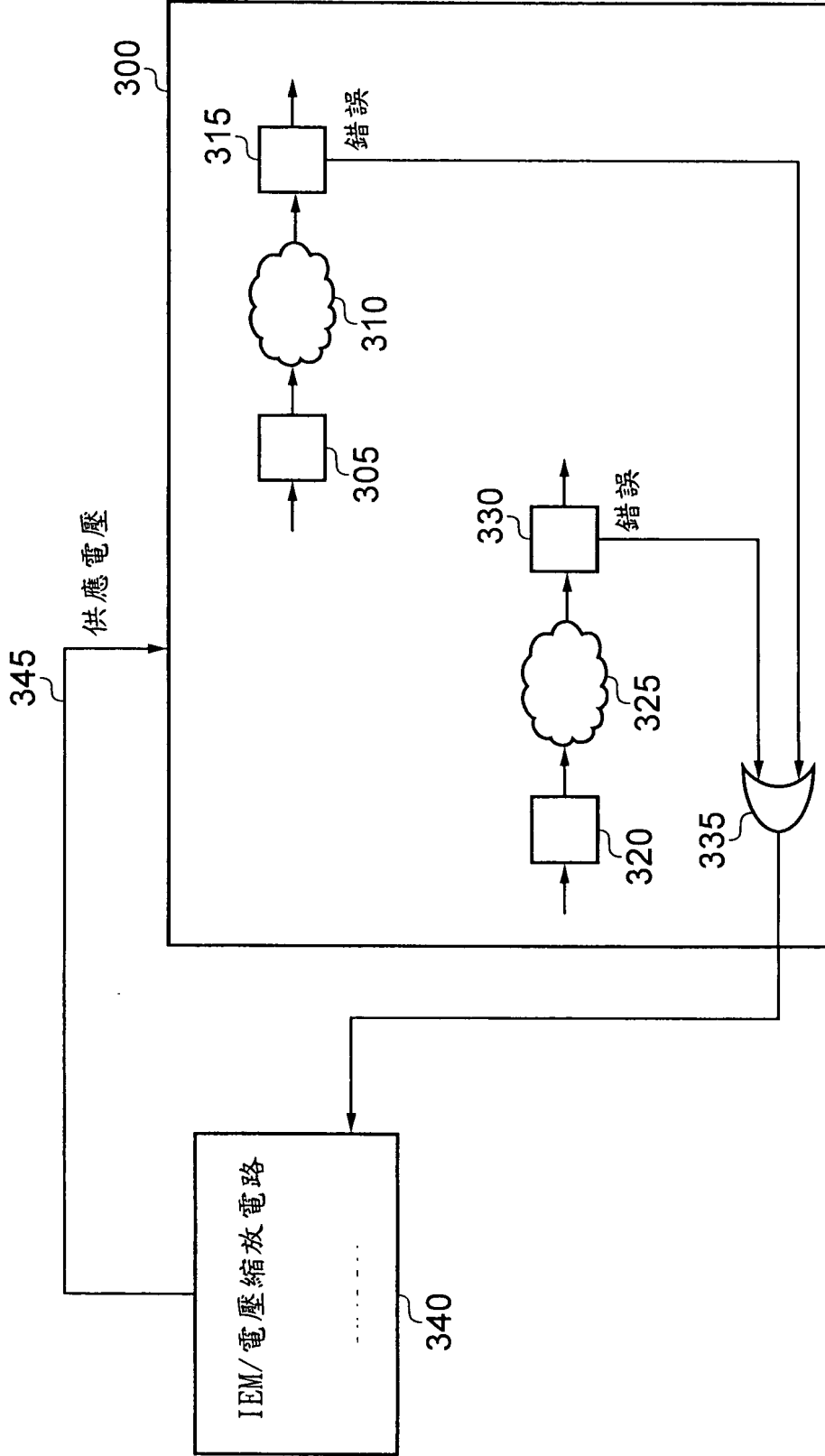
第 4 圖



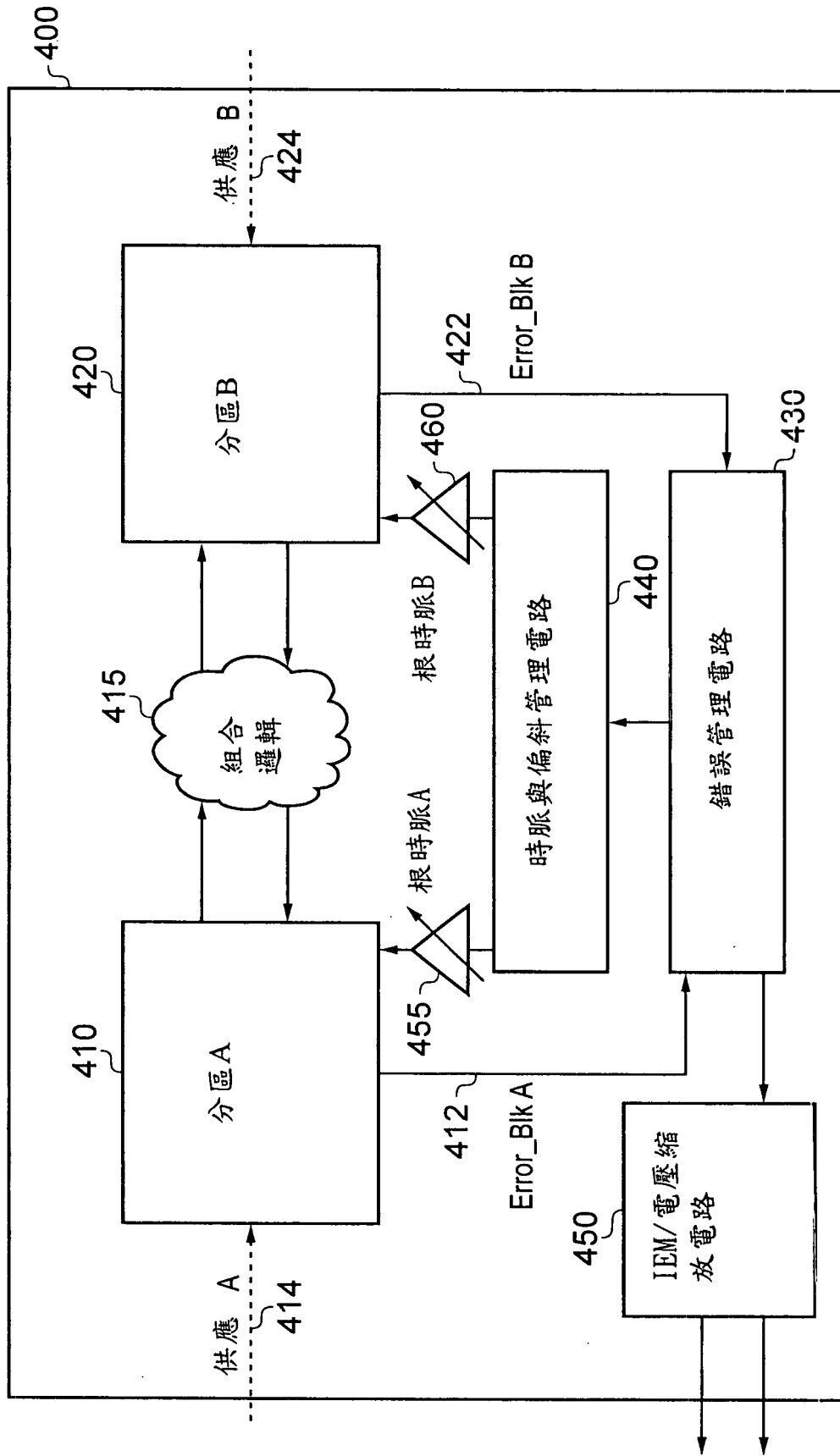
第 5 圖



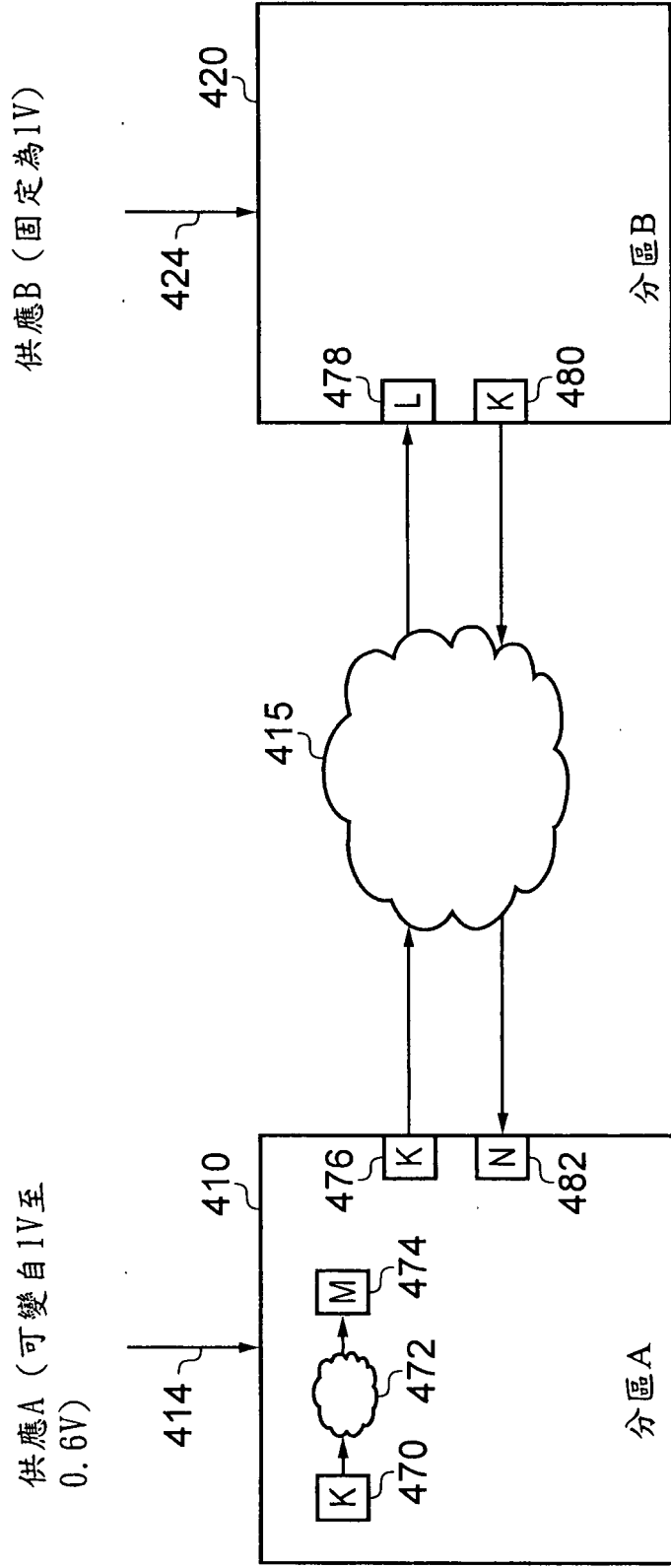
第 6 圖



第 7 圖

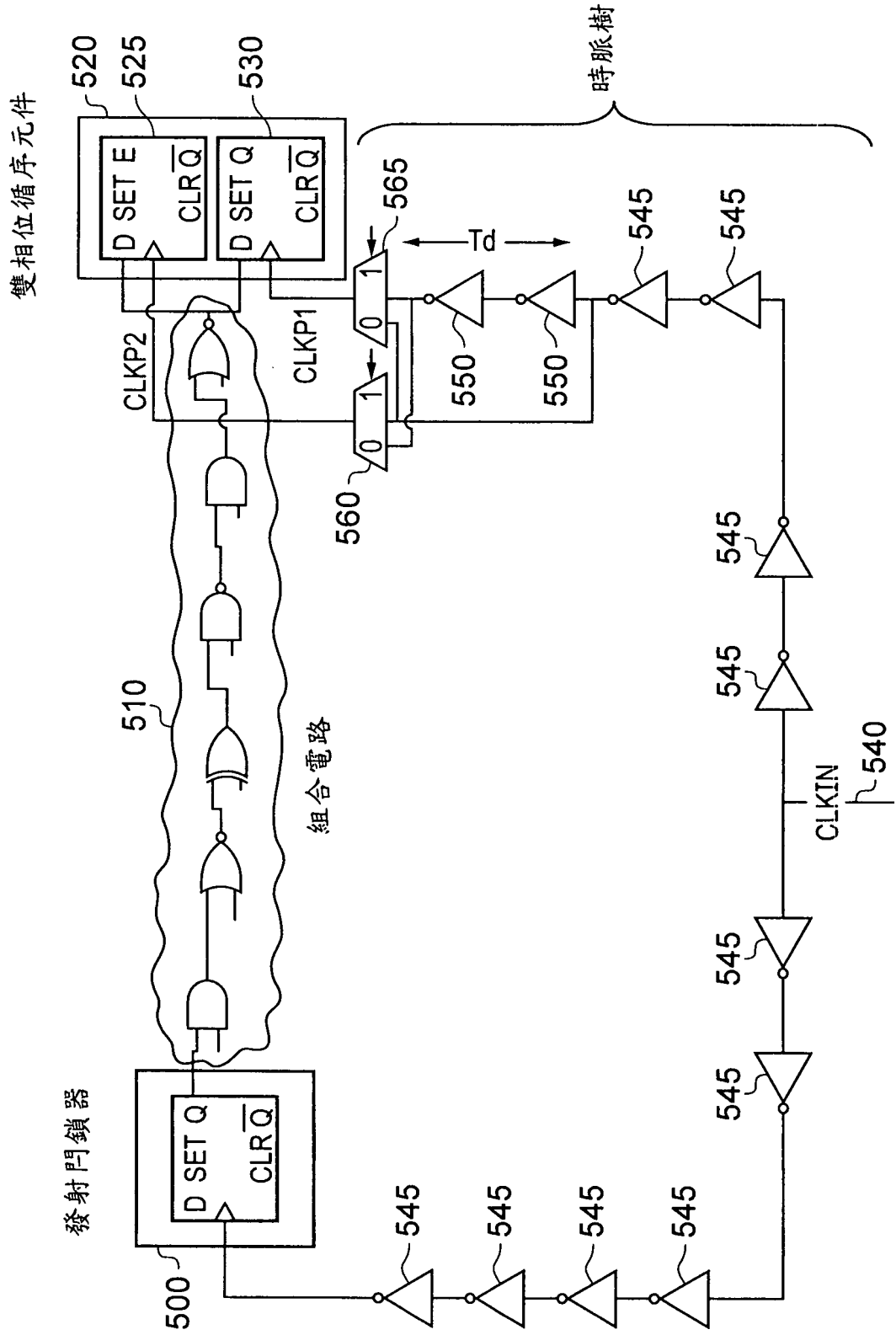


第 8 圖

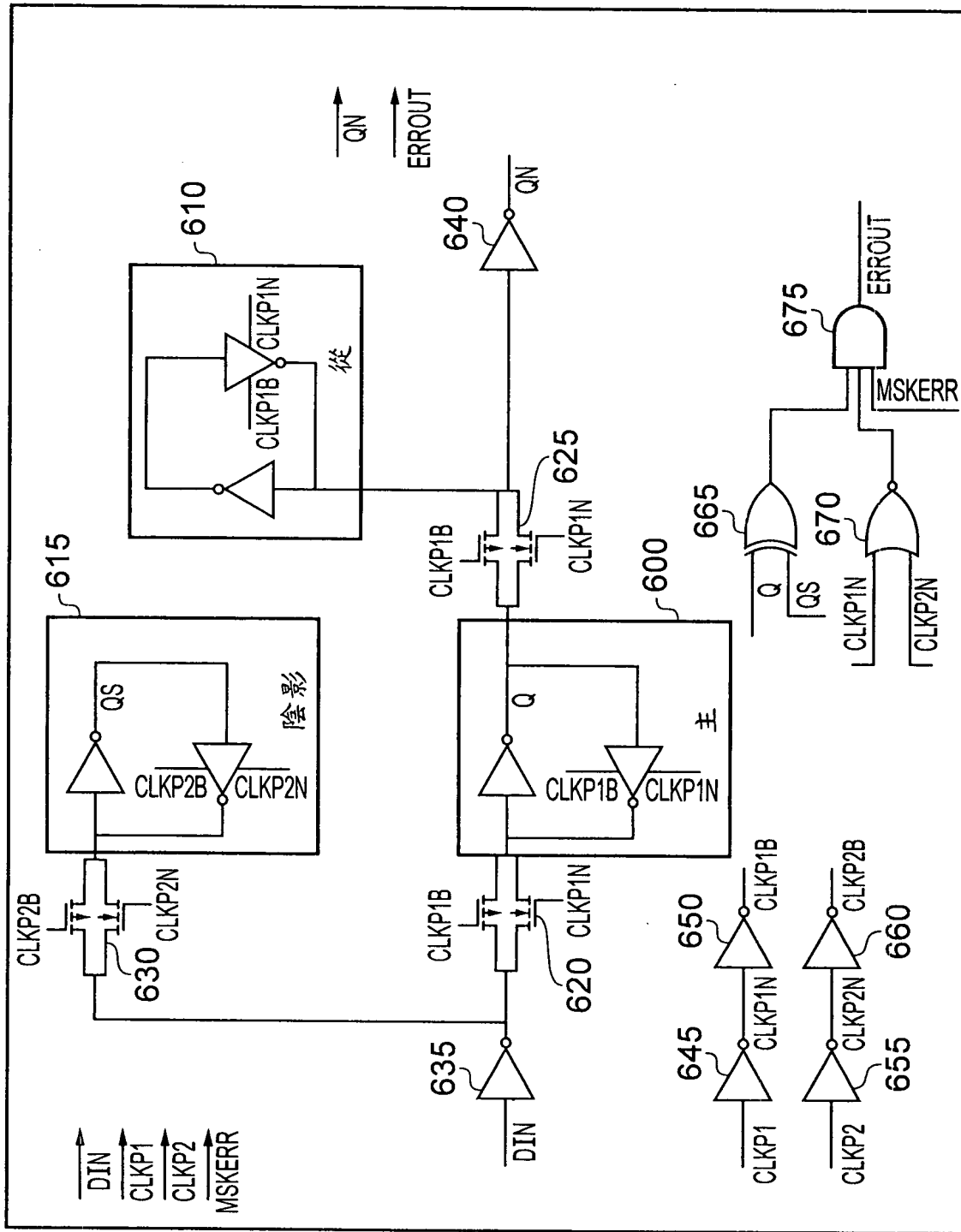


- K 三發射儲存結構(標準形式)
- L 三擷取儲存結構(標準形式)
- M 第3圖擷取儲存結構(偵測逼近建立時序錯誤)
- N 第5圖擷取儲存結構(偵測逼近保持時序錯誤)

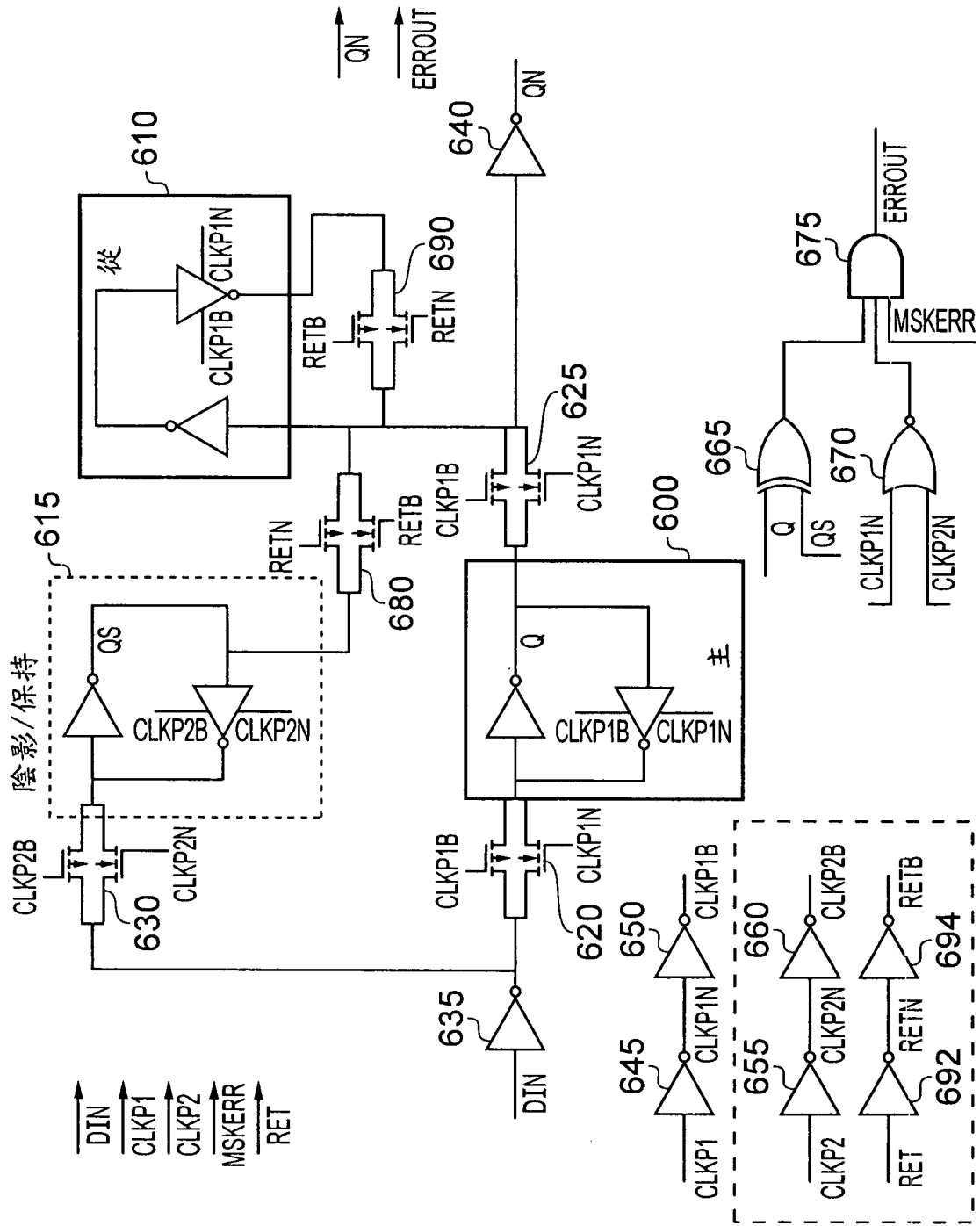
第 9 圖



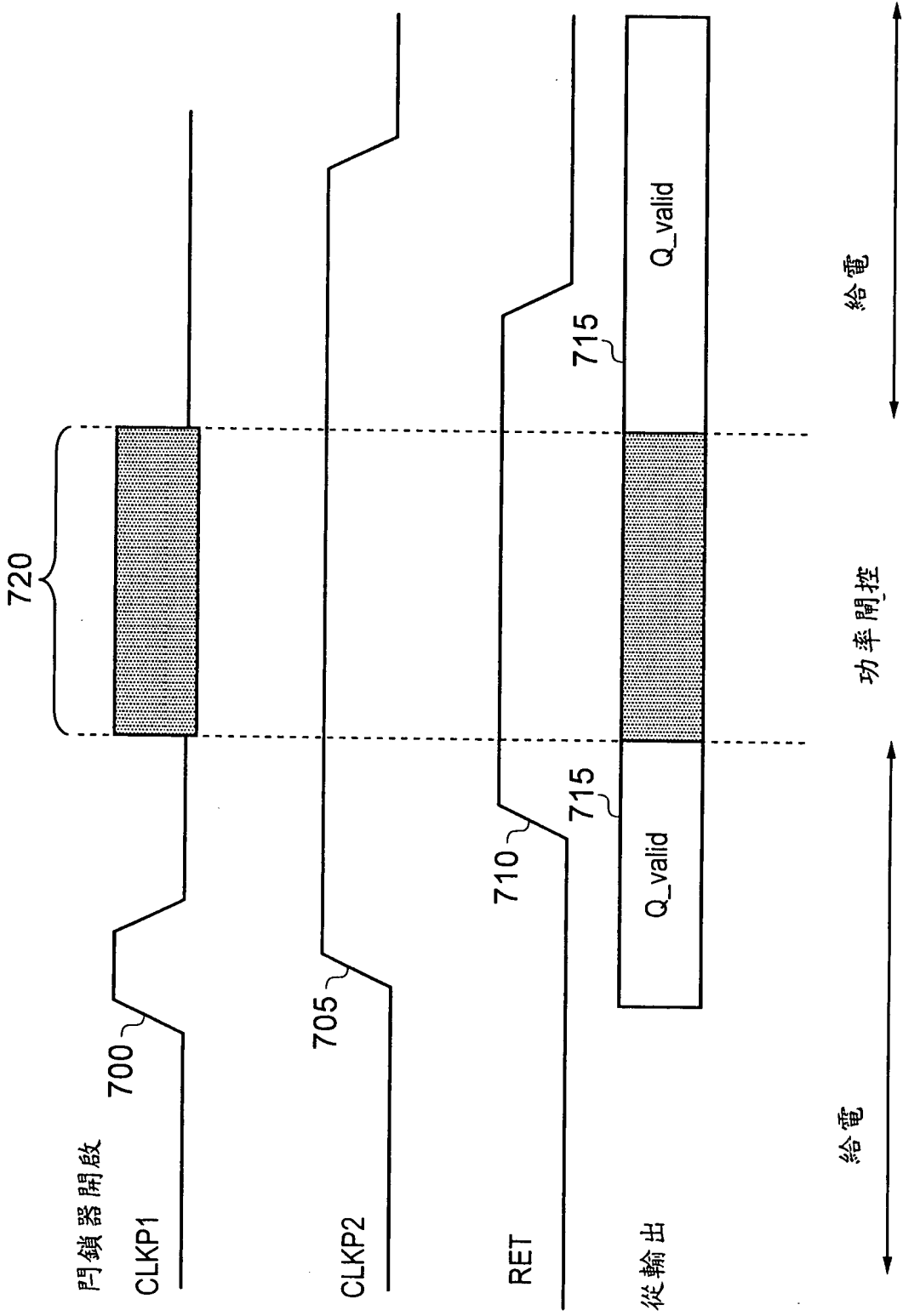
第 10 圖



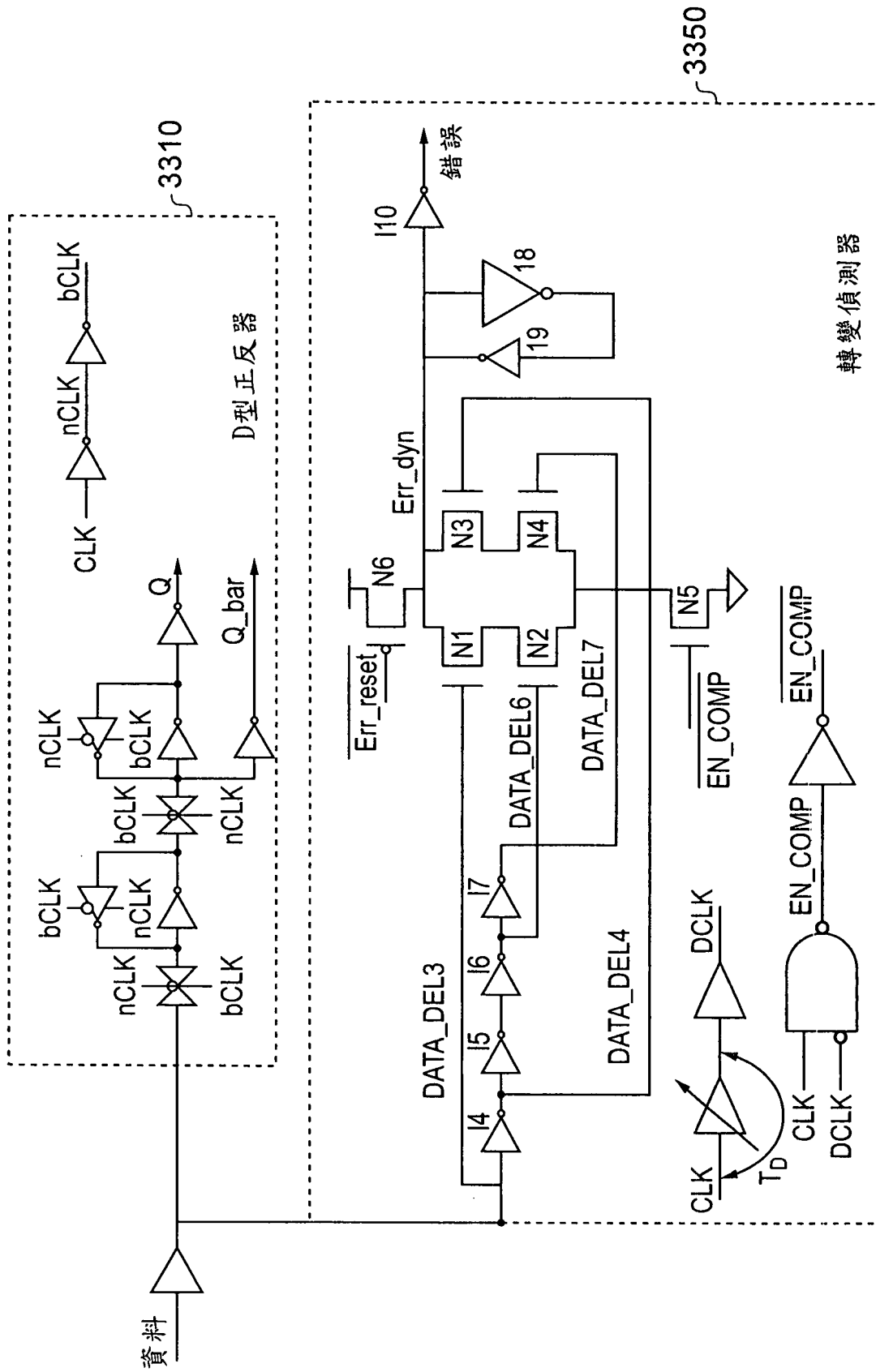
第 11 圖



第 12 圖



第 13 圖



第 14 圖

四、指定代表圖：

(一)本案指定代表圖為：第( 2 ) 圖。

(二)本代表圖之元件符號簡單說明：

100	循序儲存結構	105	第一時脈
110	資料路徑	115	組合電路
120	輸出訊號路徑	125	第二循序儲存結構
130	第二時脈訊號	135	第二時脈訊號的延遲版本
140	處理路徑		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無