

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-299522

(P2007-299522A)

(43) 公開日 平成19年11月15日(2007.11.15)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 C	5 B 0 6 0
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00 5 6 4 D	5 M 0 2 4
G 1 1 C 11/407 (2006.01)	G 0 6 F 12/00 5 9 7 C	
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 6 2 S	
	G 1 1 C 11/34 3 5 4 C	
審査請求 有 請求項の数 28 O L (全 17 頁)		

(21) 出願番号	特願2007-174529 (P2007-174529)	(71) 出願人	500014068
(22) 出願日	平成19年7月2日(2007.7.2)		マイクロン テクノロジー, インコーポレ
(62) 分割の表示	特願2002-568374 (P2002-568374)		イテッド
	の分割		MICRON TECHNOLOGY,
原出願日	平成14年2月1日(2002.2.1)		INC.
(31) 優先権主張番号	09/790,538		アメリカ合衆国 83706-9632
(32) 優先日	平成13年2月23日(2001.2.23)		アイダホ州 ボイシ サウス フェデラル
(33) 優先権主張国	米国 (US)		ウェイ 8000
		(74) 代理人	100077481
			弁理士 谷 義一
		(74) 代理人	100088915
			弁理士 阿部 和夫

最終頁に続く

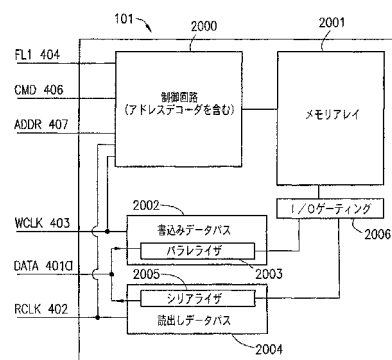
(54) 【発明の名称】 高速メモリシステムにおいて読出しタイミングを同期させる方法

(57) 【要約】

【課題】メモリコントローラの複雑さを低減する目的でメモリデバイスのシステム読出し待ち時間を均一化する。

【解決手段】制御回路2000は、制御回路が前記フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前に受け入れたコマンドに関連するデータをメモリデバイスがメモリアレイから少なくとも1つのデータ信号線に出力開始し、メモリデバイスの読み出し待ち時間と等しくするために、前記読み出しクロックサイクルの数は信号伝播の特徴にしたがって予め定められる。

【選択図】図3



【特許請求の範囲】

【請求項 1】

メモリアレイと、
前記メモリアレイに結合された少なくとも 1 つのデータ信号線と、
制御回路と、
前記制御回路に結合された、読出しクロック信号を受け取るための読出しクロック信号線と、
前記制御回路に結合されたフラグ信号線であって、メモリデバイスからのデータの出力タイミングを校正するためのフラグ信号を受け取るためのフラグ信号線と、
前記制御回路に結合された、コマンドを受け取るための少なくとも 1 つのコマンド信号線とを備え、
前記制御回路は、前記制御回路が前記フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前に受け入れたコマンドに関連するデータを前記メモリデバイスが前記アレイから前記少なくとも 1 つのデータ信号線上に出力開始し、前記メモリデバイスの読み出し待ち時間と等しくするために、前記読み出しクロックサイクルの数は信号伝播の特徴にしたがって予め定められていることを特徴とするメモリデバイス。

【請求項 2】

前記前に受け入れたコマンドは読出しコマンドであることを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 3】

前記前に受け入れたコマンドは校正コマンドであることを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 4】

出力の前記データは校正パターンであることを特徴とする請求項 3 に記載のメモリデバイス。

【請求項 5】

前記校正パターンは、異なる論理状態を有する連続する 2 つのビットを少なくとも含むことを特徴とする請求項 4 に記載のメモリデバイス。

【請求項 6】

前記校正パターンは、第 1 ビットが 2 進数 0 にセットされ、後続のすべてのビットが 2 進数 1 にセットされていることを特徴とする請求項 5 に記載のメモリデバイス。

【請求項 7】

前記校正パターンは、第 1 ビットが 2 進数 1 にセットされ、後続のすべてのビットが 2 進数 0 にセットされていることを特徴とする請求項 5 に記載のメモリデバイス。

【請求項 8】

前記メモリデバイスは少なくとも 1 つの他のメモリデバイスと共に構成され、前記メモリデバイスおよび前記少なくとも 1 つの他のメモリデバイスそれぞれは、フラグ信号線同士が結合され、コマンド信号線同士が結合され、

各メモリデバイスは、該各メモリデバイスが読出しコマンドを受け取ってからそれぞれのフラグ信号線を介して前記フラグ信号を受け取ることを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 9】

前記メモリデバイスはメモリモジュール上で少なくとも 1 つの他のメモリデバイスと共に構成され、前記メモリデバイスおよび前記少なくとも 1 つの他のメモリデバイスそれぞれで、それらのフラグ信号線は前記メモリモジュール上に位置するフラグ生成論理に結合されたことを特徴とする請求項 1 に記載のメモリデバイス。

【請求項 10】

複数のメモリデバイスを備え、
前記メモリデバイスはそれぞれさらに、
メモリアレイと、

前記メモリアレイに結合された少なくとも1つのデータ信号線と、
制御回路と、

前記制御回路に結合された、読出しクロック信号を受け取るための読出しクロック信号線と、

前記制御回路に結合されたフラグ信号線であって、前記メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を受け取るためのフラグ信号線と、

前記制御回路に結合された、読出しコマンドを受け取るための少なくとも1つのコマンド信号線とを備え、

前記制御回路は、前記制御回路が前記フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前に受け入れたコマンドに関連するデータを前記メモリデバイスが前記アレ
イから前記少なくとも1つのデータ信号線上に出力開始し、前記メモリデバイスの読み出し待ち時間と等しくするために、前記読み出しクロックサイクルの数は信号伝播の
特徴にしたがって予め定められていることを特徴とするメモリモジュール。 10

【請求項11】

プロセッサと、

前記プロセッサに結合されたメモリコントローラと、

複数の第1のメモリデバイスを有する第1のメモリモジュールとを備え、

前記複数の第1のメモリデバイスは、

読出しクロック信号を受け取るための第1の読出しクロック信号線であって、第2のメモリモジュールのうちの複数の第2のメモリデバイスの読出しクロック信号線に結合され
た第1の読出しクロック信号線と、 20

コマンドを受け取るためのコマンド信号線と、

メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を受け取るためのフラグ信号線であって、前記複数の第1のメモリデバイスおよび前記複数の第2のメモリデバイスに結合されたフラグ信号線とを備え、

前記フラグ信号は、前記メモリコントローラによりフラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前記コマンド信号線上で受け取った前に受け入れたコマ
ンドに対応するデータを前記複数の第1のメモリデバイスおよび複数の第2のメモリデバイスが出力開始するようにすることを特徴とするコンピュータシステム。 30

【請求項12】

メモリコントローラと、読出しクロック信号源と、フラグ信号源とに結合されたメモリデバイスを動作させる方法であって、

前記メモリコントローラからコマンドを受け取るステップと、

前記フラグ信号源から前記メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を受け取るステップと、

前記読出しクロック信号源から読出しクロック信号を受け取るステップと、

前記フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前記コマ
ンドに関連するデータを前記読出しクロック信号と同期させて出力開始し、前記メモリデバイスの読み出し待ち時間と等しくするために、前記読み出しクロックサイクルの数は信号伝
播の特徴にしたがって予め定められているステップとを含むことを特徴とする方法。 40

【請求項13】

前記コマンドは読出しコマンドであることを特徴とする請求項12に記載の方法。

【請求項14】

前記コマンドは較正コマンドであることを特徴とする請求項12に記載の方法。

【請求項15】

前記データは較正パターンであることを特徴とする請求項14に記載の方法。

【請求項16】

前記較正パターンは、異なる論理状態を有する連続する2つのビットを少なくとも含むことを特徴とする請求項15に記載の方法。

【請求項17】

前記較正パターンは、第1ビットが2進数0にセットされ、後続のすべてのビットが2進数1にセットされていることを特徴とする請求項16に記載の方法。

【請求項18】

前記較正パターンは、第1ビットが2進数1にセットされ、後続のすべてのビットが2進数0にセットされていることを特徴とする請求項16に記載の方法。

【請求項19】

前記読出しクロック源はメモリコントローラであり、前記フラグ信号源は前記メモリコントローラであることを特徴とする請求項12に記載の方法。

【請求項20】

前記メモリデバイスはメモリモジュール上に位置し、前記フラグ信号源は前記メモリモジュール上に位置するフラグ生成論理であることを特徴とする請求項12に記載の方法。 10

【請求項21】

複数のメモリデバイスについての読出し待ち時間を制御する方法であって、
前記複数のメモリデバイスに順次、読出しクロック信号を提供するステップと、
前記メモリデバイスのうちの1つに読出しコマンドを発行するステップと、
前記読出しコマンドを発行してから第1の所定数の読出しクロック周期後に、前記1つのメモリデバイスに該メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を発行するステップと、

前記フラグ信号を前記メモリデバイスにおいて受け取ってから第2の所定数の読出しクロック周期後に、前記読出しコマンドに関連するデータを前記メモリデバイスから出力するステップとを含み、 20

前記メモリデバイスの読み出し待ち時間と等しくするために、前記読み出しクロックサイクルの数は信号伝播の特徴にしたがって予め定められていることを特徴とする方法。

【請求項22】

前記第1の所定数の読出しクロック周期と前記第2の所定数の読出しクロック周期を足した長さは、前記複数のメモリデバイスに対応する最低デバイス読出し待ち時間の最大値以上であることを特徴とする請求項21に記載の方法。

【請求項23】

前記第2の所定数の読出しクロックサイクル周期が4であることを特徴とする請求項21に記載の方法。 30

【請求項24】

プロセッサと、
前記プロセッサに結合されたメモリコントローラと、
前記メモリコントローラに結合された少なくとも1つのメモリモジュールとを備えるコンピュータシステムであって、

前記少なくとも1つのメモリモジュールはそれぞれ少なくとも1組のメモリデバイスを含み、前記少なくとも1組のメモリデバイスはそれぞれさらに、

フラグ生成論理と、

複数のメモリデバイスとを備え、前記メモリデバイスはそれぞれ、

読出しクロック信号を受け取るための読出しクロック信号線であって、前記少なくとも1つのメモリモジュールのうちの他のメモリモジュール上の対応する他のメモリデバイスの読出しクロック信号線に結合された読出しクロック信号線と、 40

コマンドを受け取るための少なくとも1つのコマンド信号線と、

メモリアレイに結合された少なくとも1つのデータ信号線と、

前記フラグ生成論理に結合されたフラグ信号線であって、メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を受け取るためのフラグ信号線とを備え、

前記フラグ信号は、前記フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前記コマンド信号線上で受け取った前に受け入れたコマンドに対応するデータを前記メモリデバイスに前記データ信号線上に出力させ、

前記少なくとも1つのメモリモジュールはそれぞれさらに、前記複数のフラグ信号をい 50

つ生成するかを決定するために前記フラグ生成論理によって使用される提案遅延を記憶した構成メモリを備えることを特徴とするコンピュータシステム。

【請求項 2 5】

メモリアレイと、
制御回路と、

読出しクロック信号を受け取るために前記制御回路に第 1 の端子で結合され、前記読出しクロック信号を前記制御回路に返すために第 2 の端子で結合された読出しクロック信号線と、

メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号を受け取るために前記制御回路に第 3 の端子で結合され、前記フラグ信号を前記制御回路に返すために第 4 の端子で結合され、前記フラグ信号線および前記読出しクロック信号線は同等の信号伝播時間を有するように経路化されるフラグ信号線と
を備えたことを特徴とするメモリデバイス。

10

【請求項 2 6】

前記制御回路は前記第 4 の端子で前記フラグ信号を受け取った後、予め定められた遅延時間で前記メモリアレイから較正信号を受け取るように構成されていることを特徴とする請求項 2 5 に記載のメモリデバイス。

【請求項 2 7】

メモリデバイスを動作させる方法であって、

前記メモリデバイスの制御入力で読出しコマンドを受け取るステップと、

20

メモリデバイスからのデータの出力タイミングを較正するためのフラグ信号であって、メモリコントローラのフラグ出力から特定の電氣的な距離をおいて到達するフラグ信号を受け取るステップと、

前記フラグ信号を受け取った後、出力時期まで予め定めた時間、待機するステップと、

前記出力時期に前記メモリデバイスからデータ値を出力ステップと

を具えたことを特徴とする方法。

【請求項 2 8】

前記フラグ信号を受け取った後、出力時期まで前記予め定めた時間、待機するステップは、

フリーランニングのクロック信号であって、前記メモリデバイスで受け取るクロック信号を予め定めたクロックサイクル数だけ計数するステップと、

30

前記予め定めたクロックサイクル数の後、前記メモリデバイスの読出しデータパスを活性化するステップと

を有することを特徴とする請求項 2 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、高速同期メモリシステムに関し、より詳細には、どんなメモリデバイスからの読出しデータも同時にメモリコントローラに到着するようにメモリデバイスの読出し待ち時間を制御することに関する。

40

【背景技術】

【0002】

図 1 に例示的なコンピュータシステムを示す。このコンピュータシステムは、プロセッサ 500 と、メモリサブシステム 100 p と、拡張バスコントローラ 510 を備える。メモリサブシステム 100 p および拡張バスコントローラ 510 は、ローカルバス 520 を介してプロセッサ 500 に結合されている。拡張バスコントローラ 510 はまた、少なくとも 1 つの拡張バス 530 にも結合されており、拡張バス 530 には、大容量記憶デバイス、キーボード、マウス、グラフィックアダプタ、マルチメディアアダプタなど、様々な周辺デバイス 540 ~ 542 を接続することができる。

【0003】

50

メモリサブシステム 100 p は、メモリコントローラ 400 p および複数のメモリモジュール 301 p ~ 302 p を備える。各メモリモジュールは複数のメモリデバイスを備え、例えば、モジュール 302 p の場合は DRAM - 1 101 p および DRAM - 2 102 p を備える。各メモリデバイス 101 p ~ 104 p は高速同期メモリデバイスである。図 1 には、2つのメモリモジュール 301 p および 302 p と関連する信号線 401 a p、401 b p、402 a p、402 b p、403 p、406 p、407 p しか示していないが、任意の数のメモリモジュールを使用できることに留意されたい。同様に、各メモリモジュールには 2つのメモリデバイス 101 p ~ 102 p、103 p ~ 104 p しかないものとして示してあるが、メモリモジュール 301 p ~ 302 p にはこれよりも多いか少ないメモリデバイス 101 p ~ 104 p があってもよい。ただし代表的な構成では、各メモリモジュール上に 8 個または 9 個のメモリデバイスがある。信号線 401 a p、401 b p、402 a p、402 b p、403 p は、データバス 150 p と呼ばれ、信号線 406 p および 407 p は、コマンド / アドレスバス 151 p と呼ばれる。

10

【0004】

データバス 150 p は複数のデータ信号線 401 a p、401 b p を含み、これらのデータ信号線は、メモリコントローラ 400 p とメモリデバイス 101 p ~ 104 p との間でデータ DATA を交換するのに使用される。読出しデータは、メモリモジュール 301 p、302 p から出力され、読出しクロック信号線 402 a p、402 b p 上の自走読出しクロック信号 RCLK との同期が順次とられる。読出しクロック信号 RCLK は、メモリコントローラ 400 p によって生成され、まずメモリコントローラ 400 p から最も遠いメモリモジュール 302 p にドライブされた後、残りのメモリモジュール 301 p の中をドライブされ、メモリコントローラ 400 p に戻る。書込みデータは、メモリコントローラ 400 p から出力され、書込みクロック信号線 403 p 上の自走書込みクロック信号 WCLK との同期が順次とられる。書込みクロックは、メモリコントローラ 400 p によって生成され、まず最も近いメモリモジュール 301 p にドライブされた後、残りのメモリモジュール 302 p の中をドライブされる。複数のコマンド信号線 406 がメモリコントローラ 400 p によって使用されて、コマンド CMD がメモリモジュール 301 p、302 p に送られる。同様に、複数のアドレス信号線 407 p がメモリコントローラによって使用されて、アドレス ADDR がメモリモジュール 301 p、302 p に送られる。データバス 150 p またはコマンド / アドレスバス 151 p は、当技術分野で周知の追加の信号線、例えばチップ選択線を有することもできるが、図を簡単にするためにこれらは示していない。コマンド CMD およびアドレス ADDR はまた、メモリモジュール 301 p、302 p 上のレジスタ (図示せず) によってバッファリングしてからそれぞれのモジュールのメモリデバイス 101 p ~ 104 p に配信することもできる。複数の書込みクロック信号線 404 p、複数のデータ信号線 401 a および 401 b、複数のコマンド信号線 406、複数のアドレス信号線 407 はそれぞれ、レジスタとすることのできる終端装置 450 によって終端される。

20

30

【0005】

メモリデバイス 101 p ~ 104 p が読出しコマンドを受け入れると、この読出しコマンドに関連するデータは、一定時間量が経過するまではデータバス 150 p 上に出力されない。この時間は、デバイス読出し待ち時間と呼ばれる。各メモリデバイス 101 p ~ 104 p には、最低デバイス読出し待ち時間が関連付けられているが、より長い複数の読出し待ち時間で動作させることもできる。メモリコントローラ 400 p が読出しコマンドを発行する時と、メモリコントローラ 400 p に読出しデータが到着する時との間に経過する時間量は、システム読出し待ち時間と呼ばれる。システム読出し待ち時間は、メモリデバイス 101 p ~ 104 p のデバイス読出し待ち時間と、デバイス 101 p ~ 104 p とメモリコントローラ 400 p との間の信号伝搬時間との合計に等しい。メモリモジュール 301 p はメモリモジュール 302 p よりもメモリコントローラ 400 p に近いので、メモリモジュール 301 p 上にあるメモリデバイス 101 p、102 p は、メモリモジュール 302 p 上にあるメモリデバイス 103 p、104 p よりも短い信号伝搬時間を有する

40

50

。高クロック周波数（例えば 300MHz から少なくとも 533MHz）では、この信号伝搬時間の差が重要になる場合がある。

【発明の開示】

【発明が解決しようとする課題】

【0006】

各メモリデバイス 101p ~ 104p の最低読出し待ち時間、ならびに読出しクロック信号線 402ap、402bp に沿った読出しクロック RCLK の信号伝搬時間に差があるせいで（例えば、DRAM - 3 103の方が DRAM - 1 101p よりもメモリコントローラ 400p から遠くに位置するので、DRAM - 3 103p からのデータ出力の方が DRAM - 1 101p からのデータ出力よりもメモリコントローラ 400p に到達するのに時間がかかる）、同じ読出しクロック信号線に結合されたメモリデバイス（例えば DRAM - 1 101p と DRAM - 3 103p）が、異なるシステム読出し待ち時間を有する場合がある。メモリコントローラ 400p が各メモリデバイス 101p ~ 104p ごとに異なるシステム読出し待ち時間で読出しトランザクションを処理するようにすると、メモリコントローラ 400p は不必要に複雑になる。したがって、メモリコントローラの複雑さを低減する目的でメモリデバイスのシステム読出し待ち時間を均一化するための装置および方法が必要とされている。

【課題を解決するための手段】

【0007】

本発明は、高速メモリサブシステム中のメモリデバイスのシステム読出し待ち時間を均一化するための方法および装置を目的とする。本発明は、各メモリデバイスのデバイス読出し待ち時間（read latency）を制御する複数のフラグ信号を使用することを対象とする。フラグ信号は、読出しクロック信号と同等の信号伝搬時間を有するようにルーティングされる。本発明によるメモリデバイスは、フラグ信号を受け取ってから所定数の読出しクロックサイクル後に、前に受け入れた読出しコマンドに関連するデータの出力を開始する。したがって、フラグ信号のタイミングが、メモリデバイスのデバイス読出し待ち時間を決定する。本発明によるメモリコントローラは、初期化中に較正（キャリブレーション）ルーチンを実施する。較正ルーチンを用いて、読出しコマンドとフラグ信号との間に必要とされる最低タイミングオフセットを決定する。最低タイミングオフセットは、同じ読出しクロック信号線に結合された各メモリデバイスが読出しデータを確実に出力することを可能にし、すなわち各デバイスの最低デバイス読出し待ち時間を満たす。代替として、最低タイミングオフセットを事前に決定してメモリ（例えばシリアルプレゼンス検出すなわち SPD EEPROM）に記憶しておき、それにより、コントローラが較正を実施せずにタイミングオフセットを設定できるようにしてもよい。通常動作中、このタイミングオフセットを使用して、各メモリデバイスが読出しデータを出力する時が制御される。フラグ信号は、パス長および信号伝搬特性の類似により、読出しクロックパスと同等の信号伝搬タイミングを有するので、フラグ信号の信号伝搬時間は自動的にメモリデバイス間の信号伝搬時間の差を補償し、それにより、このフラグ信号に結合された各メモリデバイスについてメモリコントローラは同じシステム読出し待ち時間を経験することが保証される。代替実施形態では、フラグ信号は各メモリモジュールにローカルであり、やはりメモリモジュール上にあるフラグ生成論理によって生成される。このシステムの下では、フラグ信号はメモリモジュールに関連付けられ、各メモリモジュールのメモリデバイスの待ち時間を均一化するのに役立つ。

【0008】

本発明に関する以上およびその他の利点および特徴は、添付の図面と共に提供する以下の本発明の詳細な説明からより明確に理解されるであろう。

【発明を実施するための最良の形態】

【0009】

ここで図面を参照するが、図面では、同じ参照番号は同様の要素を指す。図 2 に、本発明の第 1 の実施形態による例示的なメモリサブシステム 100 の一例を示す。メモリサブ

10

20

30

40

50

システム 100 は、データバス 150 およびコマンド / アドレスバス 151 を介して複数の信号を送るメモリコントローラ 400 を備える。データバス 150 は、複数のフラグ信号 FL1、FL2 を含み、これらのフラグ信号は、対応する複数のフラグ信号線 404、405 を使用して送られる。各フラグ信号線は、対応する読出しクロック信号線と、その読出しクロック信号線に結合されたメモリデバイスとに関連付けられる。例えば、フラグ信号 FL1 は、フラグ信号線 404 上で送られ、読出しクロック信号線 402a 上で送られる読出しクロック RCLK とメモリデバイス DRAM - 1 101p および DRAM - 3 103p とに関連する。各メモリモジュール 301、302 が、複数のフラグ信号線 404、405 を含むデータバス 150 を介してメモリコントローラ 400 に結合されている。図 2 では (代替実施形態を対象とする図 5 ~ 8 でも)、コマンド信号線 406 およびアドレス信号線 407 について特定のルーティングスキームが示してあるが、本発明の原理は他のルーティング構成にも適用可能であることに留意されたい。例えば、コマンド信号線 406 およびアドレス信号線 407 は、各メモリデバイス 101 ~ 104 に並列にルーティングすることもでき、および / またはレジスタ (図示せず) によってバッファリングすることもできる。

【 0010 】

図 3 は、図 2 に示したメモリモジュールのうちの 1 つである 101 のより詳細な図である。例示的な実施形態では、メモリデバイス 101 ~ 104 はアドバンス DRAM 技術 (ADT) デバイスである。ただし、本発明の原理は、任意のタイプの同期メモリデバイスに組み込むことができる。ADT メモリデバイス 101 は、制御回路 2000 (アドレスデコーダを含む) を備え、制御回路 2000 は、読出しクロック信号線 402a、書込みクロック信号線 403、フラグ信号線 404、複数のコマンド信号線 406、および複数のアドレス信号線 407 に結合されている。制御回路 2000 は、従来からある追加の信号線にも結合することができるが、図を簡単にするためにこれらは示していない。ADT メモリデバイス 101 はまた、書込みデータバス 2002 および読出しデータバス 2004 も備え、これらは両方とも、データ信号線 401a および複数のメモリアレイ 2001 (I/O ゲーティング回路 2006 を介して) に結合されている。読出しデータバス 2004 は、読出しクロック信号線 402a にも結合され、シリアライザ 2005 を備える。シリアライザ 2005 は、複数のメモリアレイ 2001 から読み出された並列データを直列データに変換し、この直列データは、読出しクロック信号 RCLK と同期してデータ信号線 401a 上に出力される。同様に、書込みデータバス 2002 は、書込みクロック信号線 403 にも結合され、パラライザ 2003 を備える。パラライザ 2003 は、データ信号線 401a からの直列書込みデータを並列データに変換する。

【 0011 】

メモリデバイス 101 は、前に受け入れた読出しコマンドに関連するデータの出力を開始する時を決定するための合図として、フラグ信号 FL1 を使用する。したがって、メモリデバイスの読出し待ち時間は、フラグ信号線 404 上のフラグ信号 FL1 のタイミングによって決定される。より具体的には、メモリデバイス 101 の制御回路 2000 は、読出しデータバス 2003 に対し、フラグ FL1 がフラグ信号線 404 上でアサートされてから所定数の読出しクロックサイクル後に、前に受け入れた読出しコマンドに関連するデータの出力を開始させる。

【 0012 】

図 3 にこのプロセスを示す。プロセスはステップ 1001 で開始し、メモリデバイスは、複数のコマンド信号線 406 を介して送られた読出しコマンドを受け入れる。ステップ 1002 で、制御回路はフラグ信号 FL1 を受け取るまで待機する。フラグ信号を受け取った後、ステップ 1003 ~ 1004 で、メモリデバイスは、所定数の読出しクロックサイクルだけ待機してからデータを出力する。例示的な実施形態では、メモリデバイス 101 は、フラグ信号 FL1 を受け取ってから 4 読出しクロックサイクル後に、読出しデータの出力を開始する。ただし、読出しクロックサイクル数が各メモリデバイス 101 ~ 104 で同じであって、メモリデバイス 101 ~ 104 から要求のデータを出力するのに十分

な時間を含んでいれば、異なる数の経過読出しクロックサイクルを使用することもできる。

【 0 0 1 3 】

フラグ信号 F L 1、F L 2 によって設定されるメモリデバイス 1 0 1 ~ 1 0 4 のデバイス読出し待ち時間に関する制御タイミングは、例えばシステム初期化時に、メモリコントローラによって実施される較正プロシージャで決定される。このような場合、メモリコントローラ 4 0 0 は、読出しコマンドを発行する時と各メモリデバイスに向けたフラグ信号を発行する時との間のタイミングオフセットを決定する。このタイミングオフセットは、同じフラグ信号線（例えばフラグ信号線 4 0 4）に結合されたメモリデバイス（例えば D R A M - 1 1 0 1 と D R A M - 3 1 0 3）のシステム読出し待ち時間を均一化することになる。較正プロセスは、フラグ信号線ごとに実施する。

10

【 0 0 1 4 】

較正プロセスは、較正されるフラグ信号線（例えばフラグ信号線 4 0 4）に結合されたメモリデバイスのうちでメモリコントローラ 4 0 0 から最も遠くに位置するメモリデバイス（例えば D R A M - 3 1 0 3）にメモリコントローラ 4 0 0 が較正コマンドを送る時に開始する。較正コマンドは、メモリデバイス 1 0 3 に基準較正パターンを出力させる特別な読出しコマンドである。基準較正パターンは、データが最初にメモリコントローラに到着した時をメモリコントローラが容易に識別できるようにフォーマット化されている。例示的な実施形態では、メモリデバイス 1 0 3 は、1 つの読出しコマンドにつき 8 ビットのデータを返す。メモリデバイス 1 0 3 は、データ信号線 4 0 1 a にわたってメモリコントローラ 4 0 0 にデータを順次ドライブする。適切な較正パターンなら、メモリコントローラは、第 1 のデータビットがメモリコントローラに到着した時を容易に認識することができる。例示的な実施形態では、好ましい基準較正パターンは、メモリコントローラに到着する第 1 ビットが所定の状態にセットされて残りのビットが異なる状態にセットされたバイトである。したがって、（2 進数）0 1 1 1 1 1 1 1、または（2 進数）1 0 0 0 0 0 0 0 が適切な較正パターンとなる。この 2 つのパターン間の選択は、バスアーキテクチャの影響を受ける場合がある。例えば例示的な実施形態では、メモリバス 1 5 0 は、自然な論理状態「1」を有する「プルアップ」バスである。このため、パターン（2 進数）0 1 1 1 1 1 1 1 が理想的である。というのは、「0」がバス上に現れるのはこのパターンがバス上にドライブされている場合だけになるからである。しかし、データバス 1 5 0 の自然な論理状態が「0」であるように構築されている場合は、好ましいパターンはそうではなく（2 進数）1 0 0 0 0 0 0 0 になる。

20

30

【 0 0 1 5 】

メモリコントローラ 4 0 0 は、較正コマンドを発行する時、同時にフラグ信号線 4 0 4 上でフラグ信号 F L 1 もアサートする。D R A M - 3 1 0 3 がフラグ信号を受け取ると、D R A M - 3 1 0 3 は、所定数の読出しクロックサイクルが経過した後で較正パターンの出力を開始する。

【 0 0 1 6 】

フラグ信号線 4 0 4 は、フラグ信号 F L 1 が、フラグ信号 F L 1 に関連するフラグ信号線 4 0 4 に結合された各メモリデバイス 1 0 3、1 0 1 を横断してからメモリコントローラ 4 0 0 に戻るようにルーティングされる。メモリコントローラ 4 0 0 は、戻ってきたフラグ信号 F L 1 を受け取ると、所定数の読出しクロックサイクルが経過した後で、データ信号線 4 0 1 a から較正パターンを読み取ることを試みる。基準較正パターンが検出された場合は、この所定数の読出しクロックサイクルは、メモリデバイス 1 0 3 が適切に動作するのに十分なデバイス読出し待ち時間を課す読出しクロックサイクルである。基準較正パターンが検出されなかった場合は、メモリコントローラは、フラグ信号 F L 1 を送るのが早すぎ、結果としてメモリデバイス 1 0 3 をその最低デバイス読出し待ち時間よりも短いデバイス読出し待ち時間で動作させようとしたと判断する。この場合、したがってメモリコントローラ 4 0 0 は、較正コマンドの送出とフラグ信号 F L 1 の送出との間の読出しクロックサイクル数を増加させて前述の手順を繰り返し、基準較正パターンを適切に受け

40

50

取るまでこれを行う。

【 0 0 1 7 】

次いでメモリコントローラ 4 0 0 は、同じフラグ信号線に結合された残りの各メモリデバイスに対して上記の手順を繰り返す。メモリコントローラは、フラグ信号線 4 0 4 に結合された次に近いメモリデバイス（例えば D R A M - 1 1 0 1）の処理を継続し、同じフラグ信号線（例えばフラグ信号線 4 0 4）に結合された最も近いメモリデバイスに対して較正手順を実施し終えるまで処理を行う。各反復で、メモリコントローラ 4 0 0 は、前の反復で使用した最終タイミングオフセットを初期タイミング差として採用する。この手順によって最も近いメモリデバイス（例えば D R A M - 1 1 0 1）を較正し終えた後、メモリコントローラ 4 0 0 は、最終タイミングオフセットを、そのフラグ信号線（例えばフラグ信号線 4 0 4）に結合されたメモリデバイスに対して読出しトランザクションを実施するのに採用する。このタイミングオフセットにより、同じフラグ信号線に結合された各メモリデバイス（例えばフラグ信号線 4 0 4 およびメモリデバイス D R A M - 1 1 0 1、D R A M - 3 1 0 3）は、このメモリデバイスの組のうちで最も遅いメモリデバイスの最低デバイス読出し待ち時間で動作する。フラグ信号は、バス長および信号伝搬特性の類似により、読出しクロックバスと同等の信号伝搬特性で伝搬するので、フラグ信号の信号伝搬遅延は自動的に、同じフラグ信号線（例えばフラグ信号線 4 0 4）に結合されたメモリデバイス間（例えば D R A M - 1 1 0 1 と D R A M - 3 1 0 3）の信号伝搬時間の差を補償する。

【 0 0 1 8 】

例えば図 2 に示したシステムでは、D R A M - 1 1 0 1 と D R A M - 3 1 0 3 の両方が同じフラグ信号線（すなわち 4 0 4）に結合されており、D R A M - 3 1 0 3 がメモリコントローラ 4 0 0 から最も遠いメモリデバイスなので、メモリコントローラ 4 0 0 はまず D R A M - 3 1 0 3 を較正することになる。この第 1 ステップ中に、メモリコントローラは、較正コマンドとフラグ信号 F L 1 を同時に送る。メモリデバイス 1 0 3 の制御回路 2 0 0 0 は、フラグ信号から所定数の読出しクロックサイクル後に、メモリデバイスから読出しデータを出力させる。例示的な実施形態では、所定数は 4 読出しクロックサイクルである。戻ってきたフラグ信号 F L 1 がメモリコントローラ 4 0 0 で検出されてから 4 サイクル後に、較正パターンがメモリコントローラ 4 0 0 によって適切に受け取られなかった場合、このことは、メモリデバイス 1 0 3 が指定の時点で読出しデータを出力する準備ができていなかったことを意味する。すなわち、メモリデバイス 1 0 3 の最低デバイス読出し待ち時間が満たされていなかった。したがって、メモリコントローラ 4 0 0 はもう一度較正コマンドを送るが、ただし、読出しコマンドとフラグ信号 F L 1 との間の遅延を 1 読出しクロックサイクルだけ増加させたことに相当する修正済みのタイミングを用いてフラグ信号 F L 1 を送る。このプロセスを、戻ってきたフラグ信号 F L 1 をメモリコントローラが受け取ってから 4 クロックサイクル後に較正パターンがメモリコントローラ 4 0 0 で検出されるまで繰り返す。このタイミングは、メモリデバイス 1 0 3 をその最低デバイス読出し待ち時間で動作させることに等しい。

【 0 0 1 9 】

次いでメモリコントローラ 4 0 0 は、フラグ信号線 4 0 4 に結合された残りのメモリデバイスを較正することに進む。較正は、次に近いメモリデバイスで継続し、最も近いメモリデバイスが較正された時に完了する。この例では、次に近いメモリデバイスは D R A M - 1 1 0 1 である。較正される残りの各メモリデバイスにつき、読出しコマンドとフラグ信号との間の初期遅延を、前に較正したメモリデバイスに使用した最終タイミングオフセットに設定する。この例では、メモリコントローラ 4 0 0 は、D R A M - 1 1 0 1 を較正することによって較正プロセスを継続する。前に較正されたメモリデバイス（すなわち D R A M - 3 1 0 3）に使用された最終タイミング差が 1 読出しクロックのタイミング差だったので、メモリコントローラ 4 0 0 は、較正コマンドを D R A M - 1 1 0 1 に送り、1 読出しクロックサイクルだけ待機した後でフラグ信号 F L 1 を送る。基準較正パターンがメモリコントローラ 4 0 0 によって適切に受け取られない場合、メモリコントロ

ーラ 400 は、読出しコマンドとフラグ信号 F L 1 との間の読出しクロックサイクルオフセットを各較正コマンドごとに増加させて使用して、較正コマンドを D R A M - 1 101 に送ることを継続する。メモリコントローラ 400 が 3 つの較正コマンドを D R A M - 3 103 に送った後で基準較正パターンがメモリコントローラで適切に受け取られたと仮定する。このことは、較正コマンドとフラグ信号との間に 3 読出しクロックサイクルのタイミングオフセットがあることに対応する（第 1 の較正コマンドは前のメモリモジュールからのタイミングを採用し、このタイミングは 1 読出しクロックサイクル遅延に等しく、第 2 の較正コマンドはタイミングを 1 読出しクロックサイクル増加させて 2 読出しクロックサイクルとし、最後に第 3 の較正コマンドはタイミングをさらに 1 読出しクロックサイクル増加させて 3 読出しクロックサイクルとするので）。D R A M - 1 101 は、フラグ信号線 404 に結合された最も近いメモリデバイスなので、このフラグ信号線 404 に結合されたメモリデバイスに対する較正プロセスが完了した。通常動作では、メモリコントローラ 400 は、読出しコマンドを送ってから 3 読出しクロックサイクル後にフラグ信号 F L 1 をアサートすることになり、フラグ信号線 404 に結合された各メモリデバイス D R A M - 1 101、D R A M - 3 103 から返されるデータは、同じシステム待ち時間を有することになる。

10

20

30

40

50

【0020】

前述の手順を、各フラグ信号線（例えばフラグ信号線 405）に対して実施する。例えば図 1 のシステムでは、フラグ信号 F L 2 がメモリデバイス D R A M - 4 104 および D R A M - 2 102 に使用されている。メモリコントローラは、各フラグ線を同時に較正することが好ましい。メモリコントローラはまた、各フラグ線についての最終タイミングオフセットの最大値を、あらゆるフラグ線上で使用する共通タイミングオフセットとして採用することもでき、それによりメモリシステム全体を同じシステム待ち時間で動作させることができる。

【0021】

本発明の一態様では、複数のフラグ信号 F L 1、F L 2 が、複数の読出しクロック R C L K と同等の信号伝搬時間を有する。フラグ信号 F L 1、F L 2 は、メモリデバイス 101 ~ 104 からのデータ出力を同期させるのに使用される読出しクロック信号 R C L K と同等の伝搬時間を有するので、メモリサブシステムのメモリモジュール 301 と 302 の間における信号伝搬時間の差を自動的に補償する。図 1 で示した実施形態では、複数のフラグ信号線 404、405 が読出しクロック信号線 402 a、402 b と並列にルーティングされ、それにより、複数のフラグ信号線 404、405 と読出しクロック信号線 402 a、402 b が同等の伝搬時間を有することが保証される。

【0022】

図 5 に、本発明の第 2 の実施形態のメモリサブシステム 100' を示す。メモリサブシステム 100' は、単一の送出読出しクロック信号 R C L K' を、送出読出しクロック信号線 402' 上でメモリコントローラ 400 からクロックバッファ 401 にルーティングする。クロックバッファ 401 は低遅延デバイスであり、単一の送出読出しクロック信号 R C L K' とほぼ同一の位相整合で、複数の読出しクロック信号線 402 a、402 b 上に複数の読出しクロック信号 R C L K を生成する。複数のフラグ信号線 404、405 はまず、メモリコントローラ 400 からクロックバッファ 401 に近い領域まで、単一の送出読出しクロック信号線 402' と並列にルーティングされる。次いで、複数のフラグ信号線 404、405 は、複数の読出しクロック信号線 402 a、402 b と並列にルーティングされる。この構成は、フラグ信号 F L 1、F L 2 と読出しクロック信号 R C L K'、R C L K との間で同等の伝搬時間を維持する。

【0023】

次に図 6 を参照すると、本発明の第 3 の実施形態が示してある。第 3 の実施形態のメモリサブシステム 100'' は、フラグリピータ付きクロックバッファ 401' を使用する。したがって、送出読出しクロック信号 R C L K' ならびに複数の送出フラグ信号 F L 1'、F L 2' が、まずメモリコントローラ 400 からフラグリピータ付きクロックバッファ

401'まで相互に並列にルーティングされる。次いで、フラグリピータ付きクロックバッファ401'は、これらの信号を複数の読出しクロック信号CLKおよび複数のフラグ信号FL1、FL2として転送する。フラグリピータ付きクロックバッファは、読出しクロック信号とフラグ信号との間で同等の信号伝搬タイミング関係を維持する。

【0024】

次に図7を参照すると、本発明の一実施形態によるメモリサブシステム100''が示してある。この場合、フラグ信号FL1、FL2は、メモリコントローラ400によってではなくメモリモジュール上の内部論理410によって生成される。各メモリモジュール（例えばメモリモジュール301）上のフラグ信号線404、405は、他のメモリモジュール（例えばメモリモジュール302）上の対応するフラグ信号から独立しており、したがって、他のメモリモジュールのフラグ信号線404、405に結合されていない。図7に示すメモリサブシステム100''は通常、より小さいメモリシステムにある。より小さいメモリシステムはタイミングスキューがより小さいので、クロック信号線402''上で単一のクロックCLK''を使用することが可能である。ただし、この実施形態は小さいメモリシステムだけに限定しない。より大きいメモリシステムでは、クロック信号線402''上の単一のクロック信号CLK''を、独立した読出しクロックおよび書込みクロックで置き換えることができる。

10

【0025】

各メモリモジュールの内部論理410の機能は、内部フラグ信号FL1、FL2を生成することである。これらの内部信号を使用して、メモリモジュール（例えばメモリモジュール301）内のメモリデバイス（例えばDRAM-1 101とDRAM-2 102）のデバイス読出し待ち時間を均一化することができる。較正プロセスは、同じメモリモジュール内のメモリデバイス間を移動するように修正される。例えば、メモリモジュール301中で、較正プロセスは「トップ」メモリデバイス（例えばDRAM-1 101）で開始し、「ボトム」メモリデバイス（例えばDRAM-2 102）が較正されるまで継続することができる。したがって、この手順により、メモリモジュール（例えばメモリモジュール301）の各メモリデバイス（例えばDRAM-1 101とDRAM-2 102）が同じデバイス読出し待ち時間で動作することが保証される。このため較正後には、メモリコントローラ400は、同じメモリモジュールからのメモリデバイスなら同じシステム読出し待ち時間で読み出すことができる。

20

30

【0026】

モジュール間タイミングスキューの増大した、より大きいメモリシステムにメモリシステム100''を適用する場合は、信号線402''上の単一のクロックCLK''を独立した読出しクロックおよび書込みクロックで置き換えることに加えて、他の実施形態のモジュール間較正技法も採用することができる。他の実施形態の較正手順も、この実施形態の大規模メモリシステム実装形態に適用可能である。ただし、メモリコントローラ400から各メモリモジュール301、302の中を通るフラグ信号線がないので、メモリコントローラは単に較正パターンが適切に受け取られたかどうかを決定するだけであり、適切に受け取られなかった場合は、較正中のメモリモジュールの内部論理410に、そのフラグ信号タイミングオフセットを増加させるよう命令する（モジュール内フラグFL1、FL2のそれぞれについて）。メモリコントローラ400は、例えば特別なコマンドを複数のコマンド線406上で送ることや専用信号線（図示せず）を介して送ることを含めて、様々な機構によってメモリモジュール（例えばメモリモジュール302）の内部論理410にそのフラグタイミングを増加させるよう命令することができる。

40

【0027】

次に図8を参照すると、本発明の別の実施形態によるメモリサブシステム100'''が示してある。メモリシステム100'''は、図2のメモリシステム100と同様である。ただし、メモリシステム100'''のメモリモジュール301、302はそれぞれ、構成メモリ105、106と、関連する少なくとも1つの信号線410を備える。構成メモリ105、106は、メモリモジュール301、302上のメモリデバイスDRAM-1

50

101 ~ DRAM - 4 104 に関する所定の構成情報を記憶する任意のメモリとすることができる。例えば、構成メモリ105、106は、シリアルプレゼンス検出すなわちSPD EEPROMとすることができる。

【0028】

所定の構成データSPDDCは、メモリコントローラ400によって、少なくとも1つの信号線410を使用して読み出すことができる。構成データSPDDCは、各フラグ信号線についての所定のフラグタイミング遅延を含む。所定のフラグタイミング遅延は、各フラグ信号線ごとの単一の値（すなわちメモリコントローラが使用すべき実際の遅延）の連なりとして指定することもでき、あるいは、値の組合せであって、全部合わせて使用することでメモリコントローラが各フラグ信号線に必要な遅延値を計算できる値の組合せとすることもできる。例えば、構成メモリは、メモリモジュール上のすべてのメモリデバイスに共通のシステム待ち時間を表す単一の値、ならびに、各メモリデバイスについての最低デバイス読出し待ち時間を表す単一の値を記憶することができる。メモリコントローラは、システム待ち時間を適切な最低デバイス読出し待ち時間と合計して、そのメモリデバイスに関連するフラグについての提案フラグタイミング遅延を計算する。したがって、メモリコントローラ400は、システム初期化中に較正ルーチンを実施する必要はない。そうではなく、必要とされるフラグタイミング遅延は、構成メモリ105、106に記憶されたデータから読み出すかまたは計算することができる。構成メモリ105、106が、同じフラグ信号について異なるフラグタイミング遅延を指定している場合は、メモリコントローラ400は、このフラグに関するこれらのフラグタイミング遅延のうちで最も大きいフラグタイミング遅延を採用する。これによりメモリコントローラは、メモリモジュール301、302を、それぞれのメモリモジュールのタイミング要件に対応するタイミングで動作させることができる。

10

20

【0029】

この実施形態の原理は、前述の他の実施形態にも適用可能である。例えば、図5～7に示したメモリシステム100'、100''、100'''を、構成メモリおよびそれらに関連する信号線を含むように同様に修正して、較正の必要をなくすることができる。

【0030】

したがって、本発明は1つまたは複数のフラグ信号を利用し、このフラグ信号により、メモリデバイスは、フラグ信号が到着してから所定数の読出しクロックサイクル後に、前に受け取られた読出しコマンドに関連するデータを出力する。システム初期化中に較正ルーチンを実施して、読出しコマンドのアサートとフラグ信号のアサートとの間のタイミング遅延を得る。代替として、タイミング遅延は、事前に決定してメモリモジュール上の構成メモリに記憶しておいてもよい。その後、通常動作中にこのタイミング遅延を使用してフラグ信号をアサートする。フラグ信号を使用することで、各メモリデバイスのシステム読出し待ち時間が均一化される。フラグ信号がメモリモジュールの外部で（例えばメモリコントローラによって）生成される場合は、フラグ信号を使用して、フラグ信号線に結合されたメモリデバイスのシステム読出し待ち時間を均一化することができる。代替として、フラグ信号は、各メモリモジュール内でオンモジュール論理によって生成することもできる。オンモジュールのフラグ信号がそのメモリモジュールを離れることがない場合、これらのフラグ信号は、他のメモリモジュールのメモリデバイスのシステム読出し待ち時間を均一化するのに使用することはできない。しかし、そのメモリモジュールの各メモリデバイスのシステム読出し待ち時間を均一化するのに使用することができる。

30

40

【0031】

以上、本発明のいくつかの実施形態について説明および図示したが、本発明の趣旨および範囲を逸脱することなく多くの修正、変更、および等価な要素の代用を行うことができるので、本発明はこれらの特定の実施形態に限定しない。したがって、本発明の範囲は、説明および図示した特定の構造の詳細に限定するものと考えるべきではなく、添付の特許請求の範囲によってのみ限定する。

【図面の簡単な説明】

50

【 0 0 3 2 】

【 図 1 】 高速メモリサブシステムを備えるコンピュータシステムを示すブロック図である。

【 図 2 】 本発明の第 1 の実施形態による高速メモリシステムのブロック図である。

【 図 3 】 図 2 に示した高速メモリシステムのメモリデバイスを示すブロック図である。

【 図 4 】 メモリデバイスがどのようにフラグ信号に応答するかを示すフローチャートである。

【 図 5 】 本発明の第 2 の実施形態による高速メモリシステムを示すブロック図である。

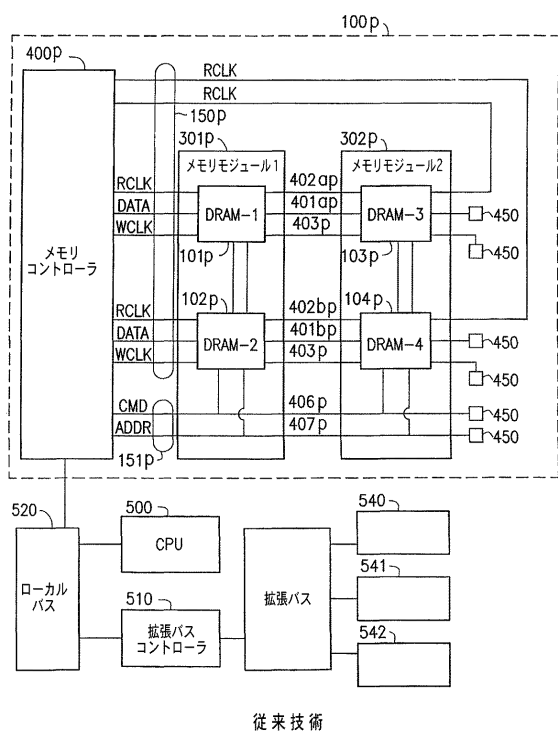
【 図 6 】 本発明の第 3 の実施形態による高速メモリシステムを示すブロック図である。

【 図 7 】 本発明の第 5 の実施形態による高速メモリシステムを示すブロック図である。

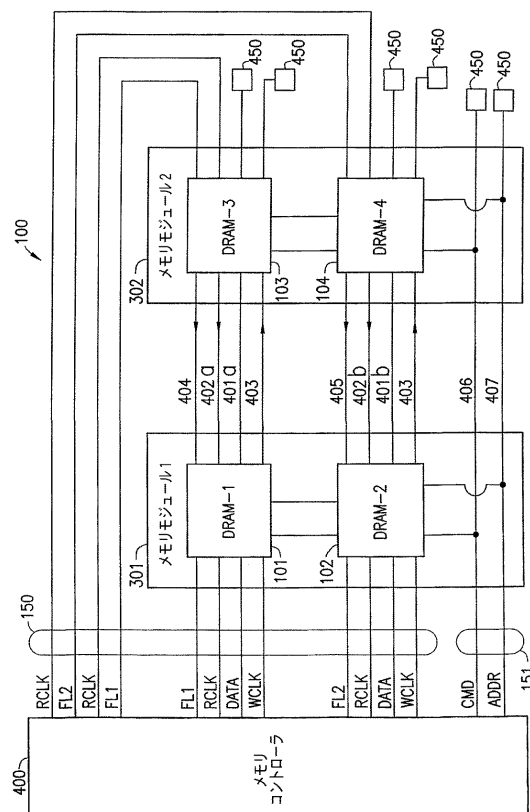
【 図 8 】 本発明の第 6 の実施形態による高速メモリシステムを示すブロック図である。

10

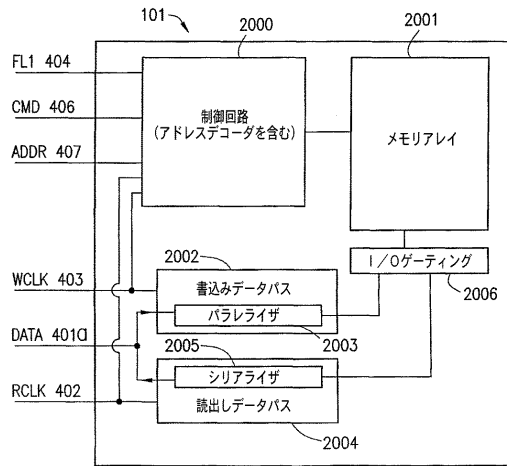
【 図 1 】



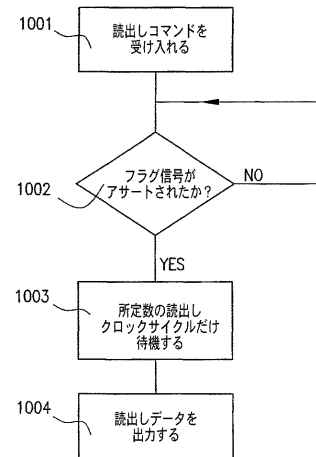
【 図 2 】



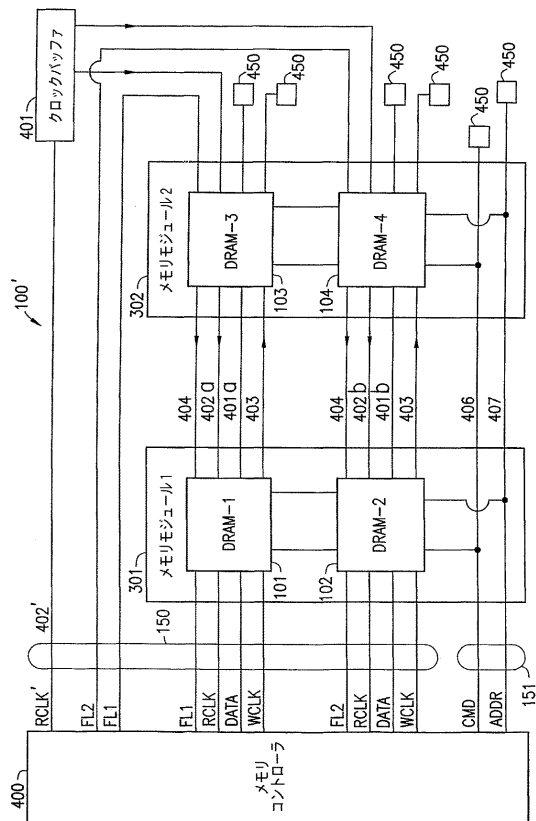
【図 3】



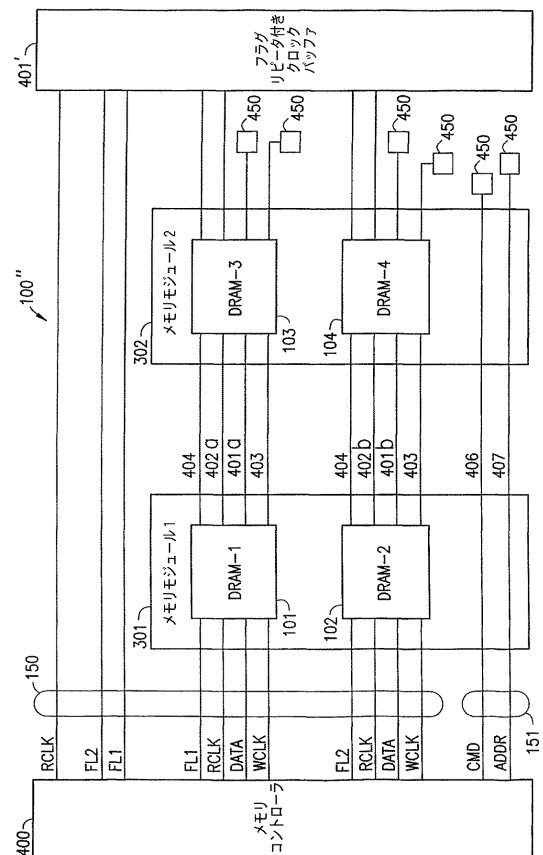
【図 4】



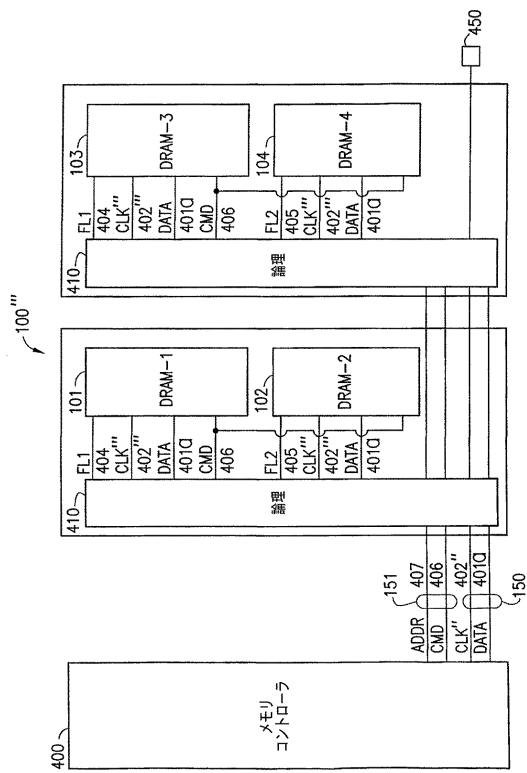
【図 5】



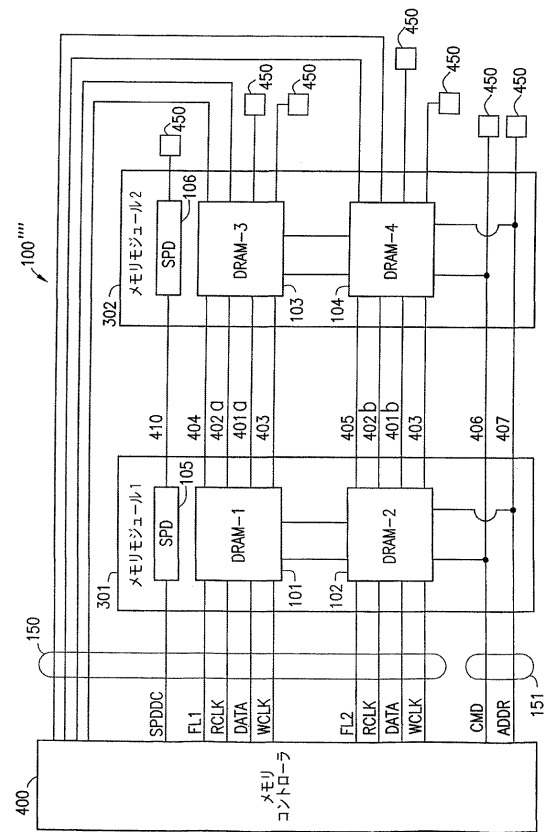
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 ジェフリー ダブリュー・ジャンゼン

アメリカ合衆国 8 3 6 4 2 アイダホ州 メリディアン ノース シルバーリーフ ウェイ 2
7 2 7

(72)発明者 トロイ エイ・マニング

アメリカ合衆国 8 3 6 4 2 アイダホ州 メリディアン サウス オビディアー レーン 8 1
5 3

(72)発明者 クリス ジー・マーティン

アメリカ合衆国 8 3 7 1 6 アイダホ州 ボイシ イースト アルタ リッジ コート 3 6 6
9

(72)発明者 ブレント キース

アメリカ合衆国 8 3 7 1 3 アイダホ州 ボイシ ノース ファイフシャー プレイス 5 0 7
7

F ターム(参考) 5B060 CC05

5M024 AA36 BB27 BB33 DD83 GG20 JJ02 JJ28 JJ53 JJ59 KK35

LL01 PP01 PP10