(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013 년 7 월 25 일 (25.07.2013)

WIPO | PCT

(10) 국제공개번호
WO 2013/109071 A1

(51) 국제특허분류:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)

(21) 국제출원번호: PCT/KR2013/000378

(22) 국제출원일: 2013 년 1 월 17 일 (17.01.2013)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2012-0006730 2012 년 1 월 20 일 (20.01.2012) KR

(71) 출원인: **경희대학교 산학협력단 (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY)** [KR/KR]; 446-701 경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스, Gyeonggi-do (KR).

(72) 발명자: **장진 (JANG, Jin)**; 130-701 서울시 동대문구 회기동 경희대학교, Seoul (KR). **마티브 웬가말로리 (MATIVENGA, Mallory)**; 130-701 서울시 동대문구 회기동 경희대학교, Seoul (KR). **강동환 (KANG, Dong Han)**; 130-701 서울시 동대문구 회기동 경희대학교, Seoul (KR).

(74) 대리인: **송인호 (SONG, In-Ho)**; 135-935 서울시 강남구 역삼동 839-7 동림빌딩 5 층, Seoul (KR).

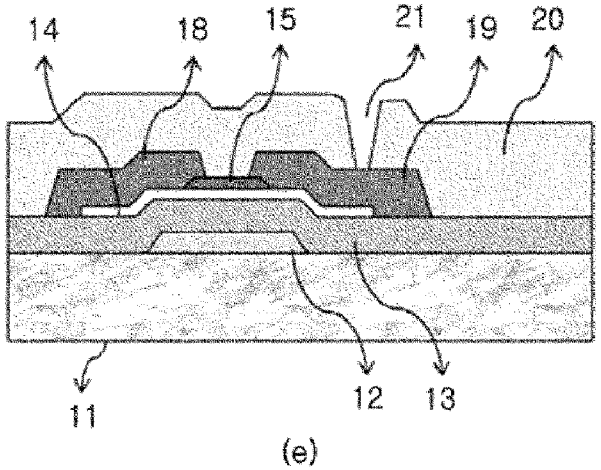
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) **Title**: METHOD FOR MANUFACTURING OXIDE SEMICONDUCTOR THIN FILM TRANSISTOR, AND ACTIVE OPERATING DISPLAY DEVICE AND ACTIVE OPERATING SENSOR DEVICE USING SAME

(54) **발명의 명칭** : 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치



(e)

(57) **Abstract**: The present invention relates to a method for manufacturing an oxide semiconductor thin film transistor, and to an active operating display device and an active operating sensor device using same. A method for manufacturing an oxide semiconductor thin film transistor according to the present invention comprises: a first step of depositing and patterning a gate layer on a substrate so as to form a gate electrode; a second step of sequentially depositing a gate insulation film, an oxide semiconductor and an etch stopper on the gate electrode; a third step of patterning the oxide semiconductor; a fourth step of forming a source electrode and a drain electrode on the patterned oxide semiconductor; and a fifth step of depositing a protective layer on the source electrode and the drain electrode, and forming a contact hole in the protective layer, wherein the oxide semiconductor has a thickness of 4nm or less.

(57) **요약서**:

[다음 쪽 계속]

WO 2013/109071 A1

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치에 관한 것으로, 본 발명에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은, 기판상에 게이트 층을 증착 및 패터닝 하여게이트 전극을 형성하는 제 1 단계; 상기 게이트 전극 상에 게이트 절연막, 산화물반도체와 에치 스토퍼를 순차적으로 증착하는 제 2 단계; 상기 산화물 반도체를 패터닝하는 제 3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제 4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 컨택홀을 형성하는 제 5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

명세서

발명의 명칭: 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치

기술분야

[1] 본 발명은 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치에 관한 것으로, 보다 상세하게는 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킨 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치에 관한 것이다.

배경기술

[2] 최근 산화물 반도체를 활성층으로 사용한 박막 트랜지스터의 연구 개발이 활발하게 진행되고 있다. 이 산화물 반도체 박막 트랜지스터는 높은 전계 이동도와 0V 근방의 낮은 문턱 전압, 낮은 누설 전류 등의 장점을 바탕으로 TFT-LCD, AMOLED 와 같은 평면 디스플레이, 각종 감지 센서 및 구동, logic 회로 등에 적용된다.

[3] 하지만 산화물 반도체 박막 트랜지스터는 상기의 장점에도 불구하고 전계에 대한 신뢰성 및 광 전계에 대한 신뢰성이 문제가 되고 있다.

[4] 전계에 대한 신뢰성 향상에 대한 연구는 절연막 또는 보호층의 물질의 개선 및 박막 트랜지스터의 구조적인 개선에 의해 안정화 특성을 확보해 가고 있으나, 전 세계적으로 광 전계의 신뢰성에 관한 연구가 진행 되고 있으나 개선 방안에 대한 대책은 미흡한 상황이다.

[5] 구체적으로는 음의 전계와 광을 동시에 인가하였을 경우, 산화물 반도체 박막 트랜지스터의 문턱 전압이 시간에 따라 음의 방향으로 크게 이동을 하게 된다.

[6] 산화물 반도체를 활성층으로 사용한 산화물 반도체 박막 트랜지스터는 10 cm^2 /Vs 이상의 높은 전계 이동도와 낮은 누설전류 등의 장점을 보유한 전기적 소자이다. 이는 스위칭 특성을 이용한 디스플레이, 센서 등의 응용 외에도, 구동 및 logic회로 등에도 응용이 될 수 있다.

[7] 도 1은 종래 기술에 따른 화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내는 그래프이다.

[8] 도 1은 종래 기술에 따른 산화물 활성층으로 구성되는 박막 트랜지스터에 10,000 lux 의 빛과 함께 -20 V 의 전계를 인가하였을 때 시간에 따른 전이곡선의 변화를 나타내며, 광 전계 스트레스 시에 전이곡선의 문턱전압이 이동하는 불안정성은 개선 할 수 없다는 결과를 보여준다.

[9] 이와 같은 문턱 전압의 이동에 대한 메커니즘에 대한 연구는 진행되고 있으나 근본적으로 해결이 되지 않고 있는 실정이다.

발명의 상세한 설명

기술적 과제

[10] 본 발명은 산화물 반도체 박막 트랜지스터의 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시키고자 한다.

[11] 또한, 본 발명은 산화물 반도체의 두께를 조절하여 공정의 변화 또는 추가 없이 광 전계 신뢰성을 향상시켜, 능동 구동 디스플레이 또는 농동 구동센서 등에 적용이 가능하도록 하고자 한다.

과제 해결 수단

[12] 전술한 문제를 해결하기 위한 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체와 에치 스토퍼를 순차적으로 증착 후 상기 에치 스토퍼를 패터닝하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[13] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 버퍼층, 산화물 반도체, 게이트 절연막 및 게이트 층을 순차적으로 증착하는 제1 단계; 상기 게이트 층을 패터닝하여 게이트 전극을 형성하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제4 단계; 상기 컨택 홀 상에 소스 전극 및 트레인 전극을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[14] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 소스 전극 및 드레인 전극을 증착하고 패터닝 하는 제1 단계; 상기 소스 전극 및 상기 드레인 전극 상에 산화물 반도체, 게이트 절연막 및 게이트 층을 증착하는 제2 단계; 상기 게이트 절연막 및 게이트 층을 패터닝하는 제3 단계; 상기 산화물 반도체를 패터닝하는 제4 단계; 상기 패터닝한 게이트 절연막 및 산화물 반도체 상에 보호층을 증착하여 컨택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[15] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 버퍼층 및 산화물 반도체를 증착하고 패터닝 하는 제1 단계; 상기 산화물 반도체 상에 소스 전극 및 드레인 전극을 증착하여 패터닝 하는 제2 단계; 상기 소스 전극 및 상기 드레인 전극 상에 게이트 절연막 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴을 형성하는 제3 단계; 상기 게이트 패턴 상에 보호층을 형성하고 패터닝하는 제4 단계;를

포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[16] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막 및 산화물 반도체를 증착하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[17] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막, 소스 전극 및 드레인 전극을 증착하는 제2 단계; 상기 소스 전극 및 상기 드레인 전극을 패터닝하는 제3 단계; 상기 패터닝된 소스 전극 및 드레인 전극상에 산화물 반도체를 증착하고 패터닝하는 제4 단계; 상기 패턴닝된 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

[18] 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 디스플레이 장치는 상기과 같은 제조방법에 의해서 제조된다.

[19] 또한, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 센서 장치는 상기과 같은 제조방법에 의해서 제조된다.

발명의 효과

[20] 본 발명에 따르면 산화물 반도체 박막 트랜지스터의 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.

[21] 또한, 본 발명에 따르면 산화물 반도체의 두께를 조절하여 공정의 변화 또는 추가 없이 광 전계 신뢰성을 향상시켜, 능동 구동 디스플레이 또는 농동 구동 센서 등에 적용이 가능하다.

도면의 간단한 설명

[22] 도 1은 종래 기술에 따른 화물 반도체 박막 트랜지스터의 광 전계하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내는 그래프이다.

[23] 도 2a 내지 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[24] 도 3a 및 도 3b는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[25] 도 4a 내지 도 4e는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[26] 도 5 내지 도 8은 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[27] 도 9a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전류전압 특성을 나타내는 그래프이다.

[28] 도 9b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 출력특성을 나타내는 그래프이다.

[29] 도 10a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광전계 하에서 드레인 전압 0.1 V인 경우의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 그래프이다.

[30] 도 10b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광전계 스트레스 전, 후의 출력 특성을 비교한 그래프이다.

[31] [부호의 설명]

[32] 11: 기판

[33] 12: 게이트 전극

[34] 13: 게이트 절연막

[35] 14: 산화물 반도체

[36] 15: 에치 스토퍼

[37] 16: 제2 산화물 반도체

[38] 18: 소스 전극

[39] 19: 드레인 전극

[40] 20: 보호층

[41] 21: 컨택 홀

발명의 실시를 위한 형태

[42] 이하에서는 첨부한 도면을 참조하여 바람직한 일 실시형태에 따른 조명 부재에 대해서 상세히 설명한다. 다만, 실시형태를 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략한다. 또한, 도면에서의 각 구성요소들의 크기는 설명을 위하여 과장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.

[43] 도 2a 내지 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[44] 도 2a 내지 2e를 참조하여 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기로 한다.

[45] 도 2a에 도시된 바와 같이 기판(11) 상에 게이트 전극(12)을 증착한 후, 도 2b에 도시된 바와 같이 게이트 전극(12) 상에 게이트 절연막(13)을 형성한다.

[46] 이때, 상기 기판(11)은 유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성될 수 있으며, 기판(11) 상에 실리콘 산화

보호막을 증착하도록 구성될 수 있다.

[47] 또한, 상기 게이트 절연막(13)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

[48] 이후, 게이트 절연막(13) 상에 산화물 반도체(14)를 형성하며, 상기 산화물 반도체(14) 상에는 에치 스토퍼(15)를 증착하여 형성하고, 도 2c에서와 같이 산화물 반도체(14)를 패터닝한다.

[49] 이때, 상기 산화물 반도체(14)는 4nm 이하의 두께로 형성하는 것이 바람직하다.

[50] 이와 같이 본 발명의 일실시예에 따르면 상기 산화물 반도체(14)는 4nm 이하의 두께로 형성하여, 산화물 반도체의 두께가 얇게 증착되도록 함으로써 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.

[51] 또한, 본 발명의 일실시예에 따른 산화물 반도체(14)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO4), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드 (HIZO), 징크 인듐 틴 옥사이드 (ZITO) 및 알루미늄 징크 틴 옥사이드 (AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.

[52] 이후, 도 2d에 도시된 바와 같이 상기 패터닝된 산화물 반도체 상에 소스 전극(18) 및 드레인 전극(19)을 형성하고, 상기 소스 전극(18) 및 드레인 전극(19) 상에 보호층(20)을 증착하며, 상기 보호층(20)에 컨택 홀(21)을 형성한다.

[53] 이때, 상기 소스 전극(18) 및 상기 드레인 전극(19)은 몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성될 수 있으며, 상기 보호층(20)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

[54] 도 3a 및 도 3b는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[55] 도 3a에 도시된 바와 같이 기판(11) 상에 게이트 전극(12)을 증착한 후, 같이 게이트 전극(12) 상에 게이트 절연막(13)을 형성한다. 이때, 상기 기판(11)은 유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성될 수 있고, 기판(11) 상에 실리콘 산화 보호막을 증착하도록 구성될 수 있으며, 상기 게이트 절연막(13)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

[56] 이후, 게이트 절연막(13) 상에 산화물 반도체(14)를 형성하며, 상기 산화물 반도체(14) 상에는 에치 스토퍼(15)를 증착하여 형성하고, 산화물 반도체(14)를 패터닝하는데, 이때, 상기 산화물 반도체(14)는 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 상기 산화물 반도체를 증착하며, 산화물 반도체를 4nm 이하의 두께로 형성하는 것이 바람직하다.

[57] 도 2a 내지 2e에 도시된 실시예에서와 마찬가지로, 도 3a 및 도 3b에 도시된 실시예에서도 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.

[58] 또한, 본 발명의 일실시예에 따른 산화물 반도체(14)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO4), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드 (HIZO), 징크 인듐 틴 옥사이드 (ZITO) 및 알루미늄 징크 틴 옥사이드 (AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.

[59] 이후, 도 3a의 실시예에서는 상기 산화물 반도체(14) 및 상기 에치 스토퍼(15) 상에 제2 산화물 반도체(16)를 증착한다. 산화물 반도체 박막 트랜지스터의 전류 전압 특성의 향상을 위하여, 오믹 영역의 매우 얇은 산화물 반도체(14) 상에 20nm의 두꺼운 형태로 제2 산화물 반도체(16)를 증착한다.

[60] 이후, 도 3b에 도시된 바와 같이 상기 제2 산화물 반도체(16) 상에 소스 전극(18) 및 드레인 전극(19)을 형성하고, 상기 소스 전극(18) 및 드레인 전극(19) 상에 보호층(20)을 증착하며, 상기 보호층(20)에 컨택 홀(21)을 형성한다.

[61] 이때, 상기 소스 전극 및 상기 드레인 전극은 몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성될 수 있으며, 상기 보호층(20)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

[62] 도 4a 내지 도 4e는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[63] 먼저 도 4a에 도시된 바와 같이 기판(11) 상에 버퍼층(22), 산화물 반도체(14), 게이트 절연막(13) 및 게이트 층(12)을 순차적으로 증착한다.

[64] 이때, 상기 산화물 반도체(14)는 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 증착되어 3nm 또는 4nm 이하의 두께로 형성될 수 있으며, 그에 따라 산화물 반도체의 두께가 얇게 증착되어 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.

[65] 이후, 도 4b에 도시된 바와 같이 상기 게이트 층을 패터닝하여 게이트 전극(12)을 형성하고, 도 4c에 도시된 바와 같이 상기 산화물 반도체(14)를 패터닝한다.

[66] 이후에는 도 4d에 도시된 바와 같이 보호층(20)을 증착하고, 상기 보호층(20)에 컨택 홀(21)을 형성하며, 도 4e에 도시된 바와 같이 상기 보호층(20)의 컨택 홀(21) 상에 소스 전극(16) 및 트레인 전극(17)을 형성한다.

[67] 도 5 내지 도 8은 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

[68] 보다 상세하게 설명하면, 도 5는 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 탑 게이트(top gate), 바텀 콘택트(bottom contact)로 구성된 경우의 실시예이다.

[69] 보다 상세하게 살펴보면, 기판(11)상에 소스 전극(18) 및 드레인 전극(19)을 증착하고 패터닝 하고, 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 산화물 반도체(14), 게인트 절연막(13) 및 게이트 층을 증착한다. 이후, 상기 게이트

층(12)을 패터닝하고 상기 게이트 절연막(13)을 패터닝한다. 이후, 상기 패터닝한 게이트 절연막(13) 및 산화물 반도체(14) 상에 보호층(20)을 증착하여 컨택 홀(21)을 형성한다.

[70] 도 6은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 탑 게이트(top gate), 탑 콘택트(top contact)로 구성된 경우의 실시예이다.

[71] 보다 상세하게 살펴보면, 기판(11)상에 버퍼층 및 산화물 반도체(14)를 증착하고 패터닝 하고, 상기 산화물 반도체(14) 상에 소스 전극(18) 및 드레인 전극(19)을 증착하여 패터닝한다. 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 게이트 절연막(13) 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴(12)을 형성한다. 이후, 상기 게이트 패턴(12) 상에 보호층(20)을 형성하고 패터닝한다.

[72] 도 7은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 바텀 게이트(bottom gate), 탑 콘택트(top contact)로 구성된 경우의 실시예이다.

[73] 보다 상세하게 살펴보면, 기판(11)상에 게이트 층을 증착 및 패터닝 하여 게이트 전극(12)을 형성하고, 상기 게이트 전극(12) 상에 게이트 절연막(13) 및 산화물 반도체(14)를 증착한다. 이후, 상기 산화물 반도체(14)를 패터닝하고 상기 패터닝된 산화물 반도체(14) 상에 소스 전극(18) 및 드레인 전극(19)을 형성한다. 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 보호층(20)을 증착하고, 상기 보호층(20)에 컨택 홀(21)을 한다.

[74] 도 8은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 바텀 게이트(bottom gate), 바텀 콘택트(bottom contact)로 구성된 경우의 실시예이다.

[75] 보다 상세하게 살펴보면, 기판(11)상에 게이트 층을 증착 및 패터닝 하여 게이트 전극(12)을 형성하고, 상기 게이트 전극(12) 상에 게이트 절연막(13), 소스 전극(18) 및 드레인 전극(19)을 증착하며 상기 소스 전극(18) 및 상기 드레인 전극을 패터한다. 이후, 상기 패터닝된 소스 전극(18) 및 드레인 전극(19)상에 산화물 반도체(14)를 증착하고 패터닝하고, 상기 패턴닝된 산화물 반도체(14) 상에 보호층(20)을 증착하고, 상기 보호층(20)에 컨택 홀(21)을 형성한다.

[76] 상기와 같은 도 5 내지 도 8의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 일반적인 박막 트랜지스터의 구조를 가지고 있으나, 산화물 반도체(14)가 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 증착되어, 산화물 반도체가 3nm 또는 4nm 이하의 두께로 형성된다.

[77] 따라서, 앞서 설명한 실시예들과 마찬가지로 산화물 반도체의 두께가 얇게 증착되어 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.

[78] 도 9a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내는 그래프이고, 도 9b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 출력 특성을 나타내는 그래프이다.

[79] 보다 상세하게 설명하면, 도 9a는 3 nm 두께의 활성층을 가지는 산화물 반도체

박막 트랜지스터의 전류 전압 특성을 나타내며, 도 9b는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 출력 특성을 나타낸다.

[80] 도 9a는 드레인 전압 0.1 V 와 1 V 일때의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내고 있다. 도 9a 와 9b의 그래프를 통해, 3 nm 의 매우 얇은 산화물 반도체 활성층을 사용하는 경우에도 박막 트랜지스터의 기능을 충분히 구현하고 있음을 알 수 있다.

[81] 즉, 3 nm 의 매우 얇은 산화물 반도체 활성층을 사용하는 박막 트랜지스터가 수 μA 이상의 전류를 통하게 하므로 스위칭 소자로의 특성을 충분히 구현하는 것을 알 수 있다.

[82] 도 10a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V인 경우의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 그래프이고, 도 10b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성을 비교한 그래프이다.

[83] 보다 상세하게 설명하면 도 10a는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 있으며, 도 10b는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성 비교를 나타낸다.

[84] 도 10a 에서 10,000 lux의 빛세기를 가지는 백색광 내에서 -20 V의 전계를 인가하였을 경우의 시간에 따른 전이곡선의 변화를 나타내고 있다. 일반적인 산화물 반도체 박막 트랜지스터는 상기의 광 전계 조건에서 시간에 따른 문턱전압의 변화는 -5 V 또는 -10 V 이상 이동한다. 반면, 본 발명의 일실시예에 따른 3 nm 의 활성층 두께를 가지는 산화물 반도체 박막 트랜지스터는 문턱 전압의 변화율이 광 전계 스트레스 내에서도 전혀 변하지 않는 특성을 보여준다.

[85] 또한, 도 10b 에서는 3 nm의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성으로, 광 전계 스트레스 이후 문턱 전압의 이동이 없는 것뿐만 아니라 전류의 변화도 없으며, 이는 광 전계 특성에서 매우 안정적인 특성을 가진다는 것을 의미한다.

[86] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 전술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

청구범위

[청구항 1] 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;
상기 게이트 전극 상에 게이트 절연막, 산화물 반도체와 에치 스토퍼를 순차적으로 증착 후 상기 에치 스토퍼를 패터닝하는 제2 단계;
상기 산화물 반도체를 패터닝하는 제3 단계;
상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계;
상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 2] 제1항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의제조 방법.

[청구항 3] 제1항에 있어서,
상기 제2 단계는,
상기 산화물 반도체 및 상기 에치 스토퍼 상에 제2 산화물 반도체를 증착하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 4] 제1항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 5] 제1항에 있어서,
상기 산화물 반도체는,
인듐 갈륨 징크옥사이드(Amorphous-InGaZnO4), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드 (HIZO), 징크 인듐 틴 옥사이드 (ZITO)및 알루미늄 징크 틴 옥사이드 (AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 6] 제1항에 있어서,
상기 게이트 절연막 및 상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체

박막 트랜지스터의 제조 방법.

[청구항 7] 제1항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 8] 기판상에 버퍼층, 산화물 반도체, 게이트 절연막 및 게이트 층을 순차적으로증착하는 제1 단계;
상기 게이트 층을 패터닝하여 게이트 전극을 형성하는 제2 단계;
상기 산화물 반도체를 패터닝하는 제3 단계;
상기 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제4 단계;
상기 컨택 홀 상에 소스 전극 및 트레인 전극을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 9] 제8항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의제조 방법.

[청구항 10] 제8항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 11] 제8항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 12] 제8항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 13] 기판상에 소스 전극 및 드레인 전극을 증착하고 패터닝 하는 제1 단계;

상기 소스 전극 및 상기 드레인 전극 상에 산화물 반도체, 게이트 절연막 및게이트 층을 증착하는 제2 단계;
상기 게이트 절연막 및 게이트 층을 패터닝하는 제3 단계;
상기 산화물 반도체를 패터닝하는 제4 단계;
상기 패터닝한 게이트 절연막 및 산화물 반도체 상에 보호층을 증착하여 컨택 홀을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 14] 제13항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의제조 방법.

[청구항 15] 제13항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 16] 제13항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 17] 제13항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 18] 기판상에 버퍼층 및 산화물 반도체를 증착하고 패터닝 하는 제1 단계;
상기 산화물 반도체 상에 소스 전극 및 드레인 전극을 증착하여 패터닝 하는제2 단계;
상기 소스 전극 및 상기 드레인 전극 상에 게이트 절연막 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴을 형성하는 제3 단계;
상기 게이트 패턴 상에 보호층을 형성하고 패터닝하는 제4 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 19] 제18항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 20] 제18항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 21] 제18항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 22] 제18항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 23] 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;
상기 게이트 전극 상에 게이트 절연막 및 산화물 반도체를 증착하는 제2 단계;
상기 산화물 반도체를 패터닝하는 제3 단계;
상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계;
상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 컨택 홀을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 24] 제23항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의제조 방법.

[청구항 25] 제23항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 26] 제23항에 있어서,

상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 27] 제23항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 28] 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;
상기 게이트 전극 상에 게이트 절연막, 소스 전극 및 드레인 전극을 증착하는 제2 단계;
상기 소스 전극 및 상기 드레인 전극을 패터닝하는 제3 단계;
상기 패터닝된 소스 전극 및 드레인 전극상에 산화물 반도체를 증착하고 패터닝하는 제4 단계;
상기 패턴닝된 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 컨택홀을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막트랜지스터의 제조 방법.

[청구항 29] 제28항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의제조 방법.

[청구항 30] 제28항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 31] 제28항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

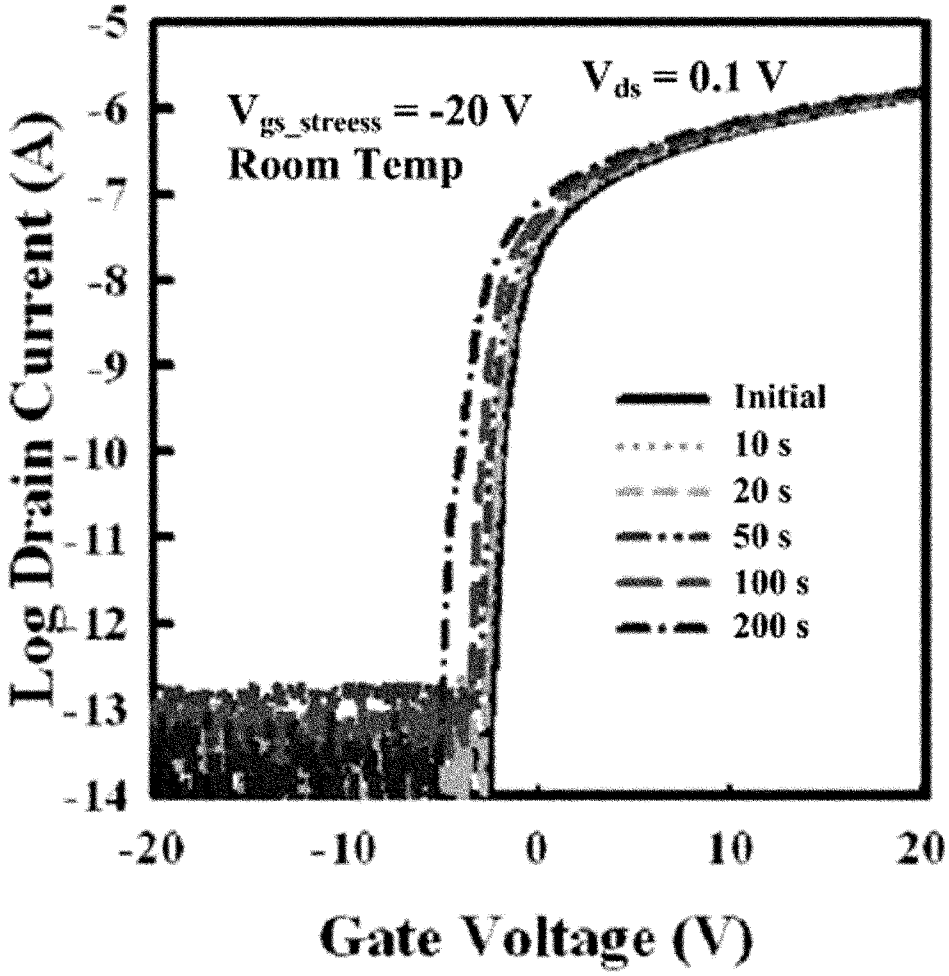
[청구항 32] 제28항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,

몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도
체 박막 트랜지스터의 제조 방법.

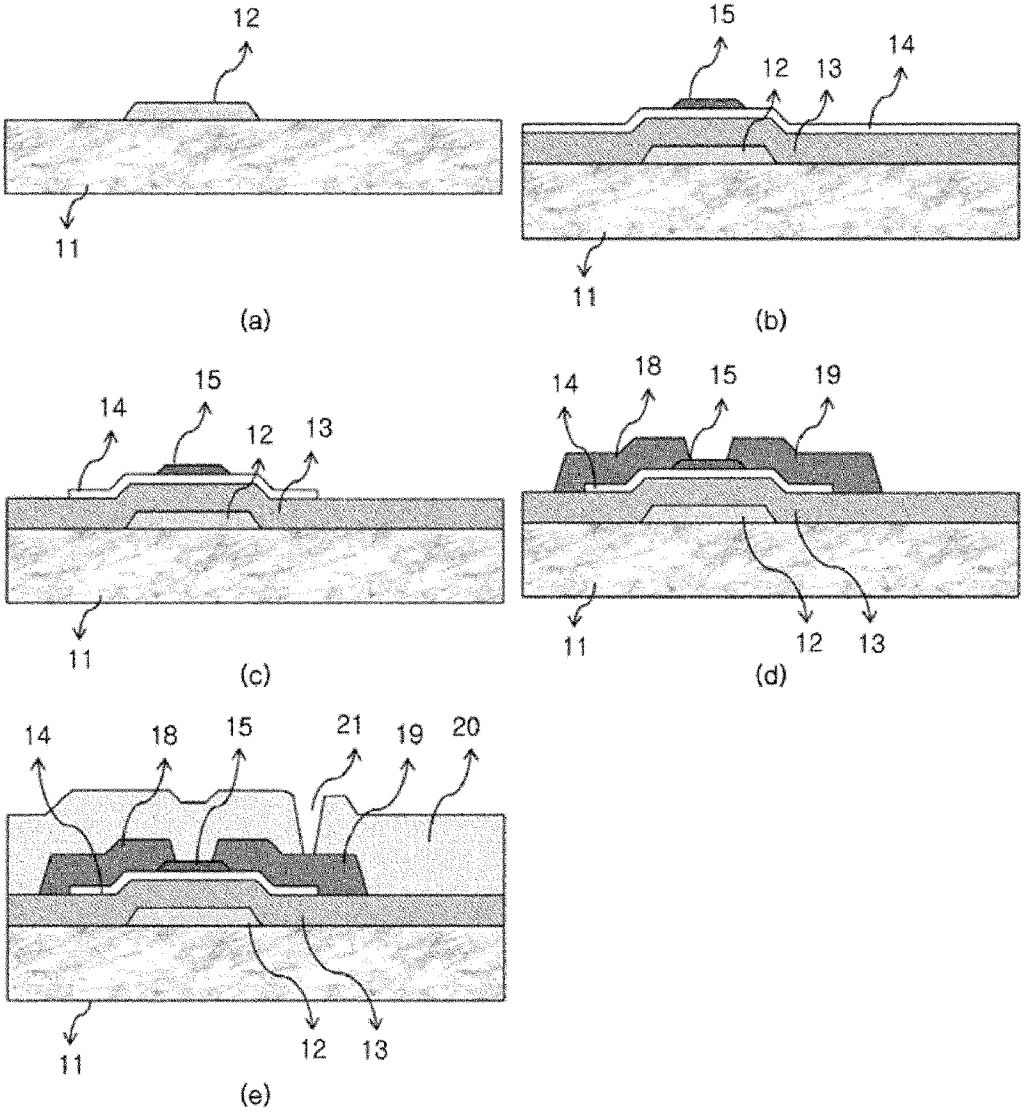
[청구항 33] 청구항 1 내지 32항 중 어느 한 항의 제조방법에 의해서 제조된 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 디스플레이 장치.

[청구항 34] 청구항 1 내지 32항 중 어느 한 항의 제조방법에 의해서 제조된 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 센서 장치.

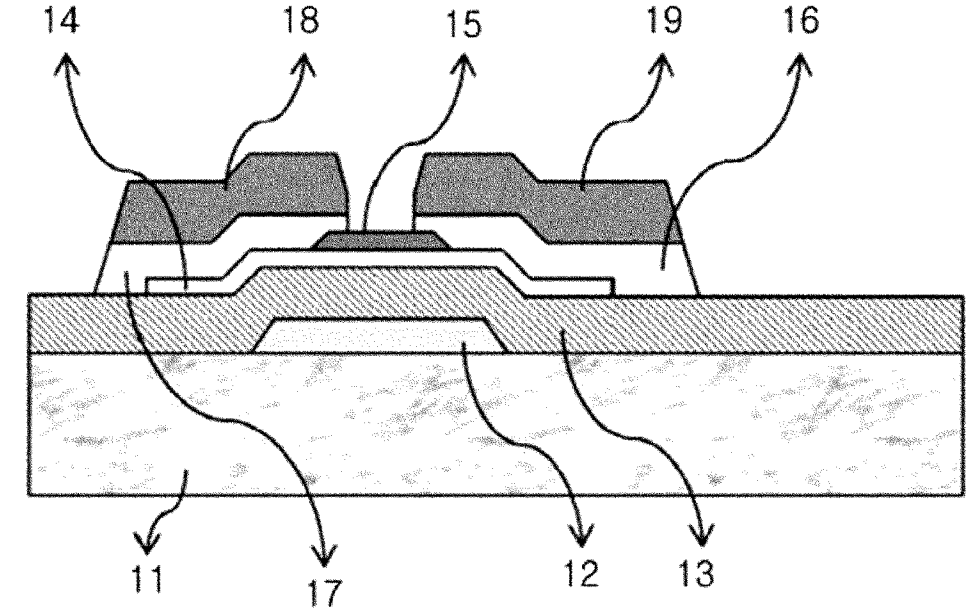
[Fig. 1]


V_{ds} = 0.1 V
$V_{gs_streess}$ = -20 V
Room Temp
Initial
10 s
20 s
50 s
100 s
200 s
Log Drain Current (A)
-5
-6
-7
-8
-9
-10
-11
-12
-13
-14
-20
-10
0
10
20
Gate Voltage (V)

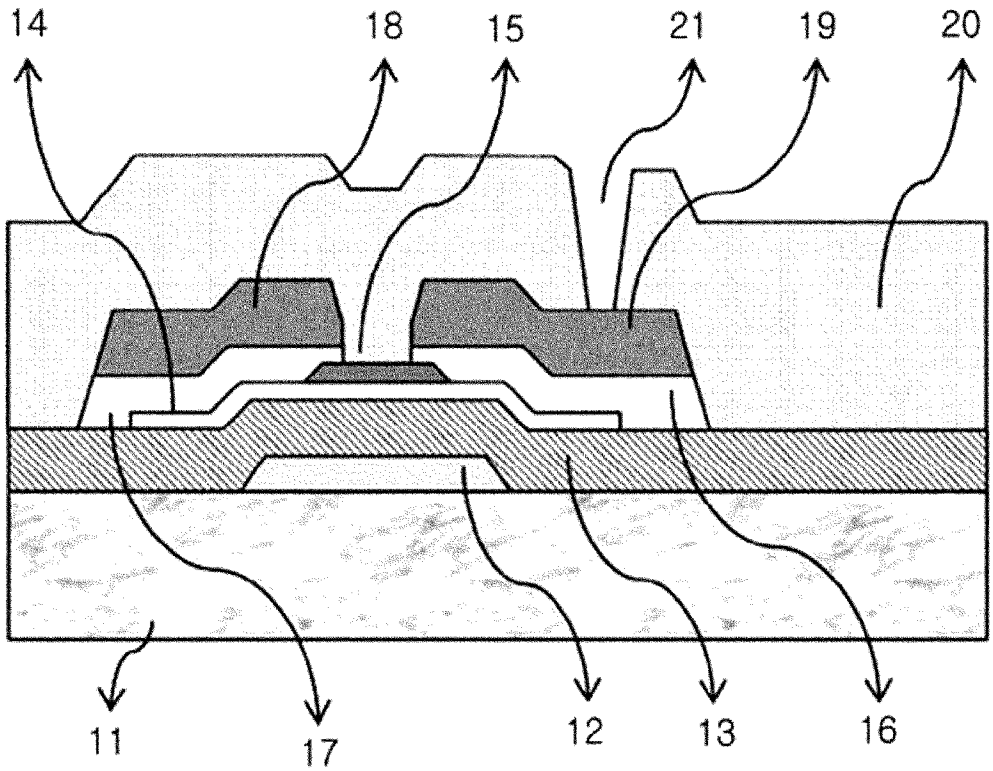
[Fig. 2]


12
11
(a)
15
12
13
14
11
(b)
14
15
12
13
11
(c)
14
18
15
19
11
12
13
(d)
14
18
15
21
19
20
11
12
13
(e)

[Fig. 3]

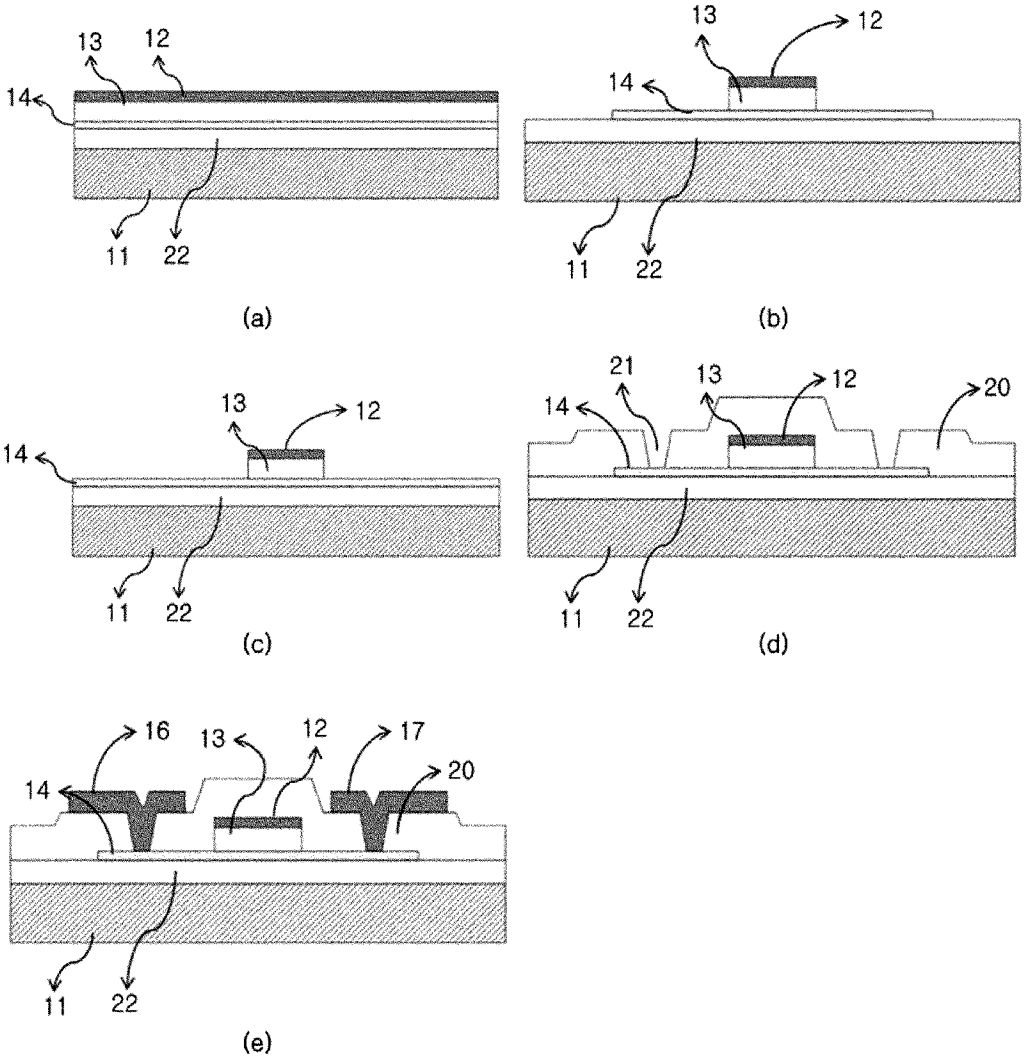


(a)

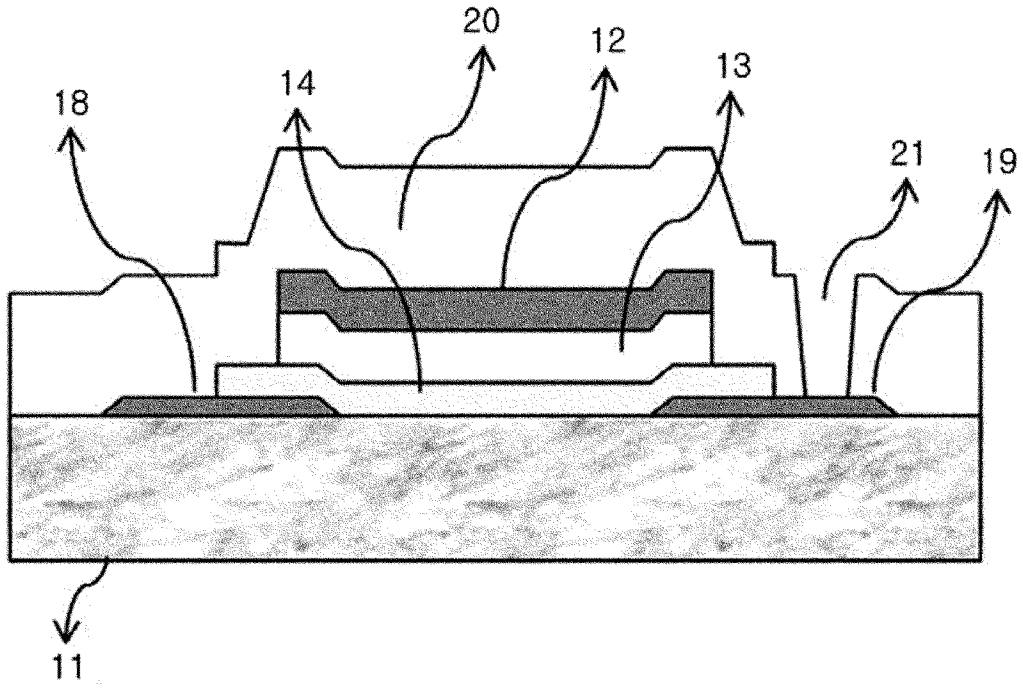


(b)

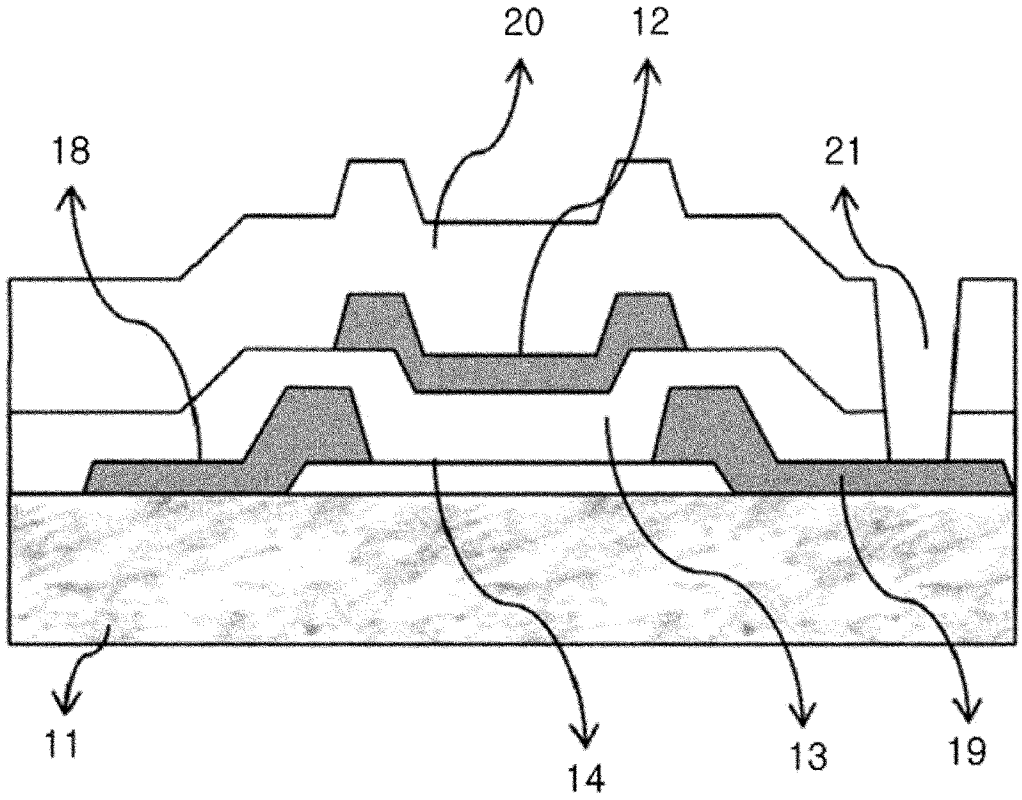
[Fig. 4]


13
12
14
11
22
(a)
13
12
14
11
22
(b)
13
12
14
11
22
(c)
21
13
12
20
14
11
22
(d)
16
13
12
17
20
14
11
22
(e)

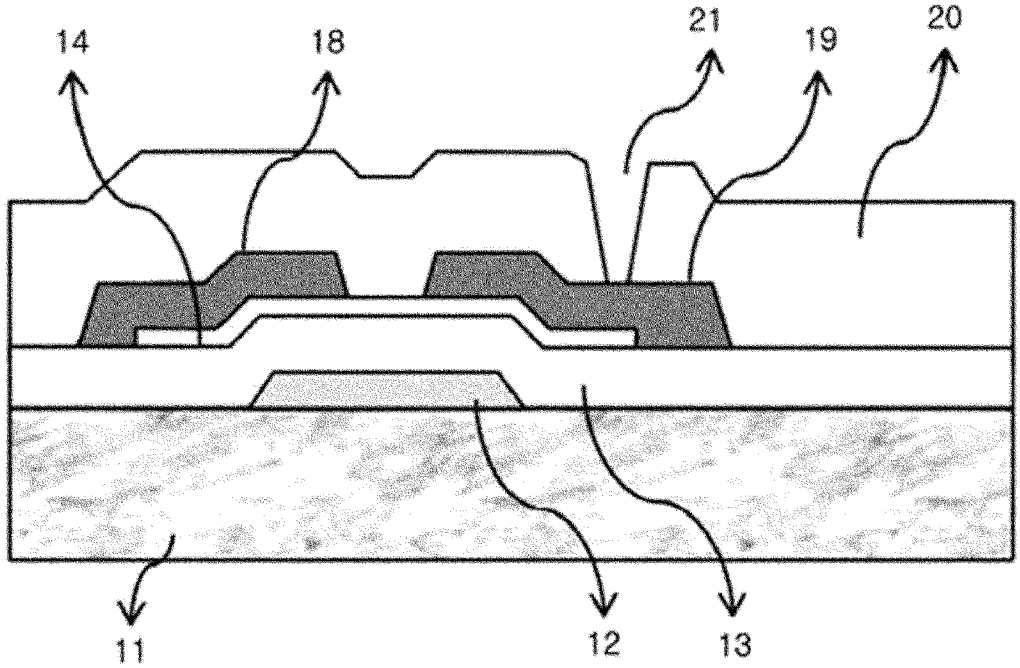
[Fig. 5]


20
12
13
18
14
21
19
11

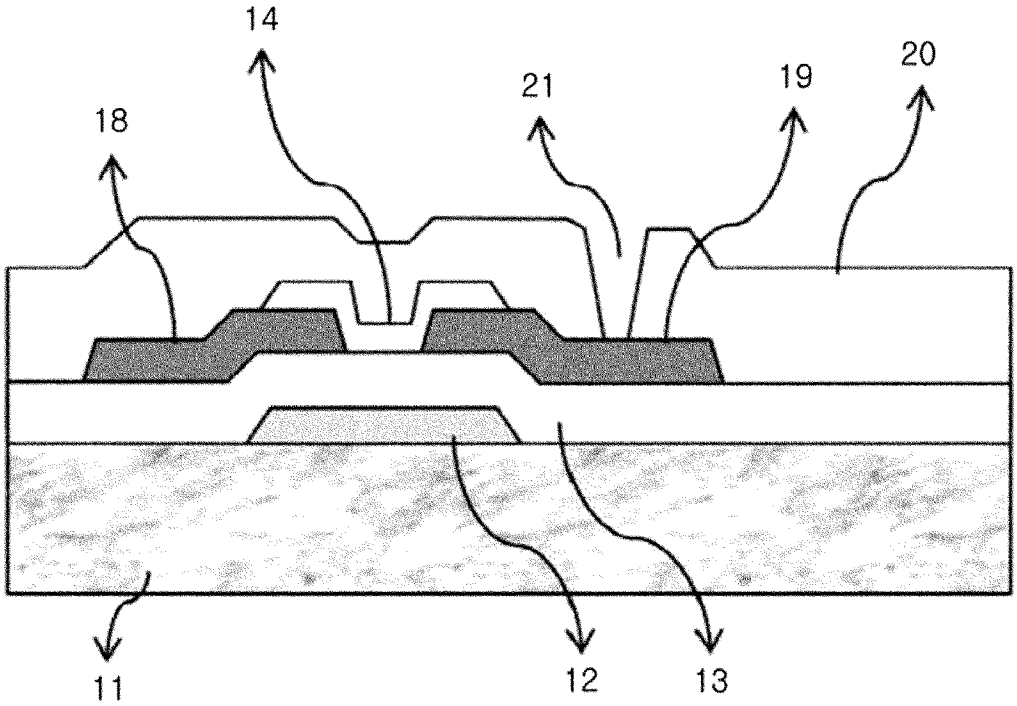
[Fig. 6]



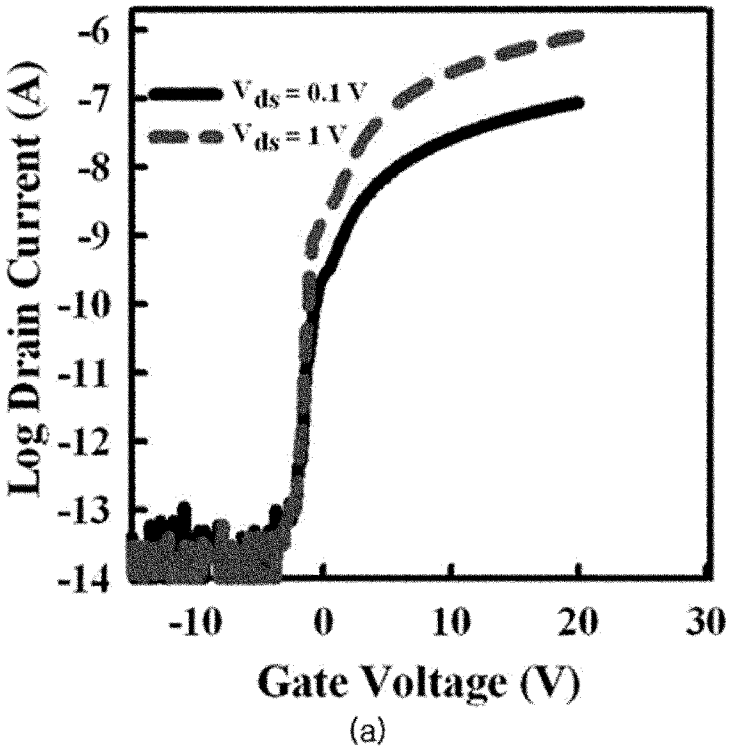
[Fig. 7]



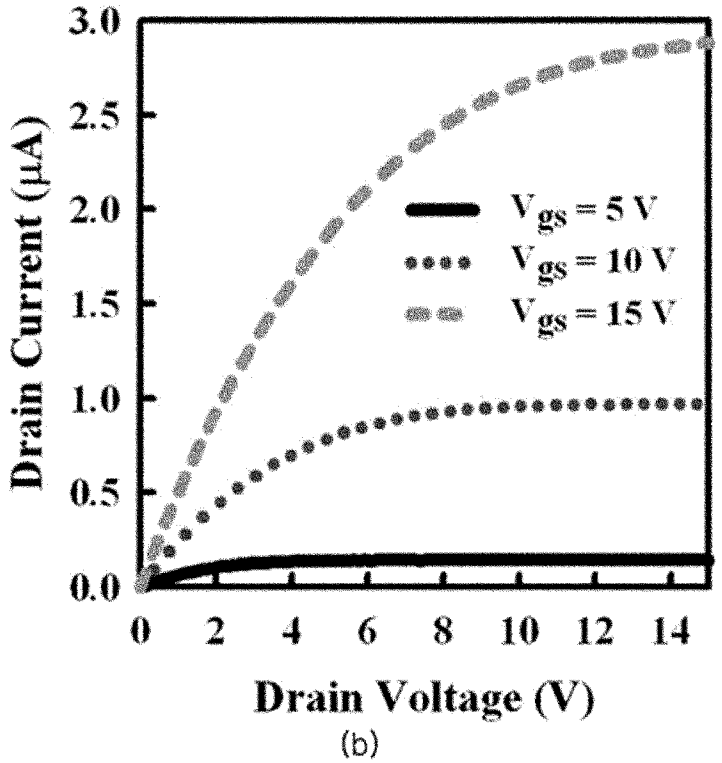
[Fig. 8]



[Fig. 9]

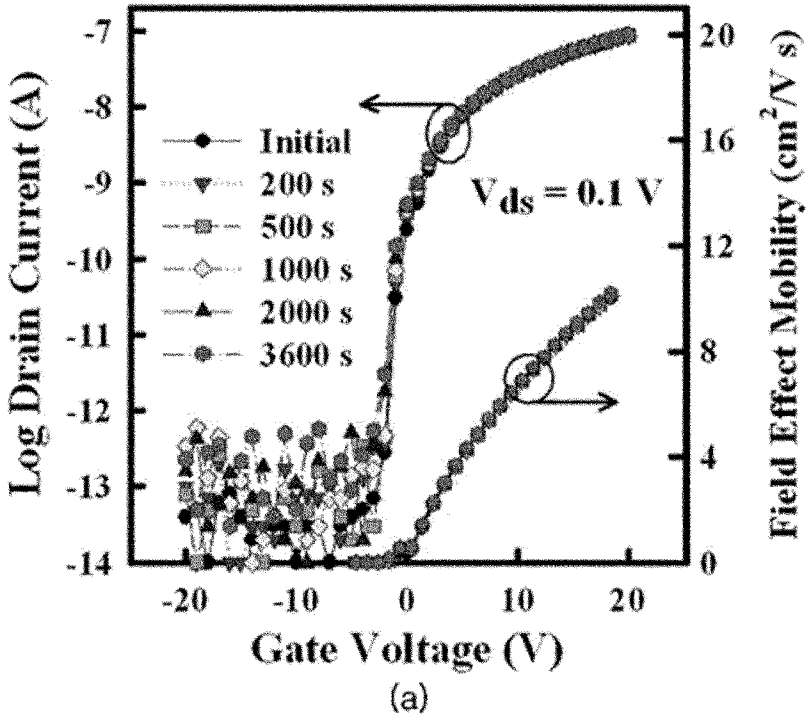

Log Drain Current (A)
-6
-7
-8
-9
-10
-11
-12
-13
-14
V_{ds} = 0.1 V
V_{ds} = 1 V
-10
0
10
20
30
Gate Voltage (V)

(a)

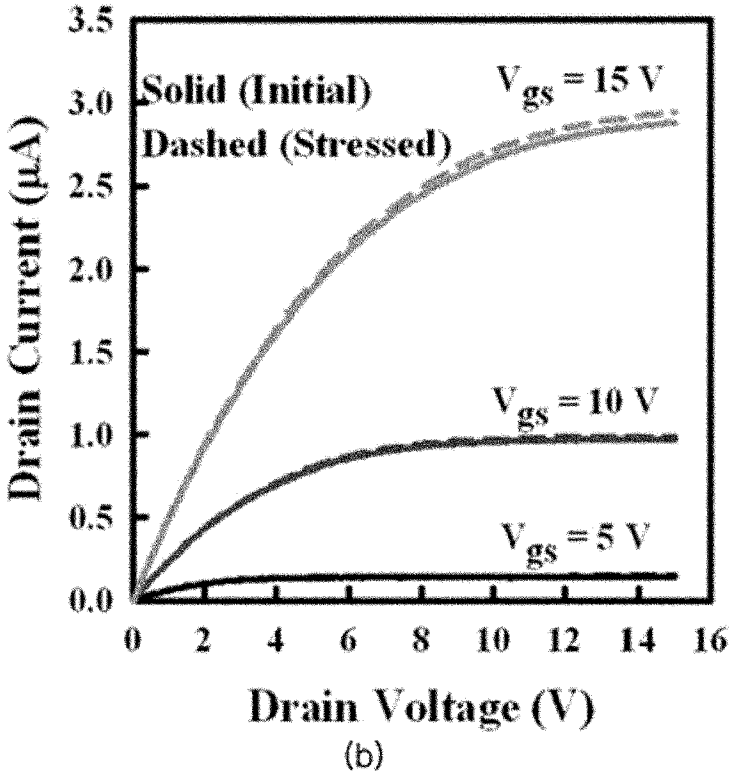

Drain Current (μA)
3.0
2.5
2.0
1.5
1.0
0.5
0.0
V_{gs} = 5 V
V_{gs} = 10 V
V_{gs} = 15 V
0
2
4
6
8
10
12
14
Drain Voltage (V)

(b)

[Fig. 10]


Log Drain Current (A)
Field Effect Mobility (cm²/V s)
Gate Voltage (V)
Initial
200 s
500 s
1000 s
2000 s
3600 s
V_ds = 0.1 V
-7
-8
-9
-10
-11
-12
-13
-14
20
16
12
8
4
0
-20
-10
0
10
20

(a)


Drain Current (μA)
Drain Voltage (V)
Solid (Initial)
Dashed (Stressed)
V_gs = 15 V
V_gs = 10 V
V_gs = 5 V
3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
0
2
4
6
8
10
12
14
16

(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2013/000378

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i, H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; G02F 1/136; H01L 21/336; G02F 1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: oxide thin film transistor, gate electrode, source electrode, drain electrode, protection layer, contact hole, etch stopper

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2012-0003390 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 January 2012 See abstract, paragraphs [0028],[0044],[0048],[0056],[0074],[0076],[0080] of the detailed	1-7
X	description and figures 1,2.	8-32
Y	KR 10-2011-0093113 A (SAMSUNG ELECTRONICS CO., LTD.) 18 August 2011	1-7
A	See abstract, paragraphs [0040] to [0053] of the detailed description, claims 7,8 and figures 3-6.	8-32
A	KR 10-2004-0060239 A (LG DISPLAY CO.,LTD.) 06 July 2004 See claim 3 and figure 2.	1-32
A	KR 10-2008-0095540 A (LG ELECTRONICS INC.) 29 October 2008 See claim 8 and figures 1,2.	1-32

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 APRIL 2013 (12.04.2013)	**12 APRIL 2013 (12.04.2013)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2013/000378

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0003390 A	10.01.2012	US 2012-0001179 A1	05.01.2012
KR 10-2011-0093113 A	18.08.2011	JP 2011-166135 A US 2011-0193076 A1	25.08.2011 11.08.2011
KR 10-2004-0060239 A	06.07.2004	NONE	
KR 10-2008-0095540 A	29.10.2008	NONE	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2013/000378

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i, H01L 21/336(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 29/786; G02F 1/136; H01L 21/336; G02F 1/133

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 산화물 박막 트랜지스터, 게이트 전극, 소스 전극, 드레인 전극, 보호층, 컨택 홀, 에치 스토퍼

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2012-0003390 A (가부시키가이샤 한도오따이 에네루기 켄큐쇼) 2012.01.10 요약, 상세한 설명의 문단부호 [0028],[0044],[0048],[0056],[0074],[0076],[0080]	1-7
X	과 도면1,2 참조.	8-32
Y	KR 10-2011-0093113 A (삼성전자주식회사) 2011.08.18	1-7
A	요약, 상세한 설명의 문단부호 [0040] 내지 [0053], 청구항 7,8과 도면 3~6 참조.	8-32
A	KR 10-2004-0060239 A (엘지디스플레이 주식회사) 2004.07.06 청구항 3과 도면 2 참조.	1-32
A	KR 10-2008-0095540 A (엘지전자 주식회사) 2008.10.29 청구항 8과 도면 1,2 참조.	1-32

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2013년 04월 12일 (12.04.2013)	**2013년 04월 12일 (12.04.2013)**

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 82-42-472-7140

심사관
설관식
전화번호 82-42-481-8224

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2013/000378

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0003390 A	2012.01.10	US 2012-0001179 A1	2012.01.05
KR 10-2011-0093113 A	2011.08.18	JP 2011-166135 A US 2011-0193076 A1	2011.08.25 2011.08.11
KR 10-2004-0060239 A	2004.07.06	없음	
KR 10-2008-0095540 A	2008.10.29	없음	