



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I490927 B

(45)公告日：中華民國 104 (2015) 年 07 月 01 日

(21)申請案號：101108249

(22)申請日：中華民國 101 (2012) 年 03 月 09 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L33/40 (2010.01)

(30)優先權：2011/03/10 日本

JP2011-053399

(71)申請人：同和電子科技股份有限公司 (日本) DOWA ELECTRONICS MATERIALS CO., LTD.
(JP)

日本

(72)發明人：田崎寬郎 TASAKI, NORIO (JP)；山田秀高 YAMADA, HIDETAKA (JP)；十川博
行 TOGAWA, HIROYUKI (JP)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

JP S63-148646A

US 20100301362A1

審查人員：楊啟全

申請專利範圍項數：8 項 圖式數：5 共 37 頁

(54)名稱

半導體發光元件及其製造方法

(57)摘要

本發明之目的在於提供一種半導體發光元件及其製造方法，該半導體發光元件可於維持藉由在焊墊正下方設置反射層及透光性絕緣層所得之發光元件輸出之提昇效果的狀態下，抑制伴隨打線接合(wire bonding)而生之焊墊部分之剝離。本發明之半導體發光元件 100 之特徵在於：具有包含發光部之半導體層 104、及位於該半導體層上之焊墊電極 105，於半導體層 104 與焊墊電極 105 之間具有：反射部 108，其包含位於半導體層 104 上之作為電流遮斷層之透光性絕緣層 106、及位於該透光性絕緣層上之反射層 107；及接觸部，其由位於半導體層 104 上且與上述反射部 108 相接之歐姆電極 109 所構成；且於上述反射層 107 與上述焊墊電極 105 之間，具有當將維氏硬度設為 HV (Hv)、厚度設為 t(μm)時 HV×t>630 之導電性硬質膜 110。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101/108249

※申請日：101.3.9

※IPC 分類：H01L 21/28 (2006.01)

一、發明名稱：(中文/英文)

H01L 33/40 (2010.01)

半導體發光元件及其製造方法

二、中文發明摘要：

本發明之目的在於提供一種半導體發光元件及其製造方法，該半導體發光元件可於維持藉由在焊墊正下方設置反射層及透光性絕緣層所得之發光元件輸出之提昇效果的狀態下，抑制伴隨打線接合 (wire bonding) 而生之焊墊部分之剝離。本發明之半導體發光元件 100 之特徵在於：具有包含發光部之半導體層 104、及位於該半導體層上之焊墊電極 105，於半導體層 104 與焊墊電極 105 之間具有：反射部 108，其包含位於半導體層 104 上之作為電流遮斷層之透光性絕緣層 106、及位於該透光性絕緣層上之反射層 107；及接觸部，其由位於半導體層 104 上且與上述反射部 108 相接之歐姆電極 109 所構成；且於上述反射層 107 與上述焊墊電極 105 之間，具有當將維氏硬度設為 HV (Hv)、厚度設為 t (μm) 時 $HV \times t > 630$ 之導電性硬質膜 110。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：無。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體發光元件及其製造方法，尤其關於一種可於將焊墊電極造成之遮光設為最小限度之狀態下，抑制伴隨打線接合而生之焊墊部分之剝離的半導體發光元件及其製造方法。

【先前技術】

近年來，伴隨向汽車之頭燈或剎車燈、或者信號機之應用等的發光二極體（LED）之用途之多樣化，要求提高LED之光輸出。

一般而言，LED係具有於表面電極與背面電極之間具備p型半導體層、n型半導體層、及設置於該等半導體層間之發光層之構造的半導體發光元件。由上述發光層產生之光中，出射至LED外部之光之比率被稱為光提取效率，由於電極會遮蔽由發光層發出之光，故而係使光提取效率降低並阻礙LED之輸出之提昇的主要原因。

作為降低電極造成之遮光並使光提取效率提昇之技術，已知有如下者。首先，於專利文獻1中記載有如下技術：於接合墊之正下方之電極層與歐姆接觸層之間設置電流遮斷層，使電流於焊墊正下方以外流通，從而減少被焊墊遮蔽之光。於該文獻中，作為電流遮斷層，並非為 SiO_2 等，而使用與歐姆接觸層相反之導電型之半導體。

又，於專利文獻2中記載有如下技術：於支撐基板與下側包覆層（半導體層）之間，設置Au等光反射層、及

AlN 等具有高熱導率之透光層，從而有效反射朝向背面之光，同時使來自發光層之熱之散熱性提昇。

專利文獻 2 中所記載之構成中，由於亦作為透光性絕緣膜之 AlN 位於半導體層與光反射層之間，故而可抑制雜質自半導體層向光反射層擴散，獲得高反射率界面，因此自光提取效率提昇之觀點而言為較佳之形態。

專利文獻 1：日本特開昭 61-6880 號公報

專利文獻 2：日本特開 2009-231323 號公報

【發明內容】

此處，為進一步降低接合墊造成之遮光，使光提取效率提昇，本發明者等人對如圖 4(b) 之半導體發光元件進行了研究。圖 4(b) 所記載之半導體發光元件 300 具有包含發光部之半導體層 304、及位於該半導體層上之焊墊電極 305，且於半導體層 304 與焊墊電極 305 之間具有由透光性絕緣層 306 及反射層 307 所構成之反射部 308、及歐姆電極 309。反射部 308 包含位於半導體層 304 上之作為電流遮斷層之透光性絕緣層 306、及位於該透光性絕緣層 306 上之反射層 307。歐姆電極 309 形成為：位於半導體層 304 上，與反射部 308 相接且將其包圍。於圖 4(b) 中，省略半導體層 304 之支撐基板及背面電極之圖示。例如，透光性絕緣層 306 可設為厚度為 100 nm 之 AlN 層，反射層 307 可設為由厚度為 10 nm 之 Cr 及厚度為 500 nm 之 Au 所構成之金屬層，歐姆電極 309 可設為依序蒸鍍有 AuGe/Ni/Au 之金屬層，焊墊電極 305 可設為由厚度為 100 nm 之 Ti 及位於該

Ti 上之厚度為 $1.5\ \mu\text{m}$ 之 Au 所構成之金屬層。

根據具有此種層構造之半導體發光元件 300，因透光性絕緣層 306 發揮作為電流遮斷層之功能，故除可抑制焊墊正下方之發光以外，反射層 307 會反射自焊墊正下方之周邊發光且朝向焊墊電極 305 之光。進而，因於反射層 307 與半導體層 304 之間配置有透光性絕緣層 306，故來自半導體層 304 之雜質不會擴散至反射層 307。因此，自可將焊墊電極 305 造成之遮光之影響設為最小限度且使輸出提昇之觀點而言，半導體發光元件 300 具有較佳之層構造。

然而，判明於此種半導體發光元件 300 中，有於焊墊電極 305 上接合 Au 線以作為 LED 晶片進行通電時，於焊墊部分易發生剝離之問題。即，判明焊墊部分之機械可靠性會隨著打線接合而存在問題，例如打線接合時於焊墊部發生剝離，或即便實際上未發生剝離亦潛在性地易發生剝離，結果於對線之接合強度進行試驗之焊球剪切 (ball shear) 試驗時發生剝離，且剪切強度變低等。

因此，本發明係鑒於上述問題，目的在於提供一種半導體發光元件及其製造方法，該半導體發光元件可於維持「藉由在焊墊正下方設置反射層及透光性絕緣層所得之發光元件之輸出之提昇效果」的狀態下，抑制伴隨打線接合而生之焊墊部分之剝離。

為達成該目的，本發明人等進一步進行研究，結果發現：上述焊墊部分之剝離易發生於反射層 307／透光性絕緣層 306 之界面、及透光性絕緣層 306／半導體層 304 之界

面。認為其原因如下。反射層 307／透光性絕緣層 306 之界面、及透光性絕緣層 306／半導體層 304 之界面處之附著力係來自所謂凡得瓦力，與伴隨電荷之交換或原子之相互擴散而生之界面相比密接性較低。此處，當打線接合時，由於將毛細管按壓於焊墊電極 305 時之負荷、或為了使 Au 線熔接於焊墊電極 305 而施加超音波時之機械應力、熱應力，使焊墊電極 305 或反射層 307 發生變形，且該應力向焊墊電極 305 之下部各層傳播。因此，認為容易自密接性較低之上述界面發生剝離。

基於上述見解，本發明人等獲得如下想法：於上述層構造之半導體發光元件中，若於反射層與焊墊電極之間相對較厚地設置相對較硬之硬質膜，則即便焊墊電極伴隨打線接合而發生變形，亦因利用硬質膜抑制變形，故應力向相互之間的密接性較低之層之傳輸得以抑制。藉由該硬質膜，可抑制伴隨打線接合而生之應力之傳輸，結果於透光性絕緣膜之上下不易發生起因於打線接合之剝離。本發明人等實際上對設置相對較厚之硬質膜之半導體發光元件進行研究，結果，打線接合時或焊球剪切試驗時之焊墊部之剝離得以抑制，於焊球剪切試驗時獲得較高之剪切強度，從而完成本發明。

即，鑒於上述課題，本發明之主旨構成如下所述。

(1) 一種半導體發光元件，具有包含發光部之半導體層、及位於該半導體層上之焊墊電極，其特徵在於：於上述半導體層與上述焊墊電極之間包括：反射部，其包含位

於上述半導體層上之作為電流遮斷層的透光性絕緣層、及位於該透光性絕緣層上之反射層；及接觸部，其由位於上述半導體層上且與上述反射部相接之歐姆電極所構成；於上述反射層與上述焊墊電極之間具有導電性硬質膜，當將該導電性硬質膜之維氏硬度設為 $HV(Hv)$ 、厚度設為 $t(\mu m)$ 時， $HV \times t > 630$ 。

(2) 如上述(1)之半導體發光元件，其中，上述導電性硬質膜具有較上述焊墊電極及上述反射層中之任一者之維氏硬度高的維氏硬度 HV 。

(3) 如上述(1)或(2)之半導體發光元件，其中，上述導電性硬質膜之維氏硬度 HV 為 $600 Hv$ 以上。

(4) 如上述(1)至(3)中任一項之半導體發光元件，其中，上述導電性硬質膜之厚度 t 為 $0.3 \mu m$ 以上。

(5) 如上述(1)至(4)中任一項之半導體發光元件，其中，上述導電性硬質膜之厚度 t 為 $2 \mu m$ 以下。

(6) 如上述(1)至(5)中任一項之半導體發光元件，其中，上述導電性硬質膜係含 Ti 、 Ta 、 Cr 、 W 、 Mo 、 V 中之任一者之單體或氮化物。

(7) 如上述(1)至(6)中任一項之半導體發光元件，其中，上述導電性硬質膜之通電時之電壓降下，為上述半導體層中之閾值電壓以下。

(8) 如上述(1)至(7)中任一項之半導體發光元件，其中，上述導電性硬質膜覆蓋上述反射層之全部及上述歐姆電極之至少一部分。

(9) 如上述(1)至(8)中任一項之半導體發光元件，其中，上述歐姆電極係以包圍上述反射部之方式形成。

(10) 一種半導體發光元件之製造方法，該半導體發光元件具有包含發光部之半導體層、及位於該半導體層上之焊墊電極，該製造方法具有如下步驟：形成上述半導體層；於該半導體層上形成由特定圖案之歐姆電極所構成之接觸部；於上述半導體層上形成作為電流遮斷層之透光性絕緣層，並於該透光性絕緣層上形成反射層，藉此形成與上述接觸部相接之反射部；於上述反射層上，形成當將維氏硬度設為 $HV(Hv)$ 、厚度設為 $t(\mu m)$ 時 $HV \times t > 630$ 之導電性硬質膜；及於該導電性硬質膜上形成上述焊墊電極。

根據本發明，藉由於反射層與焊墊電極之間，配置當將維氏硬度設為 $HV(Hv)$ 、厚度設為 $t(\mu m)$ 時 $HV \times t > 630$ 之導電性硬質膜，經由上述作用，可在維持藉由於焊墊正下方設置反射層及透光性絕緣層所得之發光元件之輸出之提昇效果的狀態下，抑制伴隨打線接合而生之焊墊部分之剝離。

【實施方式】

以下，參照圖式更詳細地說明本發明。再者，於本說明書中，對於本發明之半導體發光元件與比較例之半導體發光元件中共同之構成要素，原則上後2位數標註相同之參照編號，並省略說明。又，於發光元件之示意剖面圖中，為便於說明，將各層之厚度以與實際情況不同之比率放大表示。

(半導體發光元件 100)

如圖 1 所示，作為本發明之一實施形態之半導體發光元件 100 具有包含發光部之半導體層 104、及位於該半導體層 104 上之焊墊電極 105。半導體發光元件 100 中，於半導體層 104 與焊墊電極 105 之間，具有反射部 108 及歐姆電極（接觸部）109。反射部 108 包含位於半導體層 104 上之作為電流遮斷層之透光性絕緣層 106、及位於該透光性絕緣層上之反射層 107。接觸部由位於半導體層 104 上且與反射部 108 相接之歐姆電極 109 所構成。此處，半導體發光元件 100 之特徵在於在反射層 107 與焊墊電極 105 之間，具有當將維氏硬度設為 $HV(Hv)$ 、厚度設為 $t(\mu m)$ 時 $HV \times t > 630$ 之導電性硬質膜 110，藉由採用此種構成，即便焊墊電極 105 因打線接合時之向焊墊電極 105 之按壓而發生變形，亦可藉由導電性硬質膜 110 抑制變形，因此，可抑制密接性較低之反射層 107／透光性絕緣層 106 界面、及透光性絕緣層 106／半導體層 104 界面處之剝離。另一方面，半導體發光元件 100 與圖 3 之半導體發光元件 300 同樣地可將焊墊電極 105 造成之遮光之程度抑制為最小限度。

使用圖 2，更詳細地說明半導體發光元件 100 之層構造。半導體發光元件 100 具有：支撐基板 115、位於該支撐基板 115 上之金屬接合層 114、位於該金屬接合層 114 上之反射層 113、位於該反射層 113 上之歐姆電極 111 與絕緣膜 112 之混在層、及由「位於上述混在層上之作為第 2 導電型半導體層之 p 型半導體層 103、發光層（發光部）102、及

作為第 1 導電型半導體層之 n 型半導體層 101」所構成的半導體層 104。於支撐基板 115 之背面（未積層半導體層 104 之側），形成有下部電極 116。該半導體發光元件 100 為具有金屬接合層 114 之晶圓貼合型 LED 元件，製造步驟之詳細情況於下文敘述。於半導體層 104 之 n 型半導體層上，形成有圖 1 所說明之焊墊部分。半導體發光元件 100 之光提取方向為焊墊電極 105 側（圖 2（a）之上方）。

半導體發光元件 100 之歐姆電極 109 於俯視圖中形成為圖 2（b）所示之形狀，於中央之圓形電極內部形成有由透光性絕緣膜 106 及反射層 107 所構成之反射部 108。並且，自圖 2（a）及（b）顯而易見，歐姆電極 109 之圓形電極部分係以「與透光性絕緣膜 106 及反射層 107 相接，並將該等包圍」之方式形成。如上所述，於焊墊電極 105 正下方設置有由歐姆電極 109 所形成之開口部，藉由於該開口部之半導體層 104 上設置反射部 108 之構成，反射部 108 之側面由歐姆電極 109 所覆蓋，可以說就保護密接性不高之反射部外周不受其後之步驟中之來自側面之外力影響的方面而言較佳。又，導電性硬質膜 110 係以「覆蓋反射部 108（更嚴格而言為反射層 107）之全部，且覆蓋歐姆電極 109 之至少一部分（於本實施形態中為中央之圓形電極部分）」之方式形成。如上所述，導電性硬質膜 110 覆蓋反射層 107 之全部，藉此可更確實地緩和打線接合之按壓所產生之應力，而更有效地抑制焊墊部分之剝離。

作為構成支撐基板 115 之較佳材料，例如可列舉 Si、

GaAs、Ge 等半導體材料、以及 Al 或 Cu 等金屬或其合金材料等，較佳為具有 $100\sim 300\ \mu\text{m}$ 之厚度。

作為構成金屬接合層 114 之較佳材料，例如可列舉 Au 等，較佳為具有 $0.5\sim 3.0\ \mu\text{m}$ 之厚度。

反射層 113 係反射自發光層 102 發出之光中朝向支撐基板 115 側之光，而提高光提取效率。較理想為對於自發光層 102 放射之光之主波長具有較高之反射率，較佳為對於波長為 $600\sim 950\ \text{nm}$ 之範圍之光具有 60% 以上之反射率。作為構成反射層 113 之較佳材料，可列舉金 (Au)、鋁 (Al)、銀 (Ag) 之單體或以其為構成元素之合金或者該等之積層體等，較佳為具有 $100\sim 1000\ \text{nm}$ 之厚度。一般而言，金 (Au) 或銀 (Ag) 與絕緣體之密接性較低，若直接使用容易剝離。因此，已知藉由插入 Cr、Ti、Mo 等密接層可改善密接性。然而，因該等密接層之反射率較低，故設為例如 $10\ \text{nm}$ 左右之較薄之層以使光透過。

歐姆電極 111 係用於形成與第 2 導電型半導體層 103 (本實施形態中為 p 型半導體層) 之良好之歐姆接觸的電極。作為構成歐姆電極 111 之較佳材料，例如可列舉 AuZn、AuBe 等，較佳為具有 $100\sim 500\ \text{nm}$ 之厚度。

絕緣膜 112 只要為可透過自發光層 102 發出之光並向反射層 113 引導之絕緣材料，則無特別限定。較理想為對於自活性層放射之光之主波長具有較高之透過率，較佳為對於波長為 $600\sim 950\ \text{nm}$ 之範圍之光具有 80% 以上之透過率。作為較佳材料，例如可列舉 SiN、SiO₂、AlN 等，較佳為具

有 100~500 nm 之厚度。

作為構成半導體層 104 之各層之較佳材料，可列舉化合物半導體，例如可設為 III-V 族化合物半導體。作為 III-V 族化合物半導體，例如可將 n 型半導體層 101 及 p 型半導體層 103 分別設為 AlGaAs 系材料、AlGaInP 系材料、及 AlGaN 系材料等。作為 p 型雜質，可例示 Mg、Zn、C，作為 n 型雜質，可例示 Si、Te、Se。發光層 102 可設為由 AlGaAs 系材料、AlGaAsInP 系材料、AlGaN 系材料等所構成之單層、或如多量子井般之積層構造等。該等均可藉由使用 MOCVD 法等已知方法進行磊晶成長而形成。發光波長可設為 600~950 nm 之範圍。就各層之厚度而言，例如 n 型半導體層 101 可設為 1~10 μ m，發光層 102 可設為 10~500 nm，p 型半導體層 103 可設為 1~10 μ m。再者，至此為止將本發明中之第 1 傳導型設為 n 型、第 2 傳導型設為 p 型而說明半導體層 104，但當然本發明並不限定於此，亦可將第 1 傳導型設為 p 型、第 2 傳導型設為 n 型。

歐姆電極 109 係用於形成與第 1 導電型半導體層 101（本實施形態中為 n 型半導體層）之良好之歐姆接觸的電極。作為構成歐姆電極 109 之較佳材料，例如可列舉依序形成有 AuGe、Ni 及 Au 之 AuGe/Ni/Au 電極，較佳為具有 100~1000 nm 之厚度。

透光性絕緣層 106 只要為可透過自發光層 102 發出之光並向反射層 107 引導之絕緣材料，則無特別限定。透光性絕緣層 106 於半導體層 104 與焊墊電極 105 之間作為電

流遮斷層而發揮功能。因此，透光性絕緣層 106 較佳為包括焊墊電極 105 正下方之至少中央區域而設置。透光性絕緣層 106 較佳為對於波長為 600~950 nm 之範圍之光具有 80%以上之透過率。作為較佳材料，例如可列舉 SiN、SiO₂、AlN 等，較佳為具有 100~500 nm 之厚度。

反射層 107 係反射自發光層 102 發出之光中朝向焊墊電極 105 之光，而提高光提取效率。較佳為對於波長為 600~950 nm 之範圍之光具有 60%以上之反射率。作為構成反射層 107 之較佳材料，例如可列舉金 (Au) 或金合金材料、鉑 (Pt)、鋁 (Al)、銀 (Ag) 之單體或以其為構成元素之合金或者該等之積層體等，作為近紅外波長區域中之較佳例，可將於該區域中顯示 90%以上之反射率之 Au 作成隔著 Cr 之較薄密接層配置而成之 Cr/Au 電極，較佳為作為密接材之 Cr 層具有 5~20 nm 之厚度，作為反射材之 Au 層具有 100~1000 nm 之厚度。此種材料通常具有 100 Hv 以下之範圍之維氏硬度。

作為本發明之特徵性構成之導電性硬質膜 110，當將維氏硬度設為 HV (Hv)、厚度設為 t (μm) 時， $HV \times t > 630$ ，其結果為即便於打線接合時對焊墊電極 105 施加應力時，導電性硬質膜 110 亦幾乎不發生變形而緩和應力，從而抑制接合之應力向反射層 107、透光性絕緣層 106、半導體層 104 傳播。即，自基於應力之變形之觀點考慮，認為導電性硬質膜 110 之維氏硬度越大，且厚度越厚，則應力傳播抑制效果越大。因此，於導入[維氏硬度] $\times$ [厚度]之概念之情形時，作為用

以抑制伴隨打線接合而生之焊墊部分之剝離之必要條件，根據本發明人等之研究，發現為 $[\text{維氏硬度}] \times [\text{厚度}] > 630 \text{ Hv} \cdot \mu\text{m}$ 。自更確實地獲得本發明之效果之觀點而言，較佳為 $\text{HV} \times t > 700$ ，進而較佳為 $\text{HV} \times t \geq 1000$ 。再者，本發明之維氏硬度係藉由依據 JIS Z 2244 之測定方法所得者。導電性硬質膜為數 μm 以下之薄膜，對於薄膜之維氏硬度之測定係使用超微小硬度計（MHA-400，NEC 公司製造），根據上述 JIS 標準將已知維氏硬度 HV 之值之樣本用作基準而進行計測。作為參考，以下例示記載有代表性維氏硬度之文獻。

Handbook of refractory carbides and nitrides: properties, characteristics, processing and applications / Hugh O. Pierson (1996)

Metals Handbook: Properties and Selection: Nonferrous Alloys American Society for Metals, Metals Park, OH (1988)

自該應力傳播抑制效果之觀點而言，導電性硬質膜 110 較佳為具有較焊墊電極 105 及反射層 107 中之任一者之維氏硬度高的維氏硬度 HV。

具體而言，可將維氏硬度 HV 設為 600 Hv 以上，更佳為 1500 Hv 以上，最佳為 2000 Hv 以上。

可將導電性硬質膜 110 之厚度 t 設為 $0.3 \mu\text{m}$ 以上，更佳為 $0.5 \mu\text{m}$ 以上。其原因在於藉此可更確實地獲得本發明之應力傳播抑制效果。

又，導電性硬質膜 110 之厚度 t 較佳為 $2\mu\text{m}$ 以下，更佳為 $1\mu\text{m}$ 以下。其原因在於：若厚度 t 超過 $2\mu\text{m}$ ，則於成本、加工性之方面有不良影響，且電極整體之電阻變高，導致順方向電壓值增加。

再者，本說明書中之膜厚之測定方法係利用觸針式段差計，由晶圓面內之 5 點（於本實施例之 3 英吋基板之情形時為於通過晶圓中央之對角線上、以距晶圓外周為 1cm 內側之 2 點作為兩端之均等距離之 5 點）之測定之平均值求得。

又，於半導體發光元件 100 為通過導電性硬質膜 110 而通電之構成之情形時，導電性硬質膜 110 較佳為低電阻。例如，導電性硬質膜 110 之通電時之電壓降下較佳為半導體層 104 中之閾值電壓以下。更佳為可將 20°C 下之電阻率設為 $10^{-5}\Omega\cdot\text{m}$ 以下，進而較佳為設為 $10^{-6}\Omega\cdot\text{m}$ 以下。再者，導電性硬質膜之通電時之電壓降 V_{d_h} (V) 於直流通電之情形時可簡單地以如下方法求出。

$$V_{d_h} = (\rho_h \times t_h / S_h) \times I$$

ρ_h ：導電性硬質膜之電阻率 ($\Omega\cdot\text{m}$)

t_h ：導電性硬質膜之厚度 (m)

S_h ：導電性硬質膜之面積 (m^2)

I ：通電電流 (A)

通電電流係限定於例如 LED 元件之額定電流以下等常識性範圍內。又，半導體層之閾值電壓較理想為根據 LED 元件之電流－電壓特性求出，但由於實際之 LED 元件之電

流－電壓特性中亦存在寄生電阻等之影響，故而於本說明書中簡易地定義為與主發光波長相當之光能量除以電荷 q 所得者。

作為導電性硬質膜 110 之具體材料，可列舉含 Ti、Ta、Cr、W、Mo、V 中之任一者之單體或氮化物，更具體而言可列舉 TiN、Ta、Ta₃N₅、WN 等。尤其最佳為 TiN。TiN 不僅較硬、具有導電性，且濕式蝕刻特性優異，因此為易於處理之材料。

如圖 1 所示，較佳為以焊墊電極 105 與歐姆電極 109 不直接接觸之方式於兩者之間設置導電性硬質膜 110。其原因在於藉此可抑制來自歐姆電極 109 或半導體發光元件 100 之雜質（例如，Ga、As、Ge）向焊墊電極 105 擴散。

作為構成焊墊電極 105 之較佳材料，最上面可列舉 Au 線熔接用 Al、Au 材料等，較佳為於作為密接層之 Ti 上依序形成有 Au 之 Ti/Au 電極。Ti 層只要為發揮作為密接層之功能之厚度即可，例如具有 50～200 nm 之厚度。Au 層較佳為具有 1～3 μ m 之厚度。Ti 層通常具有 70～250 Hv 之範圍之維氏硬度，Au 層通常具有 20～30 Hv 之範圍之維氏硬度。

下部電極 116 係自形成與支撐基板 115 之歐姆接合之材料中選擇，例如於選擇 n 型 GaAs 作為支撐基板之情形時，可選擇 AuGe/Ni/Au 之積層等。於將金屬基板用作支撐基板 115 之情形時，亦可選擇不存在下部電極之構造。

（半導體發光元件 100 之製造方法）

其次，使用圖 3 說明半導體發光元件 100 之製造方法之一例。首先，如圖 3 (a) 所示，於 GaAs 基板等成長用基板 120 上形成半導體層 104。半導體層 104 係藉由例如 MOCVD 法等使由上述材料所構成之 n 型半導體層 101、發光層 102 及 p 型半導體層 103 依序進行磊晶成長而形成。

繼而，如圖 3 (b) 所示，於半導體層 104 上形成特定圖案之歐姆電極 111。例如藉由利用電阻加熱之蒸鍍法或電子束蒸鍍等使上述材料成膜，並藉由光微影形成抗蝕圖案後，進行蝕刻，而形成特定圖案，其後進行接觸退火 (RTA: Rapid Thermal Annealing)。其後，於未形成歐姆電極之半導體層 104 上，形成絕緣膜 112。其係例如將上述材料藉由電漿 CVD 法或濺鍍法等形成而獲得。其後，藉由光微影形成僅歐姆電極部開口之抗蝕圖案，以特定之蝕刻液對絕緣膜進行濕式蝕刻而於絕緣膜形成通電用開口部。其後，藉由例如濺鍍法等形成反射層 113。於反射層 113 上，藉由蒸鍍等方法形成例如 Au 等作為第 1 金屬接合層 114a (半導體層側接合層)。

繼而，如圖 3 (c) 所示，將於背面形成有下部電極 116 且於表面形成有第 2 金屬接合層 114b (支撐基板側接合層) 之支撐基板 115、與圖 2 (b) 所示之基板接合。具體而言，藉由將第 1 金屬接合層 114a 與第 2 金屬接合層 114b 接合並進行加熱，從而兩基板於金屬接合層 114 處接合。再者，第 2 金屬接合層 114b 向支撐基板 115 上之形成可利用與第 1 金屬接合層 114a 相同之方法進行。下部電極 116 向支撐基

板 115 上之形成係藉由利用例如濺鍍法或電子束蒸鍍法等使上述材料成膜而進行。

其後，研磨成長用基板 120，進而進行蝕刻，藉此將成長用基板 120 除去。

繼而，如圖 3 (d) 所示，於半導體層 104 上形成由特定圖案之歐姆電極 109 所構成之接觸部。例如使上述材料藉由例如利用電阻加熱之蒸鍍法等成膜，並藉由光微影形成抗蝕圖案後，進行蝕刻，而形成特定圖案，其後進行接觸退火 (RTA: Rapid Thermal Annealing)。再者，於本說明書中所謂「利用電阻加熱之蒸鍍」係指藉由於真空中加熱金屬並使其蒸發而進行蒸鍍之方法，且係指為了加熱蒸鍍金屬，而對裝載蒸鍍金屬之高熔點材料之台 (例如鎢之線或舟) 進行通電，以由金屬電阻產生之熱來達到高溫之方法。

繼而，如圖 3 (e) 所示，藉由於半導體層 104 上形成作為電流遮斷層之透光性絕緣層 106，並於透光性絕緣層 106 上形成反射層 107，而形成與接觸部 109 相接之反射部 108。具體而言，藉由光微影法形成僅歐姆電極 109 中央之圓形電極內部開口之抗蝕圖案，藉由濺鍍法或電漿 CVD 法等使透光性絕緣膜 106 成膜，進而藉由濺鍍法、電子束蒸鍍法、或利用電阻加熱之蒸鍍法等使反射層 107 成膜。其後，藉由掀離 (lift off) 將殘留有抗蝕層之部位之絕緣膜及反射層除去。

繼而，如圖 3 (f) 所示，於反射層 107 上形成導電性

硬質膜 110。具體而言，藉由光微影形成僅反射層 107 及歐姆電極 109 中央之圓形電極部分開口之抗蝕圖案，藉由濺鍍法等使導電性硬質膜 110 成膜。進而，於導電性硬質膜 110 上，藉由例如濺鍍法、電子束蒸鍍法、或利用電阻加熱之蒸鍍法等使焊墊電極 105 成膜。其後，藉由掀離將殘留有抗蝕層之部位之導電性硬質膜及焊墊電極除去。

最後，形成台面圖案 (mesa pattern) 後，進行切割，可製作使用有半導體發光元件 100 之 LED 元件。

至此為止，作為本發明之一實施形態，說明了作為晶圓貼合型 LED 元件之半導體發光元件 100 及其製造方法，但本發明並不限於晶圓貼合型 LED 元件。又，上述任一者均為表示代表性實施形態之例者，本發明並不限定於該等實施形態。又，以下使用實施例進一步詳細說明本發明，但本發明並不受以下之實施例任何限定。

[實施例]

(實施例 1)

以圖 3 所示之方法製作本發明之半導體發光元件。首先，於由 GaAs 所構成之成長用基板上，藉由 MOCVD 法形成由 n 型半導體層 (厚度： $7.5\ \mu\text{m}$ ，AlGaAs 材料)、發光層 (總厚度： $50\ \text{nm}$ ，AlGaInAs 材料) 及 p 型半導體層 (厚度： $2\ \mu\text{m}$ ，AlGaAs 材料) 所構成之半導體層。繼而，於 p 型半導體層上藉由利用電阻加熱之蒸鍍法使 AuZn (厚度： $200\ \text{nm}$) 成膜，並藉由光微影進行圖案化，於 420°C 下進行接觸退火，而形成歐姆電極。其後，藉由電漿 CVD 法於未

形成歐姆電極之 p 型半導體層上形成由 SiN 所構成之絕緣膜。其後，藉由電子束蒸鍍法形成反射層（厚度：750 nm，Au 材料）。進而，藉由蒸鍍形成 Ti/Au（厚度：100 nm/1 μ m）作為半導體層側接合層。

與上述不同，另外於由 GaAs 材料所構成之支撐基板之兩面藉由利用電阻加熱之蒸鍍法形成歐姆電極（厚度：200 nm，AuGe/Ni/Au 材料），將其中一者設為下部電極，於另一者之面上藉由電子束蒸鍍法形成 Ti/Au（厚度：100 nm/1 μ m）作為支撐基板側接合層。繼而，使半導體層側接合層與支撐基板側接合層接著，並於 400°C 下加熱 30 分鐘，藉此將兩者接合。其後，研磨成長用基板使其較薄後，利用由氨、雙氧水、及水所構成之蝕刻液進行蝕刻，藉此將成長用基板完全除去。

繼而，於因成長用基板之除去而露出之 n 型半導體層上，藉由利用電阻加熱之蒸鍍法使 AuGe/Ni/Au（厚度：90 nm/15 nm/600 nm）成膜，並藉由光微影圖案化為外徑 120 μ m、內徑 90 μ m 之環狀，於 420°C 下進行接觸退火，而形成歐姆電極。其後，除該歐姆電極中央之露出有 n 型半導體層之內徑為 90 μ m 之開口部以外形成抗蝕層，藉由濺鍍法使透光性絕緣膜（厚度：100 nm，AlN 材料）成膜。進而，於該透光性絕緣膜上，藉由電子束蒸鍍法使反射層（厚度：10 nm/500 nm，Cr/Au 材料）成膜。繼而，使用掀離法而於歐姆電極之開口部形成有透光性絕緣膜與反射層。繼而，除由反射層及歐姆電極所構成之直徑 120 μ m 之

面上以外形成抗蝕層。使用濺鍍裝置 SPC-350 (ANELVA 公司製造, DC 磁控, 輸出為 100 W), 於室溫下且於含有氮氣之 Ar 氣體環境 (N_2 : 0.9 sccm, Ar: 36 sccm) 中濺鍍純 Ti 靶 (純度為 3 N, 高純度化學研究所製造), 藉此使導電性硬質膜 (厚度 t : $0.50\ \mu\text{m}$, TiN 材料) 成膜。藉由 ESCA (Electron Spectroscopy for Chemical Analysis) 確認到所成膜之 TiN 為具有金色且 Ti 與 N 之比為 1:1 之 TiN 膜。其後, 進而藉由電子束蒸鍍法使焊墊電極 (厚度: $100\ \text{nm}/1.5\ \mu\text{m}$, Ti/Au 材料) 成膜。繼而, 使用掀離法而形成焊墊電極。最後, 於利用光微影之圖案化之後, 藉由利用磷酸及雙氧水之混合液進行蝕刻而形成台面圖案, 進行切割而製作本發明之半導體發光元件 (LED 元件)。再者, 該 LED 元件之發光波長為 $850\ \text{nm}$ 。

因作為導電性硬質膜之 TiN 之維氏硬度 HV 為 2100 Hv, 故 $HV \times t = 1050 (> 630)$ 。又, 焊墊電極及反射層之維氏硬度分別為 22 Hv。

(實施例 2)

將作為導電性硬質膜之 TiN 之厚度設為 $0.75\ \mu\text{m}$, 除此以外藉由實施例 1 之方法, 製作本發明之半導體發光元件。 $HV \times t = 1575$ 。

(實施例 3)

將作為導電性硬質膜之 TiN 之厚度設為 $1.00\ \mu\text{m}$, 除此以外藉由實施例 1 之方法, 製作本發明之半導體發光元件。 $HV \times t = 2100$ 。

(實施例 4)

將靶設為純鎢 (W) 靶 (純度為 3N, 高純度化學研究所製造) 而代替 Ti, 於室溫且 Ar 環境下進行濺鍍, 將厚度為 $2.00\ \mu\text{m}$ 之純 W 膜設為導電性硬質膜, 除此以外藉由實施例 1 之方法, 製作本發明之半導體發光元件。因鎢之維氏硬度 HV 為 350 Hv, 故 $HV \times t = 700$ 。

(比較例 1)

不形成透光性絕緣層、反射層、及導電性硬質膜, 除此以外藉由實施例 1 之方法, 製作焊墊部之層構造如圖 4 (a) 所示之半導體發光元件 200。該半導體元件 200 係於半導體層 204 上形成由不具有開口部之圓形電極 (AuGe/Ni/Au 材料) 所構成之歐姆電極 209, 並於其上形成焊墊電極 205。

(比較例 2)

不形成導電性硬質膜, 除此以外藉由實施例 1 之方法, 製作焊墊部之層構造如圖 4 (b) 所示之半導體發光元件 300。該半導體發光元件 300 係於半導體層 304 上形成由透光性絕緣層 306/反射層 307 所構成之反射部、及由歐姆電極 309 所構成之接觸部, 且於不形成導電性硬質膜之情況下形成焊墊電極 305。

(比較例 3)

藉由電子束蒸鍍形成厚度為 $1.00\ \mu\text{m}$ 之 Pt 代替作為導電性硬質膜之 TiN, 除此以外藉由實施例 1 之方法, 製作焊墊部之層構造如圖 4 (c) 所示之半導體發光元件 400。該半

導體發光元件 400 係於半導體層 404 上形成由透光性絕緣層 406／反射層 407 所構成之反射部、及由歐姆電極 409 所構成之接觸部，且形成 Pt 膜 410，其後形成焊墊電極 405。因 Pt 之維氏硬度為 41 Hv，故 $HV \times t = 41$ 。

(比較例 4)

對於實施例 1 之導電性硬質膜部分以厚度 $1.00 \mu\text{m}$ 形成鎢 (W)，除此以外藉由實施例 1 之方法，製作半導體發光元件。 $HV \times t = 350$ 。

(比較例 5)

將作為導電性硬質膜之 TiN 之厚度設為 $0.10 \mu\text{m}$ ，除此以外藉由實施例 1 之方法，製作半導體發光元件。因 TiN 之維氏硬度 HV 為 2100 Hv，故 $HV \times t = 210$ 。

(比較例 6)

將作為導電性硬質膜之 TiN 之厚度設為 $0.30 \mu\text{m}$ ，除此以外藉由實施例 1 之方法，製作半導體發光元件。 $HV \times t = 630$ 。

(參考例)

進而，作為參考例，形成導入有「維氏硬度處於 W 與 TiN 中間的蒸鍍之 Si 膜」作為硬質膜之元件，以確認 $HV \times t$ 之邊界值。因蒸鍍之 Si 膜為半絕緣性，故並不符合申請專利範圍之「導電性硬質膜」，至多作為剝離防止效果之確認而實施。Si 係藉由電子束蒸鍍以 $10 \text{ \AA}/\text{sec}$ 之速率進行蒸鍍。於蒸鍍起始真空度為 $1.0\text{E}^{-4} (\text{Pa})$ 、基板溫度為 $25 \sim 35^\circ\text{C}$ 下進行蒸鍍。蒸鍍 Si 膜係藉由超微小硬度計而計測維氏

硬度， $HV = 1150$ 。

(參考例 1)

藉由電子束蒸鍍形成厚度為 $0.4\ \mu\text{m}$ 之 Si 代替作為導電性硬質膜之 TiN，除此以外藉由實施例 1 之方法，製作半導體發光元件。 $HV \times t = 460$ 。

(參考例 2)

藉由電子束蒸鍍形成厚度為 $0.6\ \mu\text{m}$ 之 Si 代替作為導電性硬質膜之 TiN，除此以外藉由實施例 1 之方法，製作半導體發光元件。 $HV \times t = 690$ 。

(參考例 3)

藉由電子束蒸鍍形成厚度為 $0.8\ \mu\text{m}$ 之 Si 代替作為導電性硬質膜之 TiN，除此以外藉由實施例 1 之方法，製作半導體發光元件。 $HV \times t = 920$ 。

(評價方法)

將實施例 1~4、比較例 1~6 及參考例 1~3 之半導體發光元件分別製作 20 個，並分別進行打線接合。

打線接合係將 Au 線穿入毛細管中，藉由加熱而於毛細管之前端部製作 Au 線凝集變圓而成之球，一面對該球施加負荷及超音波，一面將其按壓於焊墊電極，藉此於焊墊電極上接合 Au 線。利用打線接合機 (WEST-BOND 公司製造，MODEL-7700D)，接合直徑為 $25\ \mu\text{m}$ 之 Au 線。負荷設為 $0.7\ \text{N}$ ，超音波施加時間設為 $60\ \text{ms}$ ，超音波之輸出設為 $1.0\ \text{W}$ 。各實施例、比較例中算出接合後於焊墊部分發生剝離者之比率，將結果示於表 1 之「接合後剝離率」。

製作 20 個接合有 Au 線之各實施例、比較例、參考例之半導體發光元件，對各半導體發光元件進行焊球剪切試驗。焊球剪切試驗係以金屬爪於橫方向上將藉由打線接合而於與焊墊電極之接合部形成之 Au 球切斷，根據該切斷所需之負荷（焊球剪切強度）測定接合強度之試驗，且依據「Wire Bond Shear Test Method」之 EIA/JESD22-B116 標準進行測定。使用萬能型剪切試驗機（DAGE 公司製造，4000PXY），於剪切速度 $100\ \mu\text{m}/\text{s}$ 、剪切高度 $10\ \mu\text{m}$ 下進行試驗。再者，剪切速度係指使爪於橫方向上滑動移動之速度，剪切高度係指自焊墊電極表面至爪前端部之高度。將各實施例、比較例、參考例中 20 個試樣之焊球剪切強度之中間值示於表 1 之「焊球剪切強度」。又，於各實施例、比較例、參考例中算出試驗後於焊墊部分發生自絕緣膜之剝離（絕緣層／半導體層間、絕緣層／反射層間、或於該兩部位之剝離）者之比率，將結果示於表 1 之「焊球剪切後剝離率」。又，繪製比較例 2（TiN=0 nm）、比較例 5、6（TiN=100 nm、300 nm）及實施例 1~3（TiN=500 nm、750 nm、 $1\ \mu\text{m}$ ）之焊球剪切強度及焊球剪切後剝離率，將所得圖表示於圖 5。

測定使用恆定電流電壓電源對由各實施例、比較例所得之半導體發光元件流通 20 mA 之電流時之順方向電壓 V_f 、及藉由積分球所得之發光輸出 P_o ，將 10 個試樣之測定結果之中間值之結果示於表 1。

[表 1]

	試樣					試驗結果				
	試樣構成	插入膜			維氏硬度×厚度 (Hv·μm)	接合後 剝離率 (%)	焊球剪切 後剝離率 (%)	焊球剪切 強度 (g)	Po (mW)	Vf (V)
		材料	Hv	厚度 (μm)						
比較例 1	圖 4 (a)	—	—	—	—	—	—	110	6.5	1.47
比較例 2	圖 4 (b)	—	—	—	—	5	100	60	7.5	1.50
比較例 3	圖 4 (c)	Pt	41	1.00	41	0	90	70	7.5	1.50
比較例 4	圖 1	W	350	1.00	350	0	80	75	7.5	1.50
比較例 5	圖 1	TiN	2100	0.10	210	5	95	60	7.5	1.50
比較例 6	圖 1	TiN	2100	0.30	630	0	70	75	7.5	1.50
實施例 1	圖 1	TiN	2100	0.50	1050	0	10	110	7.5	1.50
實施例 2	圖 1	TiN	2100	0.75	1575	0	0	110	7.5	1.50
實施例 3	圖 1	TiN	2100	1.00	2100	0	0	110	7.5	1.50
實施例 4	圖 1	W	350	2.00	700	0	5	110	7.5	1.52
參考例 1	圖 1	Si	1150	0.4	460	0	70	75	—	—
參考例 2	圖 1	Si	1150	0.6	690	0	25	100	—	—
參考例 3	圖 1	Si	1150	0.8	920	0	0	110	—	—

(評價結果)

如表 1 所示，比較例 1 與其他試驗例相比順方向電壓 V_f 及發光輸出 P_o 較低。其原因在於，於焊墊部正下方未設置透光性絕緣膜及反射層。另一方面，比較例 2 中因於焊墊部正下方設置有透光性絕緣膜及反射層，故與比較例 1 相比可獲得高輸出。然而，於打線接合後，一部分試樣中於焊墊部觀察到剝離，於焊球剪切試驗後所有試樣中均於焊墊部發生自絕緣膜之剝離。焊球剪切強度亦較低。如上述般於接合後發生剝離者不合適作為製品，較理想為接合後剝離率為 0%。

又，維氏硬度 HV 與厚度 t 之乘積為 $630\text{ Hv} \cdot \mu\text{m}$ 以下之比較例 3~6 及參考例 1 亦與比較例 2 同樣為焊墊部之機械可靠性較低。於比較例 3 中，原因在於 Pt 膜為 41 Hv 之維氏硬度較低之導電性材料，伴隨打線接合而 Pt 膜亦發生較大之塑性變形，無法緩和於焊墊部產生之應力。又，雖於比較例 4 中插入有維氏硬度較高之 W 膜，於比較例 5 中插入有維氏硬度較高為 2100 Hv 之 TiN 膜，但原因在於任一者之厚度均不充分而膜破裂，同樣無法緩和於焊墊部產生之應力。如上所述，若不使用滿足本發明之條件之導電性硬質膜，則無法獲得作為製品之充分之焊墊部之機械可靠性。

另一方面，關於維氏硬度 Hv 與厚度 t 之乘積大於 $630\text{ Hv} \cdot \mu\text{m}$ 之實施例 1~4 及參考例 2、3，接合後剝離率均為 0%，進而，與比較例 2~6 相比，焊球剪切試驗後剝離率較

低，焊球剪切強度較高。即，於實施例 1~4 及參考例 2、3 中，可獲得於焊墊部幾乎未發生剝離之結果。其原因在於：W 為 350 Hv、Si 為 1150 Hv、TiN 為 2100 Hv 之維氏硬度較高之材料，且具有於膜之構造上亦具有充分強度之厚度，藉此可緩和伴隨打線接合而於焊墊部產生之應力。又，因 TiN 之電阻率 ($21.7 \times 10^{-8} \Omega \cdot m$) 較低，故亦不會使順方向電壓 Vf 上升。然而，若為 W 則順方向電壓 Vf 稍有上升。電阻率較小、一般為 $5.29 \times 10^{-8} \Omega \cdot m$ (R.T.) 之鎢使順方向電壓 Vf 上升之情形表示：與於較低之硬度下充分之強度所需之厚度較大的情形相比，於較高之硬度下充分之強度所需之厚度較小時順方向電壓 Vf 上升之風險較小。

[產業上之可利用性]

根據本發明，藉由於反射層與焊墊電極之間配置當將維氏硬度設為 HV (Hv)、厚度設為 t (μm) 時 $HV \times t > 630$ 之導電性硬質膜，經由上述作用，可在將焊墊電極造成之遮光設為最小限度之狀態下，抑制伴隨打線接合而生之焊墊部分之剝離。

【圖式簡單說明】

圖 1 係放大表示本發明之半導體發光元件 100 之焊墊部分之示意剖面圖。

圖 2 (a) 係表示本發明之半導體發光元件 100 之示意剖面圖，圖 2 (b) 係於 (a) 所示之半導體發光元件 100 中除去焊墊電極 105 及導電性硬質膜 110 之狀態之俯視圖，且係說明歐姆電極之配置關係之圖。

圖 3 係表示本發明之半導體發光元件 100 之製造步驟之一例之示意剖面圖。

圖 4 (a) 係表示比較例 1 之半導體發光元件 200 之示意剖面圖，圖 4 (b) 係表示比較例 2 之半導體發光元件 300 之示意剖面圖，圖 4 (c) 係表示比較例 3 之半導體發光元件 400 之示意剖面圖。

圖 5 係表示於實施例中，作為導電性硬質膜 110 之 TiN 之膜厚與焊球剪切試驗之剪切強度及剝離率之關係之圖表。

【主要元件符號說明】

100、200、300、400	半導體發光元件
101	n 型半導體層（第 1 導電型半導體層）
102	發光層（發光部）
103	p 型半導體層（第 2 導電型半導體層）
104、204、304、404	半導體層
105、205、305、405	焊墊電極
106、306、406	透光性絕緣層
107、307、407	反射層
108、308、408	反射部
109、209、309、409	歐姆電極（接觸部）
110、410	導電性硬質膜
111	歐姆電極
112	絕緣膜
113	反射層

114	金屬接合層
114a	第 1 金屬接合層
114b	第 2 金屬接合層
115	支撐基板
116	下部電極
120	成長用基板

104年4月14日 修正 頁(本)
對線

七、申請專利範圍：

1.一種半導體發光元件，具有包含發光部之半導體層、及位於該半導體層上之焊墊電極，其特徵在於：

於該半導體層與該焊墊電極之間，具有：

反射部，其包含位於該半導體層上之作為電流遮斷層的透光性絕緣層、及位於該透光性絕緣層上之反射層；及

接觸部，其由位於該半導體層上且與該反射部相接之歐姆電極構成；於該反射層與該焊墊電極之間具有導電性硬質膜，當將該導電性硬質膜之維氏硬度設為 HV(Hv)、厚度設為 $t(\mu\text{m})$ 時，維氏硬度 HV 為 1500 Hv 以上且厚度 t 為 $2\mu\text{m}$ 以下， $HV \times t > 630$ 。

2.如申請專利範圍第 1 項之半導體發光元件，其中，該導電性硬質膜具有較該焊墊電極及該反射層中之任一者之維氏硬度高的維氏硬度 HV。

3.如申請專利範圍第 1 或 2 項之半導體發光元件，其中，該導電性硬質膜之厚度 t 為 $0.3\mu\text{m}$ 以上。

4.如申請專利範圍第 1 或 2 項之半導體發光元件，其中，該導電性硬質膜係含 Ti、Cr、W、Mo 中之任一者之氮化物。

5.如申請專利範圍第 1 或 2 項之半導體發光元件，其中，該導電性硬質膜之通電時之電壓降下，為該半導體層中之閾值電壓以下。

6.如申請專利範圍第 1 或 2 項之半導體發光元件，其中，該導電性硬質膜覆蓋該反射層之全部及該歐姆電極之至少一部分。

7.如申請專利範圍第 1 或 2 項之半導體發光元件，其中，該歐姆電極係以包圍該反射部之方式形成。

8.一種半導體發光元件之製造方法，該半導體發光元件具

有包含發光部之半導體層、及位於該半導體層上之焊墊電極，該製造方法具有如下步驟：

形成該半導體層；

於該半導體層上形成由特定圖案之歐姆電極構成之接觸部；

於該半導體層上形成作為電流遮斷層之透光性絕緣層，並於該透光性絕緣層上形成反射層，藉此形成與該接觸部相接之反射部；

於該反射層上，形成當將維氏硬度設為 $HV(Hv)$ 、厚度設為 $t(\mu m)$ 時，維氏硬度 HV 為 1500 Hv 以上且厚度 t 為 2 μm 以下， $HV \times t > 630$ 之導電性硬質膜；及

於該導電性硬質膜上形成該焊墊電極。

八、圖式：

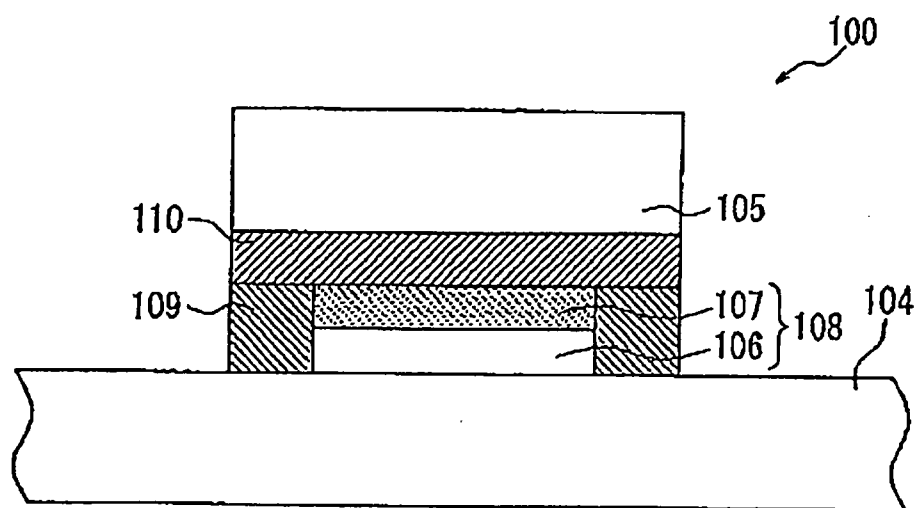


圖 1

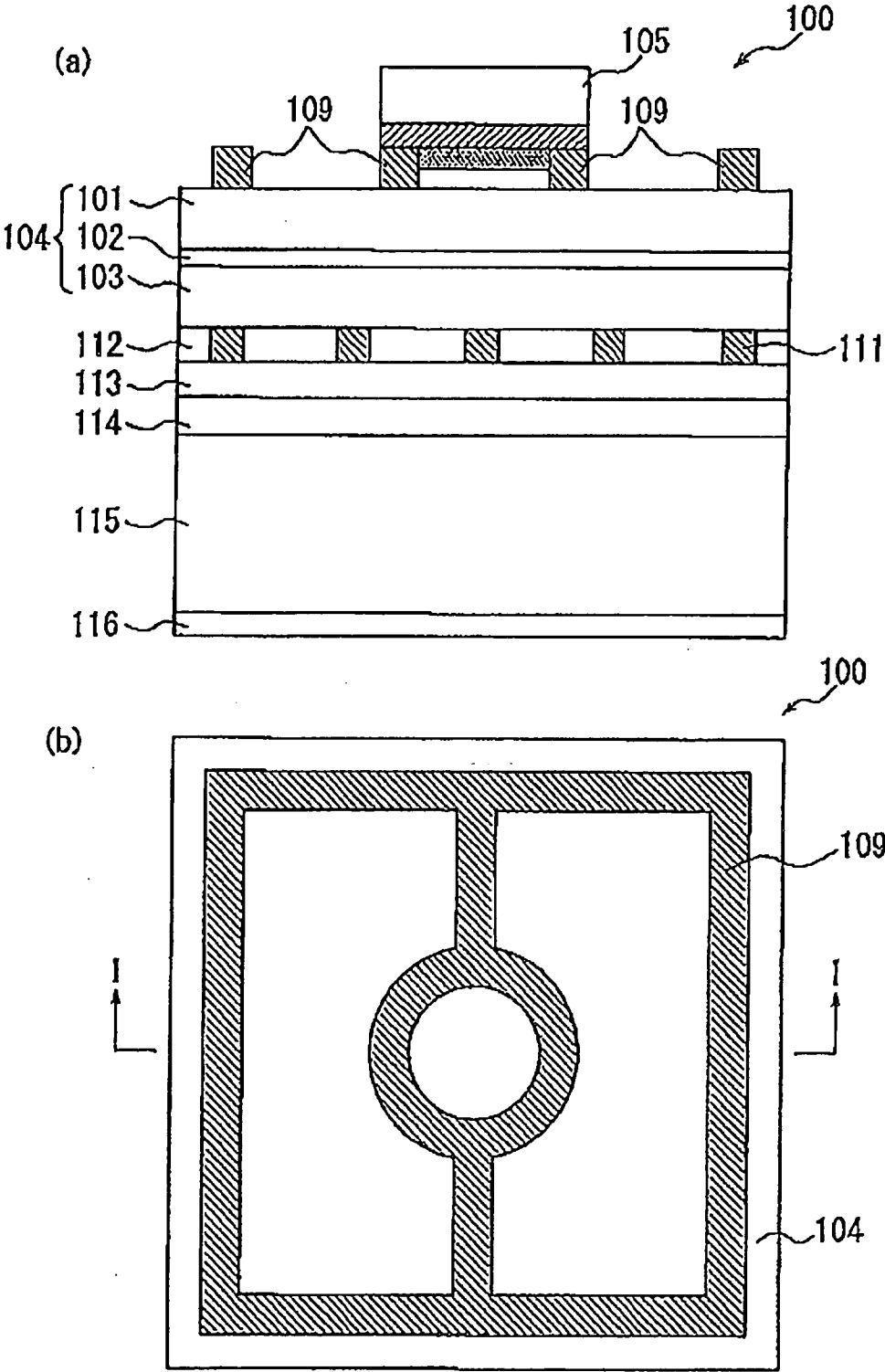


圖 2

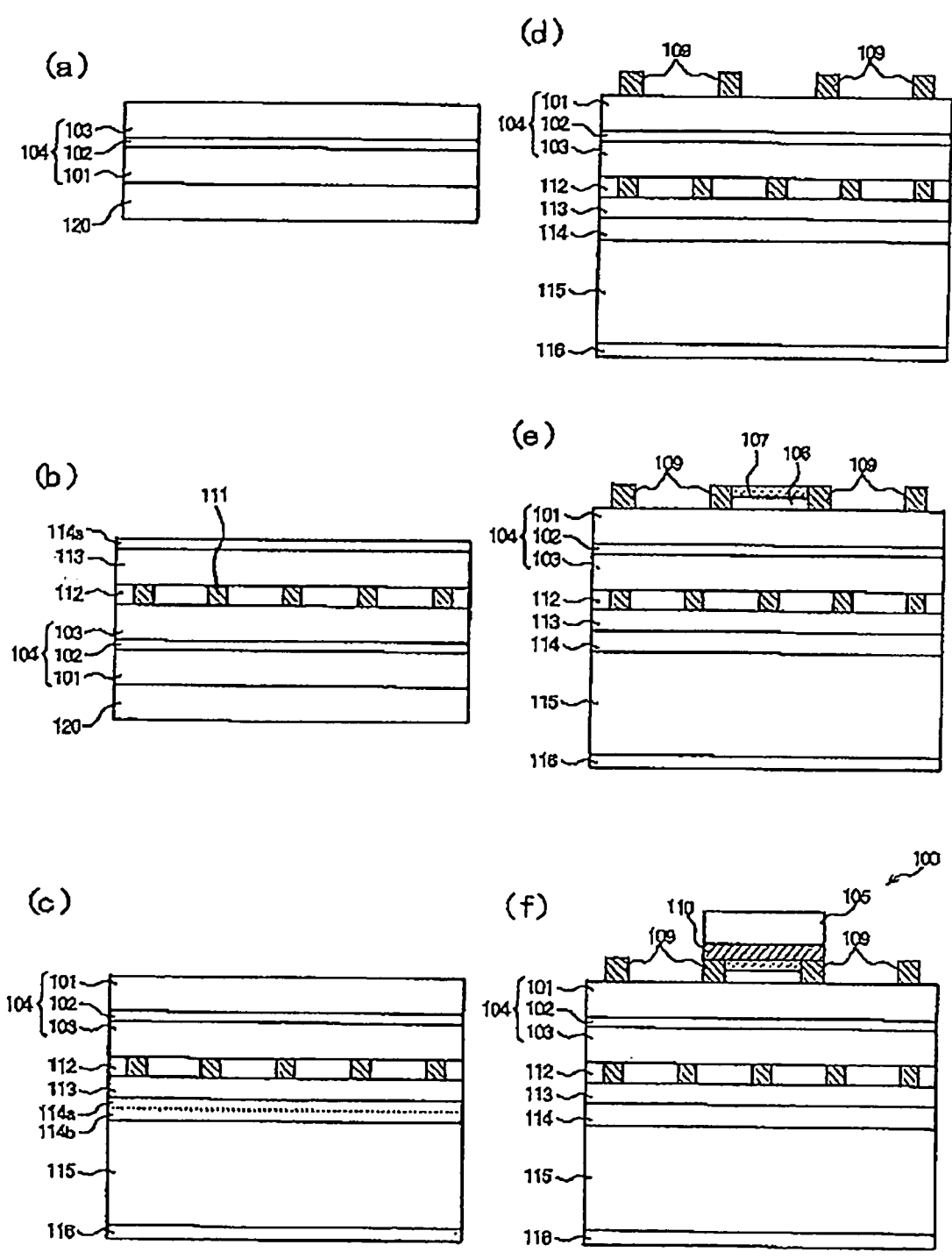


圖3

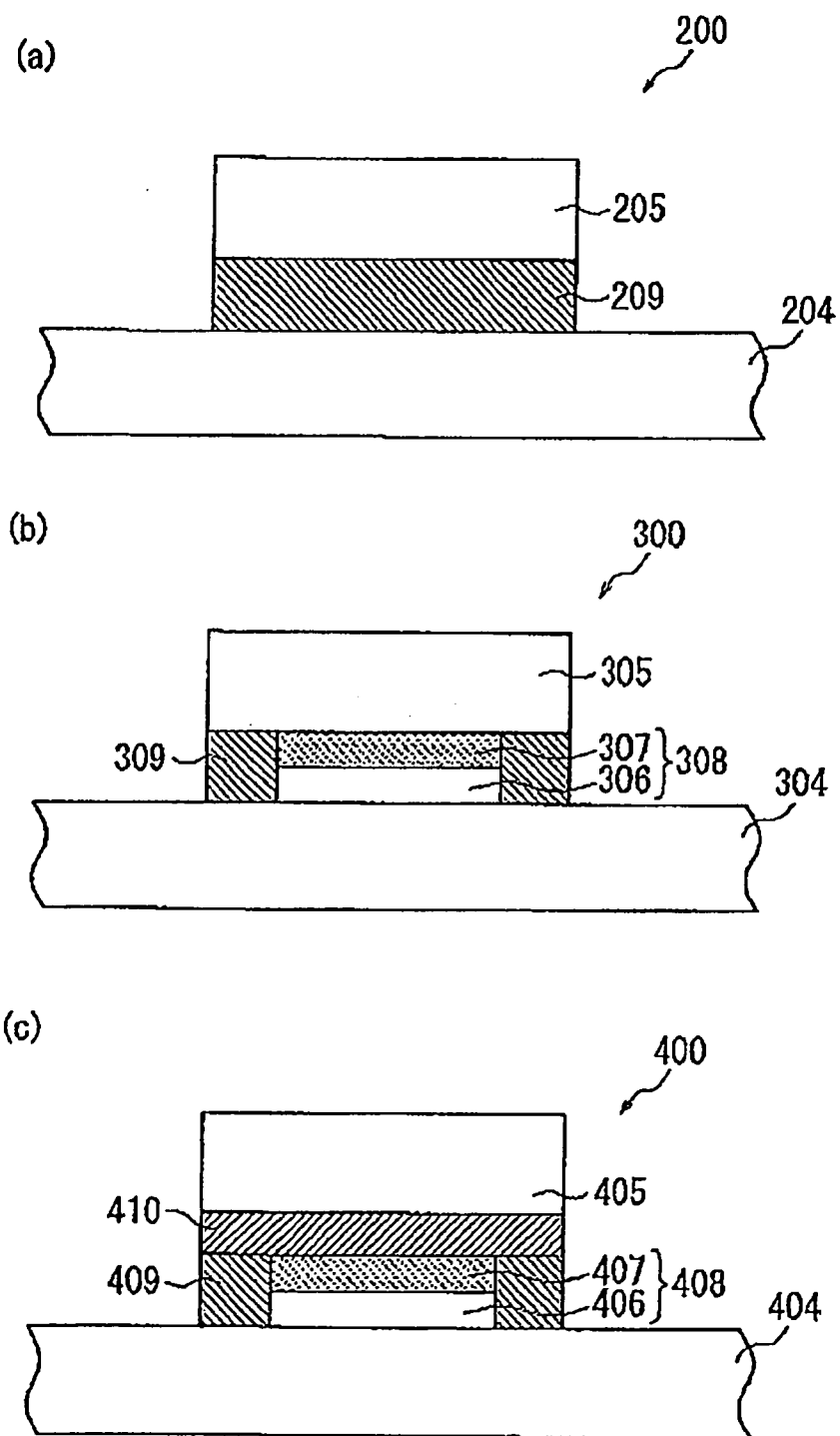


圖 4

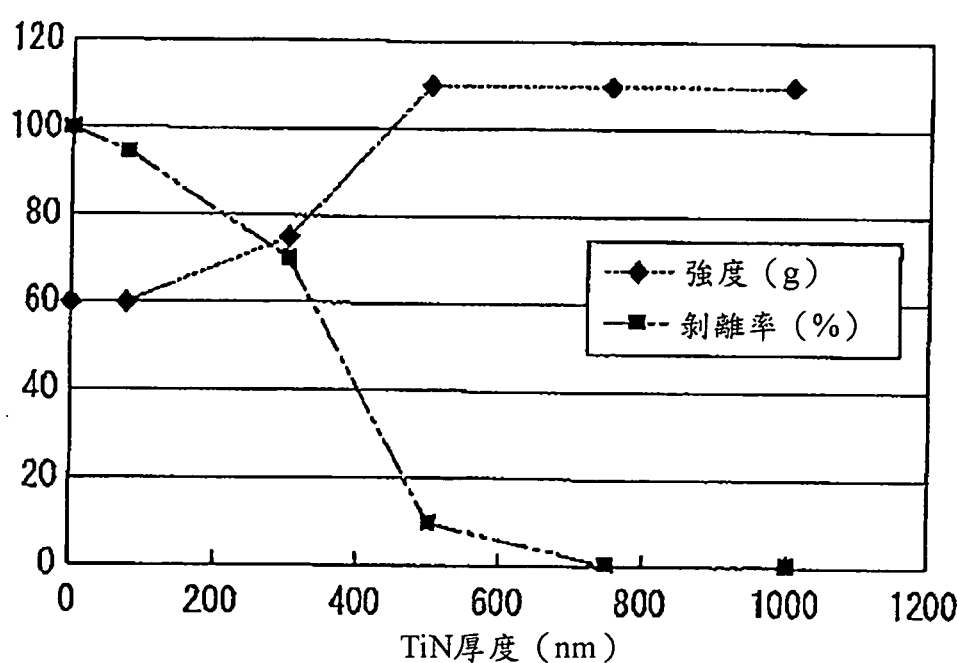


圖5