

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97103958

※ 申請日期：97. 2. 1

※IPC 分類：G11C 5/14 (2006.01)

一、發明名稱：(中文/英文)

用於讀取與寫入容限之彈性電源技術

ELASTIC POWER FOR READ AND WRITE MARGINS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

昇陽微系統股份有限公司/SUN MICROSYSTEMS, INC.

代表人：(中文/英文)

荷本 丹尼爾 / HOPEN, DANIEL

住居所或營業所地址：(中文/英文)

美國加州聖大克萊拉市網路圓環 4150 號

4150 Network Circle, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 6 人)

姓名：(中文/英文)

1. 李又麟 / LIH, YOLIN
2. 巴堤亞 亞傑 / BHATIA, AJAY
3. 溫戴兒 丹尼斯 / WENDELL, DENNIS
4. 劉軍 / LIU, JUN
5. 方丹尼爾 / FUNG, DANIEL
6. 巴拉蘇巴曼尼 區安 / BALASUBRAMANIAN, SHYAM

國籍：(中文/英文)

- | | |
|--------------------|----------------|
| 1. ~3. 美國 / U.S.A. | 5. 美國 / U.S.A. |
| 4. 中國 / CHINA | 6. 印度 / INDIA |

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

- | | | |
|--------|-------------|-------------|
| 1. 美國、 | 2007/02/02、 | 60/888, 006 |
| 2. 美國、 | 2007/10/31、 | 11/932, 555 |
| 3. 美國、 | 2007/10/31、 | 11/932, 643 |
| 4. 美國、 | 2007/10/31、 | 11/932, 967 |
| 5. 美國、 | 2007/11/09、 | 11/938, 196 |

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

參考相關文件

此申請案主張2007年10月31日申請之美國非臨時專利
5 申請案第11/932,967號的“Elastic Power for Read and Write
Margins”與2007年11月9日申請之美國非臨時專利申請案第
11/938,196號的“Elastic Power for Read Margins”。此申請案
亦主張2007年2月2日申請之美國臨時專利申請案第
60/888,006號的“Split Power Switch for Memory Cells”與
10 2007年10月31日申請之美國非臨時專利申請案第
11/932,555號的“Memory Device With Split Power Switch”
及2007年10月31日申請之美國非臨時專利申請案第
11/932,643號的“Method of Selectively Powering Memory
Device”。

15 本發明係有關於讀取與寫入容限之彈性電源技術。

【先前技術】

發明背景

靜態隨機存取記憶體(SRAM)胞元可使用維持著代表
資料值之邏輯狀態的交叉耦合式的邏輯閘被施作。理想
20 上，SRAM胞元應不管電壓、溫度、或其他作業條件地保存
其被儲存之邏輯狀態。不幸的是，現存之SRAM胞元在提供
高程度之讀取穩定性經常是失敗的。

隨著SRAM胞元操作電壓被降低，SRAM胞元之內部節
點可能對讀取干擾是易受傷害的。例如，在讀取作業之際，

內部SRAM節點可能透過存取電晶體上揚至高於SRAM胞元之跳脫電壓而偶然地放電，而造成SRAM胞元偶然地切換邏輯狀態。

靜態雜訊容限(SNM)是一種效能優值 (figure of merit)，其測量讀取穩定性與讀取容限。參見Benton H. Calhoun與Anantha Chandrakasan之*Analyzing Static Noise Margin for Sub-threshold SRAM in 65 nm CMOS*, http://www-mtl.mit.edu/researchgroups/icsystems/pubs/conferences/2005/bcalhoun_esscirc2005_paper.pdf (2005年11月)。亦參見IEEE之SOLID-STATE CIRCUITS期刊第SC-22卷第5期第748-754頁(1987年10月)的Evert Seevinck, Frans J. List, Jan Lohstroh之*Static-Noise Margin Analysis of MOS SRAM Cells*。

基本上，設計者之目標在於可能具有最寬的「眼」之最對稱的SNM曲線。「眼」係為介於形成SNM曲線之最低邏輯高與最高邏輯低電壓值間の間隙。具有最寬的「眼」之最對稱的SNM曲線代表強的讀取穩定性、最適之讀取容限、及最小的讀取干擾。相反地，具有縮小之眼的非對稱圖形代表低的讀取穩定性、最小之讀取容限、及最大的讀取干擾。所以，為改善讀取容限，設計者之目標為要達成可能具有最寬的「眼」之最對稱的SNM曲線。

為使讀取干擾最小化、提高讀取穩定性、改善讀取容限、及改善SNM，設計者可降低SRAM胞元中之NMOS驅動器電晶體與NMOS傳輸電晶體的尺寸間之比值。然而，當

NMOS電晶體在現代製程(如65nm製程)中被製造，來自驅動器與通電晶體間之所欲的比值之變異會是重大的。例如，在65nm製程中被製造之NMOS電晶體中，來自所欲的比值之變異會大到如10：1。這些大變異導致電阻、槽溝長度、臨界電壓、與其他裝置特徵之差異。在尺寸比值與裝置特徵中之大變異為低讀取穩定性的主要成因。

在降低讀取干擾、改善讀取穩定性、與提高讀取容限之一做法中，額外的一對PMOS電晶體被添加至SRAM胞元，使得在SRAM胞元中之PMOS對NMOS電晶體的整體比值被最小化。該額外的一對PMOS亦使SNM曲線為對稱的，形成較寬之「眼」。此做法藉由使SRAM胞元中之電壓計數平衡而使NMOS驅動器與通電晶體間的尺寸比值最小化。雖然添加一對PMOS電晶體稍微減緩讀取穩定性問題，此種做法有其本身之缺點。PMOS電晶體最終變得如此強以致於在SRAM胞元中的節點不應被拉高時將之拉高而導致不良的讀取穩定性。

在降低讀取干擾、改善讀取穩定性、與提高讀取容限之另一做法中，裝置特徵中的變異被在SRAM胞元中被選擇之電晶體(如一通閘電晶體)中的一「雙重應力層」降低。參見美國專利第6,635,936號之Shou-Gwo Wu, Jin-Yuan Lee, Dun-Nian Yaung, Jeng-Han Lee的“SRAM Layout for Relaxing Mechanical Stress in Shallow Trench Isolation Technology”；專利第WO/2007/018780號之Mark Craig, Karsten Wieczorek, Manfred Horstmann的“SRAM Devices

Utilizing Tensile-Stressed Strain Films”。然而，此做法僅由裝置物理層面來限制裝置特徵中之變異。此做法並未應付導致讀取不穩定性、較高讀取干擾、與較低SNM之SRAM胞元中的電壓與尺寸比值之較大問題。

- 5 如可看出地，添加一對PMOS電晶體與目標在於變更SRAM電晶體之裝置特徵的解決之道二者均為有問題的。

【發明內容】

發明概要

所以，在本技藝中存在針對SRAM記憶體胞元提高讀
10 取穩定性、降低讀取干擾、改善SMM、及改善讀取容限之需求。為符合此需求，本發明的一些實施例提供一種記憶體裝置，其包含：一基準電壓；一第一與一第二電源供應線路；具有交叉耦合式的第一與第二邏輯閘之一靜態隨機存取記憶體(SRAM)胞元，以該第一電源供應線路與該第二
15 電源供應線路分別供應該第一與該第二邏輯閘；以及一彈性電源接頭裝置在該第一SRAM胞元的寫入作業之際在該第一電源供應線路與在該第二電源供應線路上提供不同的電力位準，及在一讀取作業之際在該第一電源供應線路與在該第二電源供應線路上提供一可程式之電阻。

20 為了進一步符合此需求，本發明之其他實施例提供一種提供具有一第一與第二電源供應線路的一記憶體裝置之彈性電源接頭裝置，該彈性電源接頭裝置包含：(1)一第一路徑，具有分別在一基準電壓與該等第一及第二電源供應線路間之第一及第二電力差異；(2)第二與第三路徑分別被

耦合於該基準電壓與該等第一及第二電源供應線路間，其中在一寫入作業之際，於該第二路徑或該第三路徑其中之一的電阻被改變，以提供該等第一與第二電源供應線路間之一電力差異；以及(3)第四與第五路徑分別被耦合於該基準電壓與該等第一及第二電源供應線路間，其中在一讀取作業之際，一可程式的電阻在該第四路徑或該第五路徑的被選擇之一中被提供。

本發明之各種實施例包括操作上面或類似的記憶體裝置之方法，及使用硬體描述語言(HDL)來描述上面或類似的記憶體裝置之電腦可讀取的媒體。

圖式簡單說明

第1圖為一概念性之方塊圖，顯示依照本發明之實施例的一電路100，其中數個彈性電源接頭裝置被連接至一彈性電源接頭裝置。

第2圖顯示依照本發明之實施例的一電路200，適用於第1圖中之任一SRAM胞元110。

第3圖顯示依照本發明之實施例的一電路300，其施作一彈性電源接頭裝置。

第4圖顯示依照本發明之實施例的一電路400，其亦可被用以施作第1圖之彈性電源接頭裝置180。

第5圖顯示依照本發明之實施例的另一電路500，其施作第1圖之彈性電源接頭裝置180。

第6圖顯示依照本發明之實施例的另一電路600，其提供一低進行中之脈衝，其可被用以在一讀取或寫入作業之

際於第1圖之彈性電源接頭裝置180中提供寫入賦能信號425。

第7圖顯示一內容可定位址的記憶體(CAM)胞元之一例，其可使用上面被揭露的SRAM胞元電路被施作。

- 5 為允許該等圖間之交互參照，圖中的類似之元件被提供類似的元件編號。

【實施方式】

較佳實施例之詳細說明

- 依照本發明，該彈性電源接頭裝置改善如SRAM胞元
10 之一記憶胞元的讀取容限與讀取穩定性。特別是，此處被描述之一彈性電源接頭裝置作用成為一可程式的電阻，以允許該等電源供應線路不須遭遇臨界值下降地到達等於所欲之基準電壓的電壓。所以，本發明之一種彈性電源接頭裝置提供在讀取容限與讀取穩定性二者中的額外彈性。該
15 額外彈性亦可以被用以細微調諧及控制該讀取容限之調整電壓被改變。

- 第1圖為一概念性之方塊圖，顯示依照本發明之實施例的一電路100，其中數個彈性電源接頭裝置被連接至一彈性電源接頭裝置180。用於彈性電源接頭裝置180之數個可能的
20 的電路如在此處進一步被描述地在第3至5圖中被顯示。

在第1圖中，SRAM胞元110之每一個被連接至電源供應線路125與135。在一實施例中，每一個SRAM胞元110可用交叉耦合式的邏輯閘(如交叉耦合式的反相器)被施作。彈性電源接頭裝置180亦可作用成為「分割電力切換器」，其由

電源電壓120(V_{dd})提供電源供應線路125與135之電壓。分割電力切換器例如在2007年2月2日申請之美國專利申請案第60/888,006號的“Split Power Switch for Memory Cells”(共同審理中之申請案)中被討論。在分割電力切換器中，電源供應線路125與135之電壓為稍微不同以促進寫入SRAM胞元。該共同審理中之申請案的揭露因而在此處以參考文獻被納入以提供分割電力技術之背景。

彈性電源接頭裝置180在響應一條或多條控制信號150下選擇性地調整被提供至電源供應線路125與135之電壓。在一實施例中，彈性電源接頭裝置180可被組配以在一讀取作業之際實質地提供基準電壓120，而允許電源供應線路125與135之一的電壓在SRAM胞元110的寫入作業之際下降。

雖然SRAM胞元110在第1圖中被顯示成為被連接至單一分割電力切換器之單行的記憶體胞元，其被了解第1圖僅是說明性的。在一典型之施作中，額外群組的SRAM胞元110連接至電源供應線路125與135，及額外的彈性電源接頭裝置180可被用以提供電力至這些額外群組的SRAM胞元110。替選的是，額外的SRAM胞元110可在用單一彈性電源接頭裝置180控制下共用電源供應線路125與135。進一步言之，單一行之記憶體胞元可被分割成為多重的子行，每一個子行具有其本身之電源供應線路125與135但共用同一位元線路。

如在第1圖中亦被顯示地，位元線路270與280可由每一個SRAM胞元110-1至110-N被連接。關於此點，SRAM胞元

110-1至110-N可共用位元線路270與280。然而在其他實施例中，位元線路可不被SRAM胞元110-1至110-N共用。例如，在一實施例中，一第一組位元線路可被提供至SRAM胞元110-1與110-2，及一第二組位元線路可被提供至SRAM胞元110-N。在此一實施例中，SRAM胞元110-1與110-2可使用與SRAM胞元110-N所使用者分離之位元線路。在其他實施例中，被共用及/或不被共用的任一所欲之組合可被使用。

第2圖顯示依照本發明之實施例之一電路200，其施作適用於第1圖中之任一SRAM胞元110。如在第2圖被顯示地，電路200包括交叉耦合式的反相器225與245，分別被PMOS電晶體210與230及NMOS電晶體220與240施作。PMOS電晶體210連接至電源供應線路135，而PMOS電晶體230連接至電源供應線路125。NMOS電晶體之每一個連接至基準電壓295(V_{ss})，其例如可對應於接地。第2圖進一步顯示n井與p井電壓205與215(分別以 V_{nw} 與 V_{pw} 被標示)，每一個可與基準電壓120或基準電壓295其中之一不同。n井電壓205必須大於或等於電源供應線路125或135的最大值。n井電壓205經常為與基準電壓120(V_{dd})之同一線路。N井電壓205不為與電源供應線路125或135其中之一之同一線路，但其可發生具有與電源供應線路125或135其中之一相同的電壓。

存取或傳輸電晶體250與260分別連接至句組線路290與位元線路270及280、與節點255及265。在電路200中，為維持被儲存之邏輯狀態，彈性電源接頭裝置180提供之每一條電源供應線路125與135的電壓大約為基準電壓120。在讀

取作業之際彈性電源接頭裝置180維持每一條電源供應線
路125與135的電壓大約為基準電壓120。在讀取作業之際，
位元線路270與280被預先充電至一中間電壓，及句組線路
290然後被設定邏輯高電壓，使得存取電晶體250與260變為
5 傳導的以允許反相器225與245驅動在節點255與265之被儲
存的邏輯值至位元線路270與280。

在寫入作業之際，為允許被較高電壓呈現之邏輯狀態
(「邏輯高值」)將於節點255中被建立(相對於被較低電壓呈
現之邏輯狀態(「邏輯低值」)將於節點265中被建立)，彈性
10 電源接頭裝置180允許電源供應線路125之電壓落到低於基
準電壓120，而維持電源供應線路135之電壓大約為基準電
壓120。在此例中，節點255與265分別初步地為邏輯低值與
邏輯高值。在此邏輯狀態中，NMOS電晶體220與PMOS電
晶體230為傳導的，而PMOS電晶體210與NMOS電晶體240
15 為非傳導的。在寫入作業之際，由於句組線路290被驅動為
邏輯高值以接通存取電晶體250與260，位元線路270與280
分別被適當之寫入電路(未畫出)驅動為邏輯高值與邏輯低
值。因之，位元線路280將節點260由邏輯高值拉低為邏輯
低值。由於PMOS電晶體起初為傳導的，其電流作用以在節
20 點265拉高電壓。然而，以電源供應線路落到低於基準電壓
120形成比較少之電流在電晶體230中流動的結果，位元線
路280可在PMOS電晶體210上更迅速地接通，其依次接通
NMOS電晶體240以拉低節點255的電壓。藉由維持電源供
應線路135之電壓大約為基準電壓120，電晶體210允許節點

255的電壓更迅速地被拉高。

在寫入作業之際選擇性地降低於電源供應線路125不會使反相器225與245之切換點的品質降級。就算雖然在SRAM胞元側上之PMOS電晶體230被拉為邏輯低值持續以
5 在線性模式中操作(如實質地操作成為一電阻器)，在電源供應線路135之供應電壓未被降低。結果為，充足之寫入電流被提供以接通NMOS電晶體240而迅速地降低節點的電壓至低於反相器之切換點以適當地在電路200中再產生新近的邏輯狀態。

10 如某人可由上面之描述習知地，寫入相反的邏輯狀態(即導致節點255為邏輯低值及節點265為邏輯高值)可藉由允許電源供應線路135落到低於基準電壓120被促成，而又維持電源供應線路125大約為基準電壓120。

第3圖顯示依照本發明之實施例的一電路300，其施作
15 一彈性電源接頭裝置(如第1圖之彈性電源接頭裝置180)。電路300改善讀取容限。電路300包括電阻性電晶體320A與320B，其分別連接基準電壓120至電源供應線路125(被標示為levdd)與135(被標示為rivdd)。電晶體320A與320B在第3圖中被顯示用PMOS電晶體被施作。在電阻性電晶體320A
20 與320B之閘電極被提供的調整電壓345(被標示為vref)調整電晶體320A與320B之有效電阻。由於此電阻，應被拉高的節點在讀取作業之際比較不可能被拉高而避免讀取干擾。為改善讀取容限，調整電壓345可：(1)被固定於一預定電壓，(2)為動態地被調整之電壓，或(3)被熱感應自我校估電

路控制以自動地調整至適當的電壓。

在被維持於線性區域中時，電阻性電晶體320A與320B之每一個拉動電源供應線路125與135至基準電壓120。在區域內，調整電壓345在考慮被切換中之SRAM胞元拉動的電流下彈性地細微調諧主電阻性電晶體320A與320B儘如所欲地接近基準電壓120，而達成被改善的讀取容限與被提高之讀取穩定性。調整電壓345亦可有效地被使用以如第5圖被顯示地改善在寫入作業中的寫入容限。

第4圖顯示依照本發明之實施例的一電路400，其亦可被用以施作第1圖之彈性電源接頭裝置180。電路400改善寫入容限。

電路400接收寫入資料信號410A(被標示為blb)與410B(被標示為bl)及一寫入賦能信號425(被標示為wyb)。信號410A、410B與425選擇性地透過包括NOR閘430A與430B之邏輯電路490調整在電源供應線路125與135的電壓。NOR閘430A與430B控制電晶體470A與470B之閘電極。

電晶體450A、450B、470A及470B分別地將電源供應線路125及135連接於基準電壓120。響應於信號410A-B及425，每一電晶體470A及470B選擇性地分別提供基準電壓120予電源供應線路125及135。

在第4圖中，除了當寫入資料信號410A與寫入賦能信號425二者均為邏輯低值時外，NOR閘430A提供一邏輯低值輸出。類似地，除了當寫入資料信號410B與寫入賦能信號425二者均為邏輯低值時外，NOR閘430B提供一邏輯低值輸

出。因而，除了在該時電晶體470A與470B關閉以允許電源供應線路125或135之一的電壓下降的寫入作業之際外，電晶體470A與470B維持接通的。替選的是，並非在寫入作業中，寫入賦能信號425為在邏輯高值，故電晶體470A與470B二者均為傳導的，以維持電源供應線路125與135於基準電壓120。

電路400亦包括箝位電晶體450A與450B，在第4圖中被顯示被NMOS電晶體施作。如在第4圖中被顯示地，箝位電晶體450A與450B之間極與汲極接頭連接至基準電壓120，故電源供應線路125與135被維持大約於基準電壓120減臨界電壓。因之，箝位電晶體450A與450B的每一個在電晶體470A或470B於響應信號410A、410B與425下被關閉時維持一最小電壓於電源供應線路125與135的對應之一者。

若寫入資料信號410A與410B在一寫入作業之際(當寫入賦能信號425為在邏輯高值)被施作成為互補信號時，電晶體470A與470B只有一個為傳導的。例如，當寫入資料410A在一寫入作業中維持邏輯高值(寫入資料信號410B為邏輯低值)時，NOR閘430A提供一邏輯低值以維持電晶體470A為傳導的，而切斷關閉電晶體470B。結果為，電源供應線路125實質維持於基準電壓120，而電源供應線路135落至基準電壓120減電晶體450B之臨界電壓。如上面被描述，在電源供應線路125與135中的電壓差異促進在被選擇之SRAM胞元中的寫入作業。

電路400亦包括弱保持電晶體460，具有其閘電極被基

準電壓495控制，其在此實施例中可為接地基準。結果為弱保持電晶體460提供在電源供應線路125與135間流動之弱電流，以限制對SRAM電路200中之洩漏電流響應的電源供應線路125與135間之電壓差異。

5 第5圖顯示依照本發明之實施例的電路500，其施作第1圖之彈性電源接頭裝置180。電路500改善讀取容限與寫入容限。如在第5圖中被顯示地，電路500除了第4圖之電路400的元件外包括額外之電阻性電晶體520A與520B(被顯示為用PMOS電晶體被施作)，分別通過基準電壓120及電源供應
10 線路125與135的對應之一被提供。為簡化此處的討論，電路400與500中類似之元件被提供相同的元件編號。

當調整電壓495被提供，使得電阻性電晶體520A與520B被關閉，電路500實質地行為與電路400相同。此調整電壓可在寫入作業之際被提供，使得電路500如上面被解釋
15 地以與電路400相同之方式改善寫入容限。然而，若調整電壓545被設定使得電阻性電晶體520A與520B在讀取作業之際於線性區域中被接通，而信號410A、410B與425同時被維持於邏輯低值，則電路500類似電路300地操作，即具有被改善之讀取容限的利益。在讀取與寫入作業外，電晶體
20 470A與470B維持為傳導的，故電源供應線路125與135實質地為基準電壓120，以確保在SRAM胞元中被儲存之值維持對雜訊之高免疫力。在此方式下，電路500提供被改善的讀取容限與被改善的寫入容限二者。

第6圖顯示依照本發明之實施例的另一電路600，其提

供一低進行中之脈衝，其可被用以在一讀取或寫入作業之際於第1圖之彈性電源接頭裝置180中提供充足的邏輯低狀態之寫入賦能信號425。電路600包括用適當電路被施作之一延遲元件方塊620以延遲輸入信號，使得由於反相器，在輸入接頭610之一高進行中的信號轉移針對一段簡短之時間造成NAND閘650的輸出接頭660前進至邏輯低值。反相器640在其他時間確保NAND閘650的輸出接頭660為邏輯高值。

納有此處被揭露之各種特點的實施例可在埋入式或獨立SRAM記憶體裝置、快取記憶體、暫存器檔案、多埠記憶體、轉譯旁視緩衝器(TLBS)、內容可定位址之記憶體(CAMS)、三態CAMS(TCAMS)或其他適當的裝置中被施作以在比起傳統之六電晶體SRAM胞元的較低電壓操作。此類特點針對其中較低之供應電壓可有利地允許較長的電池壽命及/或使用時間之行動、可攜式、或超低電壓裝置可為特別有利的。

第7圖顯示可使用上面被揭露之SRAM胞元電路被施作的內容可定位址之記憶體(CAMS)胞元之例子。在第7圖中，CAM記憶體裝置700包括SRAM胞元710與媒配比較器760。SRAM胞元710例如可用第2圖之電路200被施作。如第7圖中被顯示地，SRAM胞元710包括例如被電路200之存取電晶體250與260施作的一讀取/寫入埠720。在SRAM胞元710中被儲存之一邏輯狀態與其互補者被提供至媒配比較器760(如電路200的位元線路270與280)。媒配比較器760比

較在媒配資料埠780被接收之資料值對在SRAM胞元710中被儲存之值而為媒配信號770提供一輸出值。

在本發明之一實施例中，彈性電源接頭裝置包括電晶體與一可調整的偏壓以模仿可程式的電阻器。調整可為連續地可調整的或步進式地可調整的。該調整偏壓亦可為可調整的電流或可調整的電壓，雖然其在此後被稱為調整電壓。此電晶體與調整電壓組合在一SRAM胞元中就讀取作業被運用。電晶體可用調整電壓被保持以在如線性或飽和區域中之可調整的強度操作。此依次改變電晶體中之電阻並允許電源供應線路上的電壓近似於例如為 V_{dd} 之基準電壓。彈性電源接頭裝置之電阻亦可被做成可程式的。彈性電源接頭裝置之性質可在處理前以程式被規劃或即時進行地被設定。此施作改善SRAM胞元的讀取容限。

在另一實施例中，彈性電源接頭裝置包括實際之可程式的電阻器而取代電晶體，其具有可在讀取之際於SRAM胞元中被改變之電阻值。SRAM胞元的讀取容限因而被改善。

另一實施例中，彈性電源接頭裝置包括於寫入作業之際被使用之電晶體與邏輯電路。該等電晶體與邏輯電路作用成會影響在分割電力線路中的相對電阻之切換器。在此方式中，寫入作業被最適地執行以改善SRAM胞元之寫入容限。

在另一實施例中，彈性電源接頭裝置包括電晶體、調整電壓、與一邏輯電路可在讀取作業與寫入作業二者均被使用。在此方式中，彈性電源接頭裝置改善SRAM胞元之讀取容限與寫入容限二者。

依據本發明之另一實施例，彈性電源接頭裝置使用可程式的電阻器控制分割電力線路中的有效電阻而將電源供應線路分割成為二條電源供應線路。此一彈性電源接頭裝置之一利益為藉由改善讀取穩定性、降低讀取干擾與改善
5 SNM所達成的被改善之讀取容限。彈性電源接頭裝置亦同步地改善SRAM胞元的讀取與寫入容限二者。

本發明之額外的實施例在如快閃記憶體之其他裝置中提供彈性電源接頭裝置至本發明協助在實務上所看到的問題之程度。本發明的這些與其他特點及利益將由在下面配合
10 相關附圖被設立之實施例的詳細描述而更易於明白。

依照本發明之各種實施例的此處被描述之彈性電源接頭裝置可以提供多重雙向或單向讀取或寫入埠的SRAM胞元被使用。此外，雖然正的基準電壓120已在此處被描述，本發明之技術在被施用於負基準電壓(如接地)時為同樣地
15 可應用的。有利的是，本發明之實施例(包括用於施作此處被描述的彈性電源接頭裝置180之各種電路)可為被連接的SRAM胞元提供可靠之電壓作業範圍。

如一般熟習此技藝者所習知的，包括任何邏輯電路或電晶體電路之本發明可用電腦根據以硬體描述語言(HDL)
20 的語法與語意被表達之硬體的描述被模型化、產生、或二者皆是。此類HDL描述經常被儲存於電腦可讀取的媒體上。可應用的HDL包括在配置、電路網路表(netlist)、暫存器轉換、及/或示意之捕取等級者。HDL之例子包括GDS II與OASIS(配置等級)、各種SPICE語言與IBIS(電路網路表等

級)、Verilog與VHDL(暫存器轉換等級)、以及Virtuoso 客製設計語言與設計架構IC 客製設計語言(示意之捕取等級)，但不限於此。HDL描述亦可就各種目的被使用，包括配置、行為、邏輯與電路設計認證、模型化及/或模擬，但不限於此。

- 5 前面之揭露不被欲於限制本發明於所揭露的使用之精準形式或特定領域。對本發明之各種替選的實施例、變形或修改徵諸該揭露在本發明之領域內為可能的。本發明係在下列如申請專利範圍中被設立。

【圖式簡單說明】

- 10 第1圖為一概念性之方塊圖，顯示依照本發明之實施例的一電路100，其中數個彈性電源接頭裝置被連接至一彈性電源接頭裝置。

第2圖顯示依照本發明之實施例的一電路200，適用於第1圖中之任一SRAM胞元110。

- 15 第3圖顯示依照本發明之實施例的一電路300，其施作一彈性電源接頭裝置。

第4圖顯示依照本發明之實施例的一電路400，其亦可被用以施作第1圖之彈性電源接頭裝置180。

- 20 第5圖顯示依照本發明之實施例的另一電路500，其施作第1圖之彈性電源接頭裝置180。

第6圖顯示依照本發明之實施例的另一電路600，其提供一低進行中之脈衝，其可被用以在一讀取或寫入作業之際於第1圖之彈性電源接頭裝置180中提供寫入賦能信號425。

第7圖顯示一內容可定位址的記憶體(CAM)胞元之一例，其可使用上面被揭露的SRAM胞元電路被施作。

【主要元件符號說明】

100...電路	265...節點
110...SRAM胞元	270...位元線路
110-1~110-N...SRAM胞元	280...位元線路
120...基準電壓	290...句組線路
125...電源供應線路	295...基準電壓
135...電源供應線路	300...電路
140...分割電力切換器	320A,B...電阻性電晶體
150...控制信號	345...調整電壓
180...彈性電源接頭裝置	400...電路
200...電路	410A,B...寫入資料信號
205...n井電壓	425...寫入賦能信號
210...PMOS電晶體	430A,B...NOK閘
215...p井電壓	450A,B...箝位電晶體
220...NMOS電晶體	460...弱保持電機艇
230...PMOS電晶體	470A,B...電晶體
235...反相器	490...邏輯電路
240...NMOS電晶體	495...基準電壓
245...反相器	500...電路
250...傳輸電晶體	520A,B...電阻性電晶體
255...節點	545...調整電壓
260...傳輸電晶體	560...弱保持電晶體

600... 電路

610... 輸入接頭

620... 延遲元件方塊

640... 反相器

650... NAND閘

660... 輸出接頭

700... CAM記憶體裝置

710... SRAM胞元

720... 讀取/寫入埠

740... 邏輯狀態

760... 媒配比較器

770... 媒配信號

780... 媒配資料埠

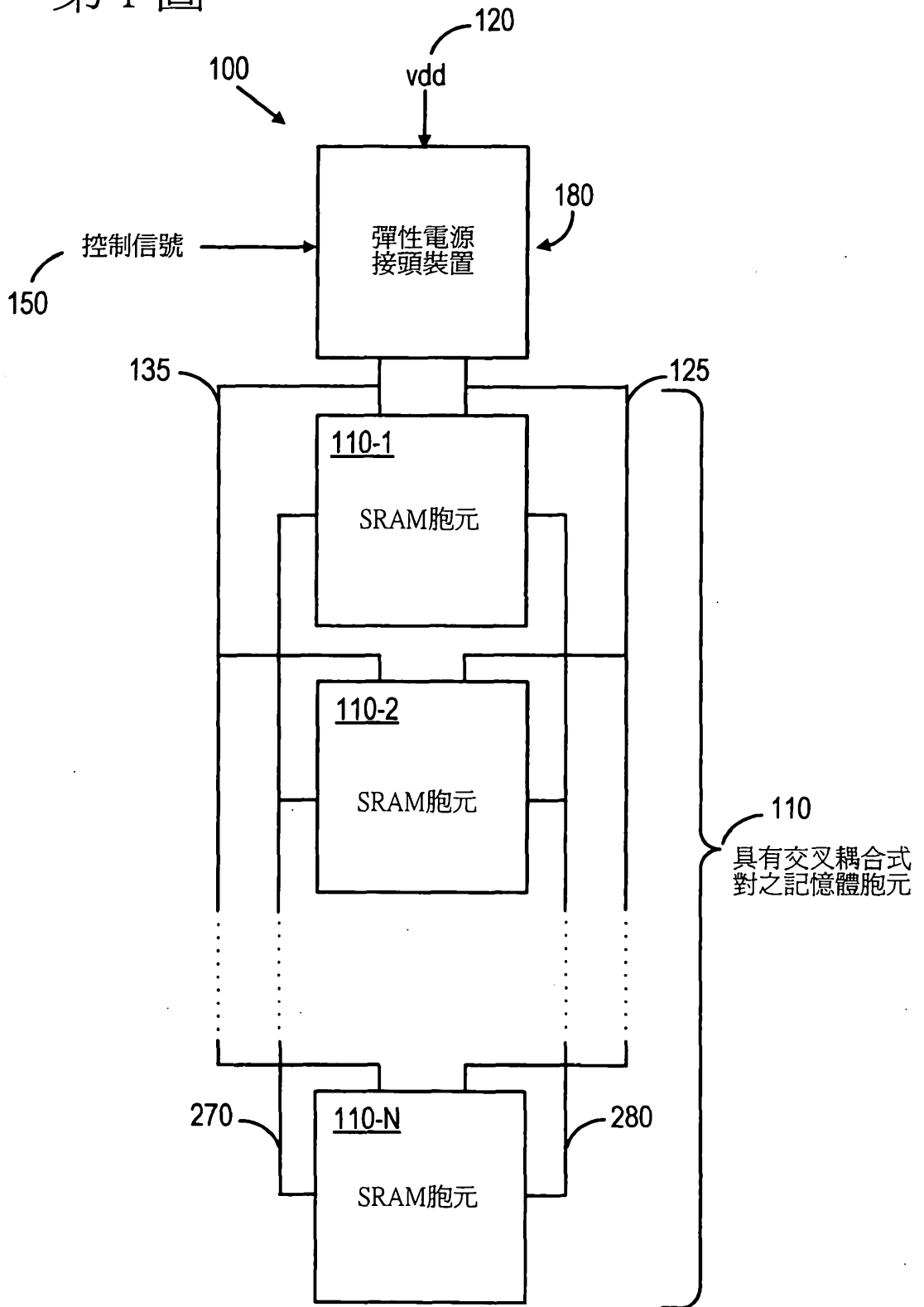
五、中文發明摘要：

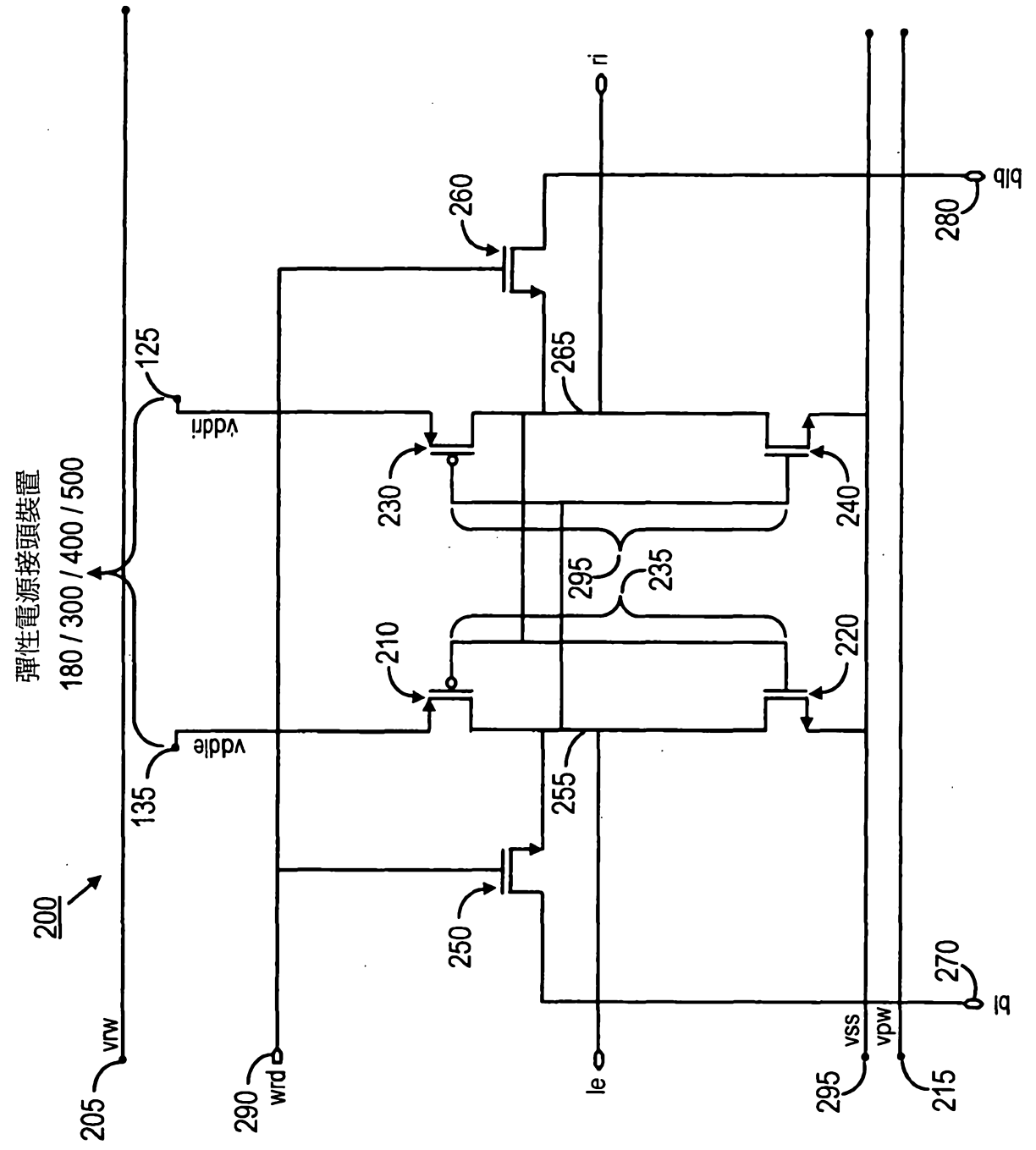
在本案中一種彈性電源接頭裝置與操作方法被提供以藉由提高讀取安定性、降低讀取干擾、及改善信號對雜訊容限(SNM)效能優值(figure of merit)來改善靜態隨機存取記憶體(SRAM)胞元之讀取與寫入二者的容限。例如，一彈性電源接頭裝置之各種施作被運用作為可程式的電阻以允許電源供應線路到達最大電壓。允許電源供應線路到達基準電壓允許在讀取容限、寫入容限與讀取穩定性中的更多彈性。進一步言之，此額外的彈性可利用調整電壓之設施被控制。此調整電壓可細微調諧該可程式的電阻，使得讀取容限與寫入容限可較方便地被控制。

六、英文發明摘要：

An elastic power header device and methods of operation are provided to improve both the read and write margin of static random access memory (SRAM) cells by increasing read stability, reducing read disturbance and improving the Signal to Noise Margin (SNM) figure of merit. For example, various implementations of an elastic power header device are utilized as programmable resistances to permit the power supply lines to reach a maximum voltage. Allowing the power supply lines to reach the reference voltage allows more flexibility in read margin, write margin and read stability. Furthermore, this additional flexibility can be controlled by means for adjusting a voltage. This adjustment voltage can fine-tune the programmable resistances so that the read margin and the write margin can be more conveniently controlled.

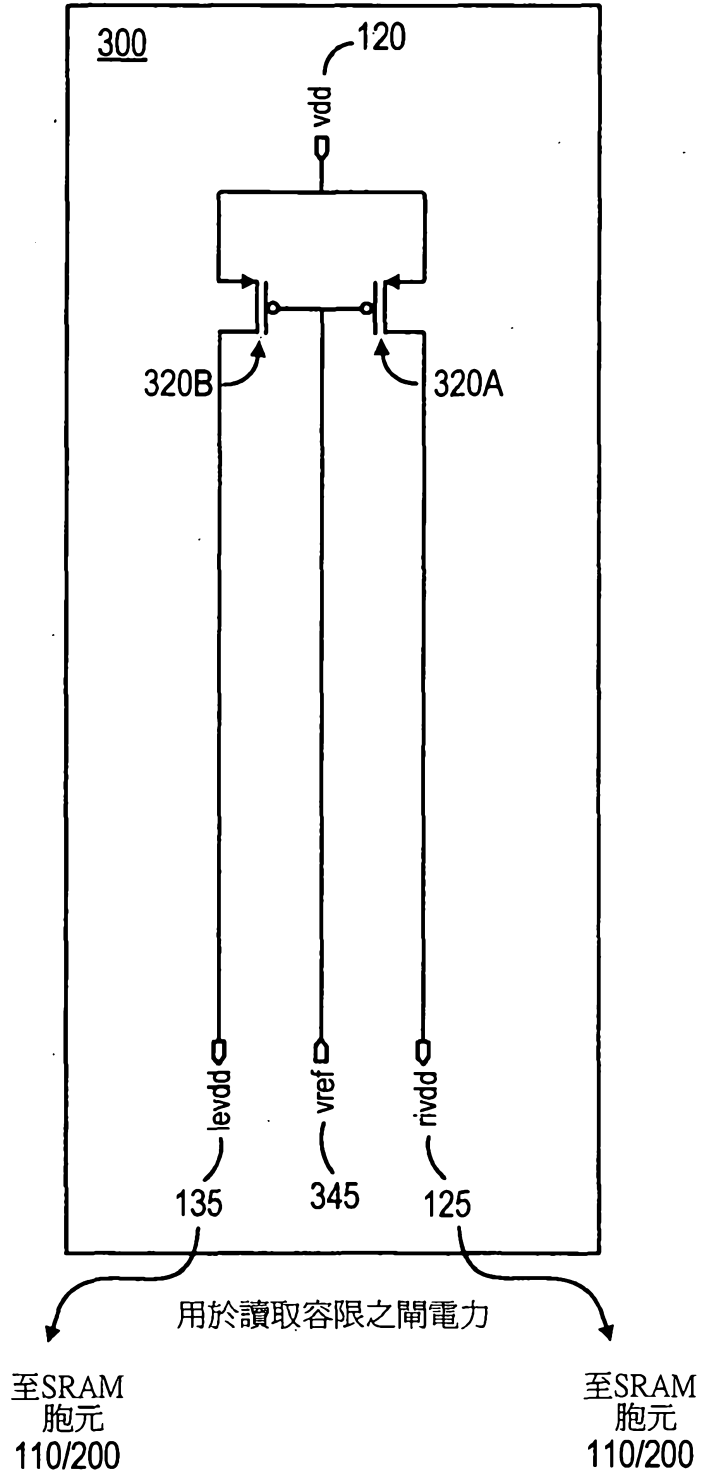
第 1 圖



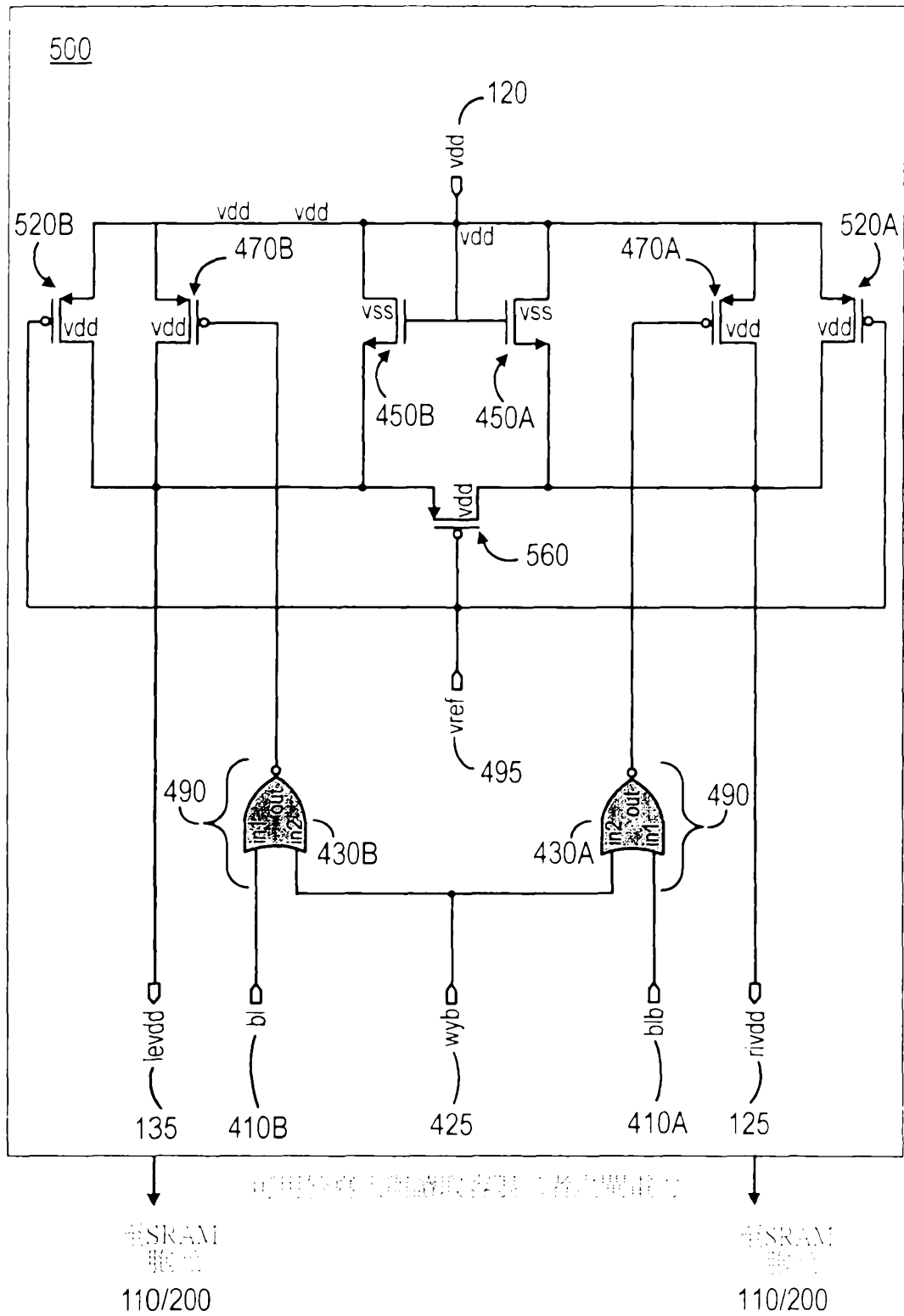


第2圖

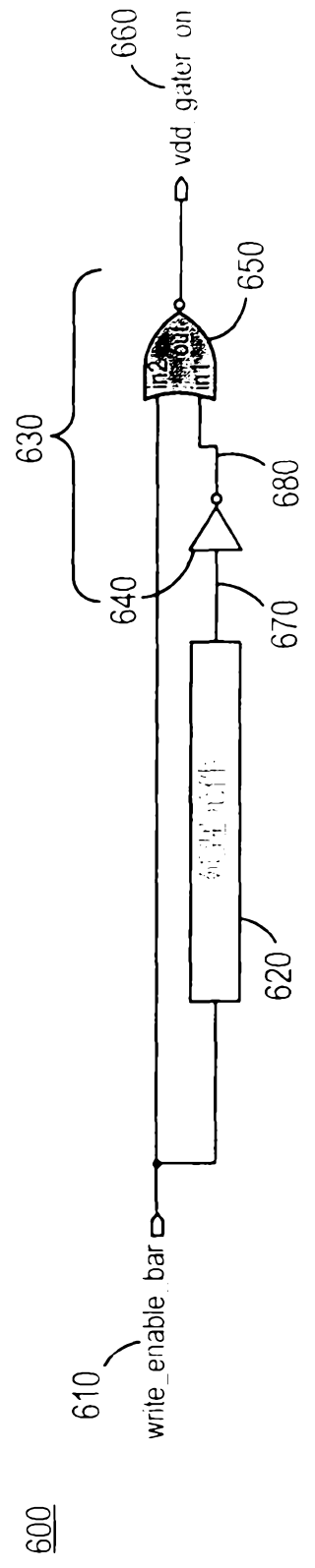
第 3 圖



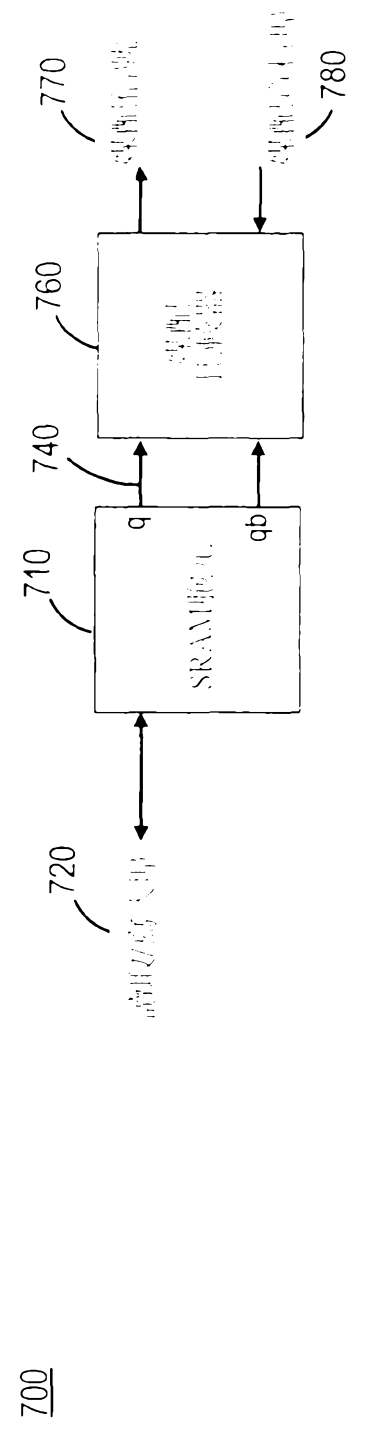
第 5 圖



第 6 圖



第 7 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100... 電路

110...SRAM胞元

110-1~110-N...SRAM胞元

120...基準電壓

125... 電源供應線路

135... 電源供應線路

150...控制信號

180...彈性電源接頭裝置

270...位元線路

280...位元線路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種記憶體裝置，包含：

一第一電源供應線路；

一第二電源供應線路；

5 一靜態隨機存取記憶體(SRAM)胞元，包含交叉耦合的一第一邏輯閘與一第二邏輯閘，其中該第一電源供應線路供應該第一邏輯閘及該第二電源供應線路供應該第二邏輯閘；以及

一彈性電源接頭裝置，連接於一基準電壓與該第一
10 電源供應線路及該第二電源供應線路之每一條間，

其中該彈性電源接頭裝置被組配以在該SRAM胞元的一寫入作業之際在該第一電源供應線路與該第二電源供應線路上提供不同的電源供應位準，及被組配以在一讀取作業之際於該第一電源供應線路中提供一第一
15 電阻與於該第二電源供應線路中提供一第二電阻，以及

其中該彈性電源接頭裝置係組配來透過一邏輯電路接收一或多個寫入資料信號及一寫入致能信號，並選擇性地基於該邏輯電路之一輸出調整該第一電源供應線路與該第二電源供應線路上之電源供應位準。

20 2. 如申請專利範圍第1項之記憶體裝置，其中該等第一與第二電阻至少一者包含一可規劃電阻。

3. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際，該第一電源供應線路具有與該第二電源供應線路不同的電壓位準。

4. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際，該第一電源供應線路具有與該第二電源供應線路不同的電流。
5. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際，該等電源供應位準的差異依據一控制信號被維持於一可調整的強度。
6. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際，該第一與該第二電源供應線路中何者具有較高的電源供應位準，係由被寫入之資料位元的值決定。
7. 如申請專利範圍第1項之記憶體裝置，其中在該讀取作業之際，該第一電阻與該第二電阻為實質上相等的，藉此，該第一電源供應線路與該第二電源供應線路間之電源供應位準的差異係依由每一條電源供應線路汲取之電流而定。
8. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際，該等不同的電源供應位準係被在該等電源供應線路中被選擇之一條中的一可變電阻加以提供以促進寫入該SRAM胞元。
9. 如申請專利範圍第1項之記憶體裝置，進一步包含一電晶體被連接於該基準電壓與該等電源供應線路中被選擇之一條間，其中該電晶體被組配以提供該第一電阻。
10. 如申請專利範圍第1項之記憶體裝置，進一步包含一電晶體被連接於該基準電壓與該等電源供應線路中被選擇之一條間，其中該電晶體被組配以提供該第二電阻。

11. 如申請專利範圍第1項之記憶體裝置，其中在該寫入作業之際的該第一電源供應線路與該第二電源供應線路間之不同的電源供應位準係對應於跨於一電晶體上之一臨界電壓降。
- 5 12. 如申請專利範圍第1項之記憶體裝置，進一步包含一保持電路用於限制該第一電源供應線路與該第二電源供應線路間的一電壓差異。
13. 如申請專利範圍第1項之記憶體裝置，其中該記憶體裝置被組配以在：埋入式SRAM記憶體裝置、獨立SRAM
10 記憶體裝置、快取記憶體、暫存器列組、多埠記憶體、轉譯旁視緩衝器、內容可定址記憶體、三元內容可定址記憶體的至少一個中使用。
14. 一種記憶體裝置，包含：
- 15 一第一電源供應線路；
- 一第二電源供應線路；
- 一靜態隨機存取記憶體(SRAM)胞元，包含交叉耦合的一第一邏輯閘與一第二邏輯閘，其中該第一電源供應線路供應該第一邏輯閘及該第二電源供應線路供應該第二邏輯閘；以及
- 20 一彈性電源接頭裝置，連接於一基準電壓與該第一電源供應線路及該第二電源供應線路之每一條間；以及
- 一保持電路，用於限制該第一電源供應線路與該第二電源供應線路間的差異；
- 其中該彈性電源接頭裝置被組配以在一讀取作業

之際，在該第一電源供應線路中提供一第一電阻與在該第二電源供應線路中提供一第二電阻；以及

其中該等第一與第二電阻至少一者包含一可規劃電阻。

- 5 15. 一種用以在記憶體裝置中達成改善的讀取與寫入容限之方法，該記憶體裝置包含有一第一電源供應線路、一第二電源供應線路、與交叉耦合的一第一邏輯閘及一第二邏輯閘，該方法包含：

10 在該記憶體裝置的一讀取作業之際於該第一電源供應線路與該第二電源供應線路的每一條中維持一電阻，以提供大於一預設值之一電源供應位準；以及

在該記憶體裝置的一寫入作業之際改變該第一電源供應線路與該第二電源供應線路之被選擇的一條中之一電阻，以於該第一電源供應線路與該第二電源供應線路間提供一電源供應位準差異，其中該改變包含：

15 透過一邏輯電路接收一或多個寫入資料信號及一寫入致能信號；以及

基於該邏輯電路之一輸出選擇性地調整該第一電源供應線路與該第二電源供應線路上之電源供應位準。

- 20 16. 如申請專利範圍第15項之方法，其中該電阻包含一可規劃電阻。

17. 如申請專利範圍第15項之方法，其中該電源供應位準包含一電壓。

18. 如申請專利範圍第15項之方法，其中該電源供應位準包

含一電流。

19. 如申請專利範圍第15項之方法，進一步包含控制被組配來達成一電阻的一裝置。

20. 如申請專利範圍第15項之方法，進一步包含改變連接於一基準電壓與該第一電源供應線路及第二電源供應線路中的被選擇之一條間的一電晶體之一電導。

21. 如申請專利範圍第15項之方法，進一步包含在該讀取或該寫入作業均非正在發生時將該第一電源供應線路與該第二電源供應線路等化。

22. 一種彈性電源接頭裝置，用以採一分割電力方式提供一第一電源供應線路與一第二電源供應線路至一記憶體裝置，該彈性電源接頭裝置包含：

一第一傳導路徑，被耦合於一基準電壓與該第一電源供應線路及該第二電源供應線路二者間、被組配來於該基準電壓與每一條的該第一電源供應線路及該第二電源供應線路間提供一第一電源供應位準差異；

一第二傳導路徑，被耦合於該基準電壓與該第一電源供應線路間；

一第三傳導路徑，被耦合於該基準電壓與該第二電源供應線路間，其中響應一讀取作業，於該第二傳導路徑或該第三傳導路徑的被選擇之一條中的一電阻被維持在一寫入作業之際的一預設數值範圍內，以於該第一電源供應線路及該第二電源供應線路間提供一電源供應位準差異；

一第四傳導路徑，被耦合於該基準電壓與該第一電源供應線路間；以及

一第五傳導路徑，被耦合於該基準電壓與該第二電源供應線路間，其中響應一寫入作業，於該第四與該第五傳導路徑中的被選擇之一條中的該電阻被改變以提供一電阻。

23. 如申請專利範圍第22項之彈性電源接頭裝置，其中該電阻包含一可規劃電阻。

24. 如申請專利範圍第22項之彈性電源接頭裝置，其中該等第一至第五傳導路徑各包含被控制來在一可調整之強度操作的一裝置。

25. 如申請專利範圍第22項之彈性電源接頭裝置，其中該等第一至第五傳導路徑各包含一電晶體。

26. 如申請專利範圍第22項之彈性電源接頭裝置，其中該等第四與第五傳導路徑在一寫入作業之際被衰減。

27. 如申請專利範圍第22項之彈性電源接頭裝置，其中該等第二與第三傳導路徑在一讀取作業之際被衰減。

28. 如申請專利範圍第22項之彈性電源接頭裝置，進一步包含一保持電路用於限制該第一電源供應線路與該第二電源供應線路間的差異。

29. 一種彈性電源接頭裝置，包含：

一第一傳導路徑，被耦合於一基準電壓與一第一電源供應線路之間；

一第二傳導路徑，被耦合於該基準電壓與一第二電

源供應線路之間；以及

一保持電路，用於限制該第一電源供應線路與該第二電源供應線路間的差異，

其中該等第一與第二傳導路徑之一的電阻各包含一可規劃電阻，以及

其中響應一讀取作業，該第一傳導路徑與該第二傳導路徑間的一相對電阻被維持在一預定數值範圍內。

30. 一種包括實現彈性電源接頭裝置之電路的描述之電腦可讀媒體，該彈性電源接頭裝置包括在一記憶體裝置中以一分割電力方式被組織之一第一電源供應線路與一第二電源供應線路，該電路適於配合執行代表指令的作業之一處理器使用，該等指令包含：

組配一第一傳導路徑，該第一傳導路徑被耦合於一基準電壓與該第一電源供應線路及該第二電源供應線路二者間、被組配來於該基準電壓與每一條的該第一電源供應線路及該第二電源供應線路間提供一第一電壓；

組配一第二傳導路徑，該第二傳導路徑被耦合於該基準電壓與該第一電源供應線路間；

組配一第三傳導路徑，該第三傳導路徑被耦合於該基準電壓與該第二電源供應線路間，其中響應一讀取作業，於該第二傳導路徑或該第三傳導路徑的被選擇之一條中的一電阻被維持在一寫入作業之際的一預設數值範圍內，以於該第一電源供應線路及該第二電源供應線路間提供一電源供應位準差異；

組配一第四傳導路徑，該第四傳導路徑被耦合於該基準電壓與該第一電源供應線路間，以響應一寫入作業，於該第一電源供應線路提供一電阻；以及

組配一第五傳導路徑，該第五傳導路徑被耦合於該基準電壓與該第二電源供應線路間，以響應一寫入作業，於該第二電源供應線路中提供該電阻。

31. 如申請專利範圍第30項之電腦可讀媒體，其中該電阻包含一可規劃電阻。

32. 如申請專利範圍第30項之電腦可讀媒體，其中該等第一至第五傳導路徑各包含被控制來在一讀取作業期間以一可調整之強度操作的一裝置。

33. 如申請專利範圍第30項之電腦可讀媒體，其中該等第一至第五傳導路徑各包含一電晶體。

34. 一種包括一記憶體裝置的描述之電腦可讀媒體，該記憶體裝置包含：

一第一電源供應線路；

一第二電源供應線路；

一靜態隨機存取記憶體(SRAM)胞元，包含交叉耦合的一第一邏輯閘與一第二邏輯閘，其中該第一電源供應線路供應該第一邏輯閘及該第二電源供應線路供應該第二邏輯閘；以及

一彈性電源接頭裝置，連接於一基準電壓與該第一電源供應線路及該第二電源供應線路之每一條間，

其中該彈性電源接頭裝置被組配以在該SRAM胞元

的一寫入作業之際在該第一電源供應線路與該第二電源供應線路上提供不同的電源供應位準，及被組配以在一讀取作業之際於該第一電源供應線路中提供一第一電阻與於該第二電源供應線路中提供一第二電阻，以及

5 其中該彈性電源裝置係組配來透過一邏輯電路接收一或多個寫入資料信號及一寫入致能信號，並選擇性地基於該邏輯電路之一輸出調整該第一電源供應線路與該第二電源供應線路上之電源供應位準。

35. 如申請專利範圍第34項之電腦可讀媒體，其中該等第一與第二電阻至少一者包含一可規劃電阻。

10 36. 一種記憶體裝置，包含：

用以提供一基準電壓之構件；

用以組配一第一電源供應線路及一第二電源供應線路之構件，與用以連接一靜態隨機存取記憶體(SRAM)胞元之構件，該胞元包含交叉耦合的一第一邏輯閘與一第二邏輯閘，其中該第一電源供應線路供應該第一邏輯閘及該第二電源供應線路供應該第二邏輯閘；以及

15 用以提供連接於基準電壓與該第一電源供應線路及該第二電源供應線路之每一條間的彈性電源之構件，以在該SRAM胞元的一寫入作業之際在該第一電源供應線路與該第二電源供應線路上提供不同的電源供應位準，及在一讀取作業之際於該第一電源供應線路中提供一第一電阻與於該第二電源供應線路中提供一第二電阻，

其中用以提供彈性電源之構件包含透過一邏輯電路接收一或多個寫入資料信號及一寫入致能信號，及選擇性地基於該邏輯電路之一輸出調整該第一電源供應線路與該第二電源供應線路上之電源供應位準。

- 5 37. 如申請專利範圍第36項之記憶體裝置，其中該等第一與第二電阻至少一者包含一可規劃電阻。