

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 3 日 (03.11.2005)

PCT

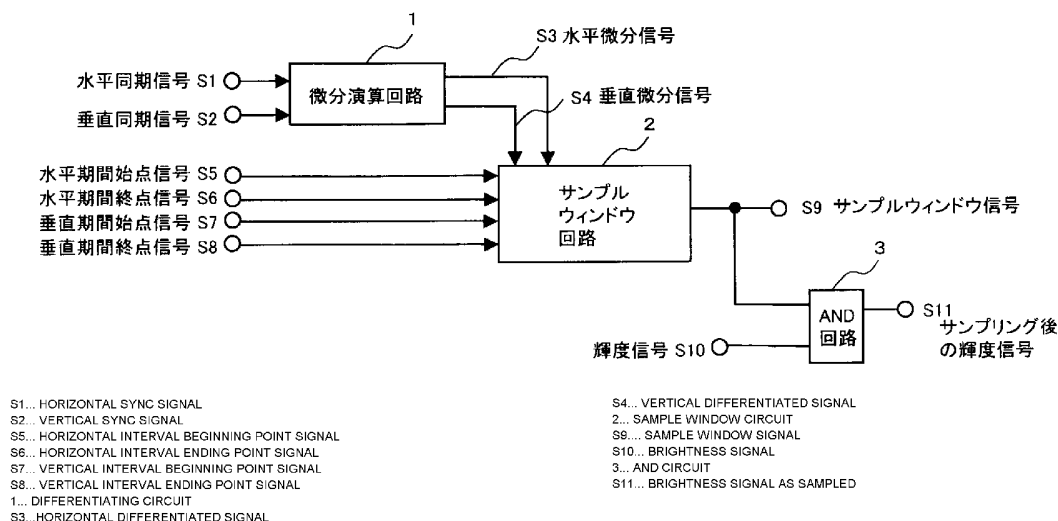
(10) 国際公開番号
WO 2005/104530 A1

- (51) 国際特許分類: H04N 5/14 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/007514 (75) 発明者/出願人 (米国についてののみ): 國谷 久雄 (KUNITANI, Hisao). 谷川 悟 (TANIGAWA, Satoru). 小泉 隆 (KOIZUMI, Takashi).
(22) 国際出願日: 2005 年 4 月 20 日 (20.04.2005)
(25) 国際出願の言語: 日本語 (74) 代理人: 岡田 和秀 (OKADA, Kazuhide); 〒5300022 大阪府大阪市北区浪花町 1 3 番 3 8 号 千代田ビル北館 Osaka (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2004-127701 2004 年 4 月 23 日 (23.04.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: BRIGHTNESS SIGNAL PROCESSING APPARATUS AND BRIGHTNESS SIGNAL PROCESSING METHOD

(54) 発明の名称: 輝度信号処理装置及び輝度信号処理方法



(57) Abstract: [PROBLEMS] To improve accuracy of determining the average brightness level and maximum and minimum levels of the brightness signals for the entire screen. [MEANS FOR SOLVING PROBLEMS] There are included a differentiating circuit that detects and differentiates rising or falling edges in horizontal and vertical sync signals of an input image signal, thereby outputting horizontal and vertical differentiated signals synchronized with the horizontal and vertical sync signals, respectively; a sample window circuit that detects the beginning and ending positions of horizontal and vertical intervals to produce sample window signals established in any desired vertical and horizontal positions on the screen in accordance with the horizontal and vertical differentiated signals; and a brightness signal output circuit that outputs sampled brightness signals when the sample window circuit is operative.

(57) 要約: 【課題】画面全体の輝度信号の平均輝度レベルや最大値、最小値レベルの検出精度を向上させる。【解決手段】入力映像信号の水平同期信号と垂直同期信号とにおける立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号及び前記垂直同期信号に同期した垂直微分信号を出力す

[続葉有]



SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

る微分演算回路と、水平期間及び垂直期間の開始位置及び終了位置を検知し、前記水平微分信号及び垂直微分信号
に応じて、画面上の垂直方向及び水平方向の任意の位置に設定されるサンプルウィンドウ信号を生成するサンプル
ウィンドウ回路と、前記サンプルウィンドウ回路が有効である場合、サンプリングされた輝度信号を出力する輝度
信号出力回路とを備える。

明 細 書

輝度信号処理装置及び輝度信号処理方法

技術分野

- [0001] 本発明は、映像輝度信号のサンプリング処理を行う輝度信号処理装置及び輝度信号処理方法に関する。

背景技術

- [0002] 近年、映像信号処理のデジタル化が進んでおり、映像信号処理において輝度信号のサンプリング処理が利用されている(例えば、特許文献1参照)。
- [0003] 図24は、従来の輝度信号のサンプリング処理装置のブロック図である。
- [0004] 従来の輝度信号処理装置におけるサンプリング処理装置の間引き基準値設定部401は、以下のように構成される。まず、カウンタ501は垂直微分信号S211が入力される毎にリセットされる。ロードホールド手段503は、カウンタ01の出力を水平微分信号S210によりロードする。ロードホールド手段503はロードしたカウンタ501の出力値をカウンタ501の入力としてカウンタ501に供給する。カウンタ501はロードホールド手段503の出力値をカウントすることでライン数をカウントする。
- [0005] 次に、ロードホールド手段503の出力であるライン数から間引きたい輝度信号の繰り返しパターンに相当するビット数分の n ビットが、下位ビットから取り出されてカウンタ502に供給される。ここで説明している下位ビットは、ロードホールド手段503の出力から取り出されるため、処理対象のライン数が増加する度に、取り出される n ビット分が、例えば $n=2$ ビットの場合、0, 1, 2, 3, 0, 1, 2, 3, …のように変化する。
- [0006] 次に、カウンタ502は、ロードホールド手段503から取り出された下位 n ビット分を初期値として、基準クロックに応じてカウントする。カウンタ502に供給される初期値は、ロードホールド手段503の下位 n ビット分が処理するライン毎に異なるので、ラインごとにカウントを開始する値が異なる。そしてこのカウンタ502の出力が間引き基準値S411となる。
- [0007] 従来例のサンプリング例(間引き基準値S411の生成例)を図25に示す。図において、1つの四角が表示画面の1画素に対応し、縦の方向はラインに対応している。図

25において間引き基準値S411は、1ライン目の値が"00"であり、2ライン目の値が2進数の"01"、3ライン目の値が"10"、4ライン目の値が"11"、5ライン目の値が"00"であり、ラインごとにカウントを開始する位置が異なる。このような回路構成とすることで、固定画素のみのサンプリングではなく、画面上の斜め方向における画素についての輝度信号のサンプリングが可能となる。

特許文献1:WO01/039489(第11-14頁,第5-7図)

発明の開示

発明が解決しようとする課題

[0008] しかしながら、従来の輝度信号処理装置では、画面における輝度信号をサンプリングする際、間引き位置が走査線上で斜め方向のみにサンプリングされるため、斜め方向の固定パターンや繰り返しパターンの絵柄が現れるときには、正確かつ均等な輝度信号レベルの検出が困難であった。したがって、後処理における画面全体の輝度信号の平均輝度レベルや最大値,最小値レベルを検出する際、その輝度信号レベルの検出精度が悪くなってしまうという課題があった。

[0009] 本発明は、上記従来の課題を解決するもので、斜め方向の固定パターンや繰り返しパターンの輝度信号が入力された場合においても、回路規模を大きくすることなく、輝度信号のサンプリング処理において、ライン単位,フィールド単位でサンプリング画素位置の調整を行うことで、画面上の縦方向,横方向,斜め方向について正確かつ均等にサンプリング処理できる輝度信号処理装置を提供することを目的とする。

課題を解決するための手段

[0010] この目的を達成するために、本発明は、ライン単位,フィールド単位で走査線上のサンプリング画素位置を調整することで、画面上における縦方向,横方向,斜め方向についてランダムかつ均等にサンプリング位置を指定可能な構成とした。

[0011] すなわち、本発明の輝度信号処理装置は、次の複数の構成要素を備えたものとして構成される。それは、

入力映像信号の水平同期信号と垂直同期信号とにおける立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と、前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回

路と、

水平期間及び垂直期間の開始位置及び終了位置を検知し、前記水平微分信号及び垂直微分信号に応じて、画面上の垂直方向及び水平方向の任意の位置に設定されるサンプルウィンドウ信号を生成するサンプルウィンドウ回路と、

前記サンプルウィンドウ回路が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力回路とである。

[0012] 本発明の輝度信号処理装置は、次の複数の構成要素により構成されてもよい。それは、

入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、

前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウンタ回路と、

前記水平微分信号と前記第1のカウンタ回路の出力信号との論理積処理を行う第1の論理積回路と、

前記第1の論理積回路の出力信号をクロック単位で遅延させる第1の遅延回路と、

前記第1の遅延回路の出力信号から、1水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第1のサンプリング有効期間を設定する第1のセトリセット回路と、

前記第1のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第2の論理積回路と、

前記第2の論理積回路の出力信号をN画素分(Nは1以上の自然数)遅延させる第

2の遅延回路と、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第1のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第2の論理積回路の出力信号と前記第2の遅延回路の出力信号とのなかからひとつを選択してサンプルウィンドウ信号として出力する第1の選択回路とである。

[0013] この構成によれば、第1のカウンタ回路、第1の論理積回路および第1の遅延回路によって1水平期間における総画素数がカウントされる。そして、次の水平方向間引き調整回路によって1水平期間におけるサンプリング画素数が間引かれる。例えば($N \times 2$)画素ごとに間引く場合、($N \times 2$)画素ごとに有効ビット、他は無効ビットとなる間引き信号が生成される。

[0014] 一方、セトリセット回路は、水平期間始点信号、水平期間終点信号と、水平方向間引き調整回路の出力結果とからサンプリング有効期間を決める。サンプリング有効期間と間引き信号との一致個所を検出する第2の論理積回路の出力は、($N \times 2$)画素ごとにサンプリングを行うための水平方向のサンプルウィンドウ期間を決める。第2の遅延回路は、前記($N \times 2$)画素ごとのサンプルウィンドウ期間をさらにN画素分だけ遅延させる。これにより、水平方向で位置が異なる2つの選択候補のサンプルウィンドウ期間が得られる。これら2つ選択候補のサンプルウィンドウ期間が第1の選択回路に入力される。

[0015] 一方、サンプリング画素位置切替信号生成回路は、水平微分信号に基づいて、1水平周期(1ライン)単位で0, 1, 0, 1, …の反転を繰り返すサンプリング画素位置切替信号を生成する。第1の選択回路は、サンプリング画素位置切替信号に基づいて制御される。その結果、第1の選択回路では、ある水平期間で第1のサンプルウィンドウ期間が選択され、それに続く水平期間では第2のサンプルウィンドウ期間が選択され、この選択切り替えにより1水平期間ごとに交互となるサンプルウィンドウ信号が得られる。

[0016] つまり、例えば、偶数ライン目では、($N \times 2$)画素目、($N \times 4$)画素目、($N \times 6$)画素目……がサンプリングされ、奇数ライン目では、例えば、($N \times 3$)画素目、($N \times 5$)画

素目, $(N \times 7)$ 画素目……がサンプリングされるといった具合になる。参考までに、 $N = 4$ とすると、偶数ライン目では、例えば、8画素目, 16画素目, 24画素目……がサンプリングされ、奇数ライン目では、例えば、12画素目, 20画素目, 28画素目……がサンプリングされるといった具合である。

[0017] この構成によれば、水平方向間引き調整回路における間引きの画素間隔の調整により、1ライン単位で走査線上のサンプリング画素位置を調整でき、画面上における横方向でサンプリング位置が随意にかつ均等に指定可能となる。したがって、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングが可能になる。また、輝度信号のサンプリングにおいて、全画素をサンプリングする必要がない。さらに、有効画素数が異なる複数種類の放送方式にも対応できる。

[0018] 本発明の輝度信号処理装置において、さらに、次の構成要素を加えてもよい。それは、さらに、

1 垂直期間における全ライン数をカウントする第2のカウンタ回路と、
前記垂直微分信号と前記第2のカウンタ回路の出力信号との論理積処理を行う第3の論理積回路と、
前記水平微分信号で前記第3の論理積回路の出力信号をロードホールドするロードホールド回路と、
前記ロードホールド回路の出力信号に基づいて、1垂直期間における全ラインから、間引きライン数を調整しながら間引く垂直方向間引き調整回路と、
前記垂直方向間引き調整回路の出力信号をビットシフトした信号と垂直期間始点信号とを比較する第3の比較回路と、
前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間終点信号とを比較する第4の比較回路と、
前記第3の比較回路による比較結果と前記第4の比較回路による比較結果とに基づいて第2のサンプリング有効期間信号を生成する第2のセットリセット回路と、
前記第2のサンプリング有効期間信号と前記垂直方向間引き調整回路の出力信号との論理積処理を行う第4の論理積回路と、
前記第4の論理積回路の出力信号から、所定の間引きライン数ごとに反転を繰り返

すサンプリング画素位置切替信号を生成するサンプリング画素位置切替信号生成回路と、

前記第1の選択回路の出力信号と前記第4の論理積回路の出力信号との論理積処理を行ってサンプルウィンドウ信号を生成する第5の論理積回路とを加えたものとなる。

[0019] この構成によれば、水平方向間引き調整回路における間引きの画素間隔の調整により、1ライン単位で走査線上のサンプリング画素位置を調整できるとともに、垂直方向間引き調整回路における間引きのライン間隔の調整により、所定数ライン単位で走査線上のサンプリング画素位置を調整できる。これにより、画面上における縦方向、横方向、斜め方向でサンプリング位置を随意にかつ均等に指定することが可能となる。したがって、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングすることが可能となる。また、輝度信号のサンプリングにおいて、全画素をサンプリングする必要がない。さらに、有効画素数、有効ライン数が異なる複数種類の放送方式にも対応できる。

[0020] また、本発明の輝度信号処理装置において、さらに、次の複数の構成要素を加えてもよい。それは、さらに、

前記サンプリング画素位置切替信号を反転させて反転サンプリング画素位置切替信号を生成する反転回路と、

前記垂直微分信号から垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて前記サンプリング画素位置切替信号と前記反転サンプリング画素位置切替信号とのなかからひとつを選択する第2の選択回路とを備えたものであり、

前記第1の選択回路は、前記サンプリング画素位置切替信号生成回路によるサンプリング画素位置切替信号に代えて前記第2の選択回路からのサンプリング画素位置切替信号によって制御されるものである。

[0021] なお、この場合に、前記フィールド切替信号生成回路については、これを、前記垂直微分信号がクロックとして供給される遅延回路と、前記遅延回路の出力をカウント

アップする加算回路とで構成することができる。

[0022] この構成によれば、所定数ライン単位での走査線上のサンプリング画素位置の調整を、フィールド単位で切り替えることができる。

[0023] また、前記水平方向間引き調整回路に代えて、互いに間引き画素間隔を異にする複数の水平方向間引き調整回路が設けられ、

前記第2の遅延回路の出力信号および前記第1の選択回路の出力信号に代えて、前記複数の水平方向間引き調整回路の出力信号から、前記サンプリング画素位置切替信号に基づいてひとつの出力信号を選択して前記第2の論理積回路に出力する選択回路を備えてもよい。

[0024] この構成によれば、画面上における縦方向、横方向、斜め方向に沿って随意にサンプリング位置を指定することが可能となる。さらには、サンプリング数を可変とすることにより、その随意性をさらに向上させることができる。

[0025] また、前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号からサンプリング画素位置切替信号を生成することに代えて、前記垂直微分信号から、1垂直期間ごとに前記第1の選択回路の制御を行うフィールド切替信号を生成してもよい。

[0026] この構成によれば、画面上における横方向で随意にサンプリング位置を指定することが可能となる。さらには、フィールドごとにサンプリング画素位置をずらすことで、その随意性をさらに向上させることができる。

[0027] また、前記垂直方向間引き調整回路に代えて、互いに間引きライン間隔を異にする複数の垂直方向間引き調整回路が設けられ、

前記第2の遅延回路、前記第1の選択回路および前記サンプリング画素位置切替信号生成回路に代えて、

前記垂直微分信号から、垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

フィールド切替信号に基づいて前記複数の垂直方向間引き調整回路の出力信号からひとつの出力信号を選択して前記第4の論理積回路に出力する選択回路とを備えてもよい。

[0028] この構成によれば、画面上における縦方向に沿って随意にサンプリング位置を指定することが可能となる。さらには、フィールドごとにサンプリングライン数を可変とすることで、その随意性をさらに向上させることができる。

[0029] また、本発明の輝度信号処理装置は、次の複数の構成要素を加えてもよい。それは、

前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号に代えて前記垂直方向間引き調整回路の出力信号に基づいて、前記サンプリング画素位置切替信号を生成し、

さらに、

前記水平方向間引き調整回路の出力信号をリセット信号にしてサンプリングライン位置が変更されるサンプリングライン位置切替信号を生成するサンプリングライン位置切替信号生成回路と、

前記サンプリングライン位置切替信号を反転させる反転回路と、

前記垂直微分信号をリセット信号にしてサンプリングライン位置が切り替わるフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて、前記サンプリングライン切替信号と、前記反転回路の出力とのうちのひとつを選択する第3の選択回路と、

前記垂直方向間引き調整回路の出力信号を遅延させて垂直方向におけるラインごとのサンプリング画素位置を切り替えるラインメモリと、

前記第3の選択回路の出力信号に基づいて、前記垂直方向間引き調整回路の出力信号と前記ラインメモリ回路の出力信号とのうちのひとつを選択する第4の選択回路とを備えたものである。

[0030] この構成によれば、画面上における縦方向、横方向、斜め方向に沿って随意にかつ均等にサンプリング位置を指定することが可能となる。さらには、フィールドごとにサンプリング画素位置を垂直方向にずらすことで、その随意性、均等性をさらに向上させることができる。

[0031] また、前記フィールド切替信号生成回路は、前記垂直微分信号をリセット信号にして複数フィールド単位で前記第2の選択回路を切り替えるフィールド切替信号を生成

し、このフィールド切替信号に基づいて複数フィールドごとにサンプリングライン位置を切り替えるものとしてもよい。

[0032] この構成によれば、画面上における縦方向、横方向、斜め方向に沿って随意に、かつ均等にサンプリング位置を指定することが可能となる。さらには、複数フィールドごとにサンプリング画素位置を水平方向にずらすことで、その随意性、均等性をさらに向上させることができる。

[0033] 本発明を輝度信号処理方法としてみれば、
入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで前記水平同期信号に同期した水平微分信号及び前記垂直同期信号に同期した垂直微分信号を出力する微分演算ステップと、

水平期間及び垂直期間の開始位置及び終了位置を検知したうえで、画面上の垂直方向及び垂直方向の任意の位置に設定されるサンプルウィンドウ信号を、前記水平微分信号と垂直微分信号とに基づいて生成するサンプルウィンドウ生成ステップと、

前記サンプルウィンドウ信号が有効である場合において、サンプリングされた輝度信号を選択的に出力する軌道信号出力ステップと、

を含んだものとなる。

[0034] なお、上述した本発明を構成する各回路は、電子部品と配線パターンとを組み合わせただけでなく、ソフトウェアからも構成可能である。

発明の効果

[0035] 以上のように本発明の輝度信号処理装置によれば、Nライン単位、Mフィールド単位(N, Mは1以上の自然数)で、走査線上のサンプリング画素位置を調整することで、画面上における縦方向、斜め方向に沿って随意にかつ均等にサンプリング位置を指定することが可能となるため、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングを行うことが可能となる。

[0036] また、輝度信号をサンプリングする際、全画素をサンプリングする必要がないため、回路規模を縮小することも可能となる。

[0037] さらに、有効画素数およびライン数の異なる様々な放送方式(NTSC,PAL,750P,XGA,SXG,UXGA等)に対しても、高精度に輝度信号のサンプリングを行うことが可能となる。

図面の簡単な説明

[0038] [図1]本発明の輝度信号処理装置の全体構成を示すブロック図である。

[図2]本発明の水平方向のサンプルウィンドウ信号を生成する様子を示す図である。

[図3]本発明の垂直方向のサンプルウィンドウ信号を生成する様子を示す図である。

[図4]本発明の実施の形態1におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図5A]本発明の実施の形態1におけるサンプリング画素位置切替信号生成回路の構成を示すブロック図である。

[図5B]本発明の実施の形態1におけるサンプリング画素位置切替信号生成回路のタイミング図である。

[図6A]本発明の実施の形態1におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図6B]本発明の実施の形態1におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図7]本発明の実施の形態2におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図8A]本発明の実施の形態2におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図8B]本発明の実施の形態2におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図9]本発明の実施の形態3におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図10A]本発明の実施の形態3におけるフィールド切替信号生成回路の構成を示すブロック図である。

[図10B]本発明の実施の形態3におけるフィールド切替信号生成回路のタイミング図

である。

[図11A]本発明の実施の形態3におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図11B]本発明の実施の形態3におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図11C]本発明の実施の形態3におけるサンプルウィンドウ信号の様子を示す第3の図である。

[図11D]本発明の実施の形態3におけるサンプルウィンドウ信号の様子を示す第4の図である。

[図12]本発明の実施の形態4におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図13A]本発明の実施の形態4におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図13B]本発明の実施の形態4におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図14]本発明の実施の形態5におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図15A]本発明の実施の形態5におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図15B]本発明の実施の形態5におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図15C]本発明の実施の形態5におけるサンプルウィンドウ信号の様子を示す第3の図である。

[図15D]本発明の実施の形態5におけるサンプルウィンドウ信号の様子を示す第4の図である。

[図16]本発明の実施の形態6におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図17A]本発明の実施の形態6におけるサンプルウィンドウ信号の様子を示す第1の

図である。

[図17B]本発明の実施の形態6におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図17C]本発明の実施の形態6におけるサンプルウィンドウ信号の様子を示す第3の図である。

[図17D]本発明の実施の形態6におけるサンプルウィンドウ信号の様子を示す第4の図である。

[図18]本発明の実施の形態7におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図19]本発明の実施の形態7の動作を説明するタイミングチャート図である。

[図20A]本発明の実施の形態7におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図20B]本発明の実施の形態7におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図20C]本発明の実施の形態7におけるサンプルウィンドウ信号の様子を示す第3の図である。

[図20D]本発明の実施の形態7におけるサンプルウィンドウ信号の様子を示す第4の図である。

[図21]本発明の実施の形態8におけるサンプルウィンドウ回路の構成を示すブロック図である。

[図22A]本発明の実施の形態8における複数フィールド単位のフィールド切替信号生成回路の構成を示すブロック図である。

[図22B]本発明の実施の形態8におけるフィールド切替信号生成回路のタイミング図である。

[図23A]本発明の実施の形態8におけるサンプルウィンドウ信号の様子を示す第1の図である。

[図23B]本発明の実施の形態8におけるサンプルウィンドウ信号の様子を示す第2の図である。

[図23C]本発明の実施の形態8におけるサンプルウィンドウ信号の様子を示す第3の図である。

[図23D]本発明の実施の形態8におけるサンプルウィンドウ信号の様子を示す第4の図である。

[図24]従来の輝度信号処理装置の構成を示すブロック図である。

[図25]従来の輝度信号処理装置におけるサンプルウィンドウ信号の様子を示す図である。

符号の説明

- [0039]
- 1 微分演算回路
 - 2 サンプルウィンドウ回路
 - 3 第1のAND回路
 - 4 第1のカウンタ回路
 - 5 第2のAND回路
 - 6 第1の遅延回路
 - 7 水平方向間引き調整回路
 - 8 第1の比較回路
 - 9 第2の比較回路
 - 10 第1のセットリセット回路
 - 11 第3のAND回路
 - 12 第2の遅延回路
 - 13 サンプリング画素位置切替信号生成回路
 - 14 第1の選択回路
 - 15 第2のカウンタ回路
 - 16 第3のAND回路
 - 17 ロードホールド回路
 - 18 垂直方向間引き調整回路
 - 19 第3の比較回路
 - 20 第4の比較回路

- 21 第2のセットリセット回路
- 22 第4のAND回路
- 23 第5のAND回路
- 24 カウンタ回路
- 25 遅延回路
- 26 サンプリング画素位置切替信号生成回路
- 27 反転回路
- 28 第2の選択回路
- 29 フィールド切替信号生成回路
- 30 カウンタ回路
- 31 遅延回路
- 32 第1の水平方向間引き調整回路
- 33 第2の水平方向間引き調整回路
- 34 選択回路
- 35 フィールド切替信号生成回路
- 36 フィールド切替信号生成回路
- 37 第1の垂直方向間引き調整回路
- 38 第2の垂直方向間引き調整回路
- 39 選択回路
- 40 サンプリング画素位置切替信号生成回路
- 41 サンプリングライン位置切替信号生成回路
- 42 反転回路
- 43 フィールド切替信号生成回路
- 44 第3の選択回路
- 45 ラインメモリ
- 46 第4の選択回路
- 47 複数フィールド単位のフィールド切替信号生成回路
- S1 水平同期信号

- S2 垂直同期信号
- S3 水平微分信号
- S4 垂直微分信号
- S5 水平期間始点信号
- S6 水平期間終点信号
- S7 垂直期間始点信号
- S8 垂直期間終点信号
- S9 サンプルウィンドウ信号
- S10 映像輝度信号
- S11 サンプルウィンドウ後の輝度信号
- S12 カウント信号
- S14 総画素数カウント信号
- S15 水平方向間引き信号
- S16 ビットシフト信号
- S17, S18 一致検出信号
- S19 水平方向のサンプリング有効期間信号
- S20 水平方向間引きサンプリング信号
- S21 遅延の水平方向間引きサンプリング信号
- S22 サンプリング画素位置切替信号
- S26 総ライン数カウント信号
- S27 垂直方向間引き信号
- S27a 遅延の垂直方向間引き信号
- S28 ビットシフト信号
- S29, S30 一致検出信号
- S31 垂直方向のサンプリング有効期間信号
- S32 垂直方向間引きサンプリング信号
- S33 サンプリング画素位置切替信号
- S34 反転サンプリング画素位置切替信号

S35 フィールド切替信号
S36 最終のサンプリング画素位置切替信号
S38, S39 水平方向間引き信号
S41 フィールド切替信号
S42, S43 垂直方向間引き信号
S44 フィールド切替信号
S47 サンプリング画素位置切替信号
S49 サンプリングライン位置切替信号
S50 反転サンプリングライン位置切替信号
S51, S53 フィールド切替信号

発明を実施するための最良の形態

- [0040] 以下、本発明にかかわる輝度信号処理装置の実施の形態を図面に基づいて詳細に説明する。
- [0041] 図1は、本発明の輝度信号処理装置のブロック図である。
- [0042] 微分演算回路1には、映像信号から取り出された水平同期信号S1と垂直同期信号S2とが入力される。微分演算回路1は、水平同期信号S1、垂直同期信号S2のエッジを検出したうえで微分することで、水平微分信号S3および垂直微分信号S4を出力する。エッジの検出については、立ち上がりエッジ、立ち下がりエッジのいずれでもよい。水平同期信号S1の立ち上がりエッジを検出する場合には、水平同期信号S1を遅延させ（例えば1クロック遅延）、その遅延させた信号を反転したものと水平同期信号S1との論理積をとればよい。一方、水平同期信号S1の立ち下がりエッジを検出する場合には、水平同期信号S1を反転させた信号と水平同期信号S1を遅延（例えば1クロック遅延）させた信号との論理積をとればよい。同様に、垂直微分信号S4も、上述した水平微分信号S3の生成構成で得ることができる。
- [0043] サンプルウィンドウ回路2には、水平微分信号S3と、垂直微分信号S4と、輝度信号を水平方向にサンプリングする際の始点となる水平期間始点信号S5と、終点となる水平期間終点信号S6と、輝度信号を垂直方向にサンプリングする際の始点となる垂直期間始点信号S7と、終点となる垂直期間終点信号S8とが入力される。サンプルウ

インドウ回路2は、これらの信号S3－S8からサンプルウィンドウ信号S9を生成して出力する。

[0044] 図2は、水平方向のサンプルウィンドウ期間を生成する様子を示している。図2では、例として、水平期間始点信号S5の値を“10”、水平期間終点信号S6の値を“250”としており、水平微分信号S3により1水平期間中の画素数がカウントされ、1水平期間中の画素数のカウント数が水平期間始点信号S5の値に一致する箇所が水平方向のサンプルウィンドウ期間の始点になる。また、1水平期間中の画素数のカウント数が水平期間終点信号S6の値に一致する箇所が水平方向のサンプルウィンドウ期間の終点になる。

[0045] 図3は、垂直方向のサンプルウィンドウ期間を生成する様子を示している。図3では、例として、垂直期間始点信号S7の値を“10”、垂直期間終点信号S8の値を“250”としており、垂直微分信号S4により1垂直期間中のライン数がカウントされ、1垂直期間中のライン数のカウント数が垂直期間始点信号S7の値に一致する箇所が垂直方向のサンプルウィンドウ期間の始点になる。また、1垂直期間中のライン数のカウント数が垂直期間終点信号S8の値に一致する箇所が垂直方向のサンプルウィンドウ期間の終点になる。

[0046] 上記の水平方向のサンプルウィンドウ期間と垂直方向のサンプルウィンドウ期間との間で論理積処理を行うことで、最終的にサンプルウィンドウ回路2からサンプルウィンドウ信号S9が出力される。また、サンプルウィンドウ信号S9と映像輝度信号S10とをAND回路3に入力することで、サンプルウィンドウ処理した後の輝度信号S11が得られる。

[0047] （実施の形態1）

図4は、サンプルウィンドウ回路2の実施の形態1の構成を示すブロック図である。図4において、4は1水平期間における輝度信号の画素データを加算するための第1のカウンタ回路である。5は水平微分信号S3と第1のカウンタ回路4のカウント信号S12とが入力される第1のAND回路である。6は第1の遅延回路である。7は1水平期間における輝度信号の画素データを間引く水平方向間引き調整回路である。水平方向間引き調整回路7は、その間引きの画素間隔の調整が可能である。8は水平方向間

引き調整回路7の出力(ビットシフトされたビットシフト信号S16)と水平期間始点信号S5とを比較する第1の比較回路である。9はビットシフト信号S16と水平期間終点信号S6とを比較する第2の比較回路である。10は第1の比較回路8の出力と第2の比較回路9の出力とをサンプリング有効期間に設定する第1のセトリセット回路である。11は第1のセトリセット回路10から出力される水平方向のサンプリング有効期間信号S19と、水平方向間引き調整回路7から出力される水平方向間引き信号S15との間の論理積処理を行う第2のAND回路である。12は第2の遅延回路である。13はサンプリング画素位置切替信号S22を生成するサンプリング画素位置切替信号生成回路である。サンプリング画素位置切替信号生成回路13は水平微分信号S3に基づいてサンプリング画素位置切替信号S22を生成する。サンプリング画素位置切替信号S22はラインごと(すなわち1水平周期単位で)0, 1, 0, 1, …の反転を繰り返す信号である。14は第1の選択回路である。

[0048] 図5は、サンプリング画素位置切替信号生成回路13の具体的構成を示すブロック図である。図5において、24はカウンタ回路である。25は水平微分信号S3がクロックとして入力される遅延回路である。

[0049] 以上のように構成された輝度信号処理装置について、以下にその動作を説明する。

[0050] 水平微分信号S3がリセット信号として第1のAND回路5に入力されることで、1水平周期での輝度信号の総画素数のカウント数がリセットされる。第1のAND回路5の出力信号S13が第1の遅延回路6に入力され、ここで、クロック単位で遅延されて、その出力が第1のカウンタ回路4に入力されてここでカウントアップされていく。これにより、第1のカウンタ回路4、第1のAND回路5、及び第1の遅延回路6の動作によって総画素数カウント信号S14が生成される。画素数カウント信号S14は、1水平周期における総画素数をカウントした値を示す。生成される総画素数カウント信号S14は水平方向間引き調整回路7に入力される。

[0051] 水平方向間引き調整回路7では、総画素数カウント信号S14に基づいて水平方向間引き信号S15が生成されて出力される。水平方向間引き信号S15は、1水平期間における輝度信号の総画素データを、例えば8画素ごとに間引き処理するための信

号である。例えば8画素ごとに間引く場合、水平方向間引き信号S15は、8画素ごとに1、他は0となる。S16は間引きビット数分ビットシフトされたビットシフト信号であって水平方向間引き調整回路7から出力される。水平方向間引き調整回路7において、間引きの画素間隔は調整可能である。

[0052] 第1の遅延回路6から出力される総画素数カウント信号S14は1水平期間内の全ての画素数を加算したものとなり、高精細な放送フォーマットになればなるほど1水平期間における総画素数、すなわち、総画素数カウント信号S14のカウント値は増えてしまう。このため、第1のカウンタ回路4、第1のAND回路5、第1の遅延回路6のビット数は、1水平期間における総画素数が増えれば増えるほど増やさなくてはならない。

[0053] しかしながら、本実施の形態における水平方向間引き調整回路7は、間引きビット数に応じてビットシフト信号S16のビット数を減らすことができる。例えば8画素ごとに間引く場合、ビットシフト信号S16は3ビットシフトされる。そのため、間引きを増やせば増やすほど、ビットシフト信号S16のビット数を減らすことができる。したがって、間引きを増やすほど、第1の比較回路8および第2の比較回路9のビット数を削減することができる。

[0054] 水平方向間引き調整回路7でビットシフト処理されたビットシフト信号S16と水平期間始点信号S5とが第1の比較回路8に入力される。第1の比較回路8は、ビットシフト信号S16と水平期間始点信号S5との一致を検出することで、一致検出信号S17を生成して出力する。

[0055] また、水平方向間引き調整回路7から出力されるビットシフト信号S16と水平期間終点信号S6とが第2の比較回路9に入力される。第2の比較回路9は、ビットシフト信号S16と水平期間終点信号S6との一致を検出することで、一致検出信号S18を生成して出力する。

[0056] 一致検出信号S17と一致検出信号S18とは、第1のセトリセット回路10に入力される。第1のセトリセット回路10は、これら一致検出信号S17、S18から、1水平周期における水平方向のサンプリング有効期間信号S19を生成して出力する。水平方向間引き信号S15と水平方向のサンプリング有効期間信号S19とは第3のAND回路11に入力される。第3のAND回路11は、水平方向間引き信号S15と水平方向のサン

プリング有効期間信号S19とから1水平周期の有効期間中の水平方向間引きサンプリング信号S20を生成して第1の選択回路14と第2の遅延回路12とに出力する。第2の遅延回路12は、水平方向間引きサンプリング信号S20を、N画素分(Nは1以上の自然数)遅延処理することで遅延の水平方向間引きサンプリング信号S21にして、第1の選択回路14に出力する。

[0057] 水平微分信号S3はサンプリング画素位置切替信号生成回路13に入力される。サンプリング画素位置切替信号生成回路13は、水平微分信号S3からサンプリング画素位置切替信号S22を生成して第1の選択回路14に出力する。サンプリング画素位置切替信号S22は、1水平周期単位で0, 1, 0, 1, …の反転を繰り返す信号となる。第1の選択回路14は、サンプリング画素位置切替信号生成回路13から供給されるサンプリング画素位置切替信号S22に基づいてその選択操作が制御されることで、1水平周期単位で水平方向のサンプリング画素位置をずらすサンプルウィンドウ信号S9を生成して出力する。

[0058] 図6Aは、実施の形態1における1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図中、上位に位置する信号が画面上の上位のラインを示す。“1”のレベルでは画素がサンプリングされ、“0”のレベルでは画素はサンプリングされない。1ライン目は始点から0, 1, 0, 1, …の反転を繰り返し、2ライン目は始点から1, 0, 1, 0, …の反転を繰り返し、3ライン目は1ライン目と同様に始点から0, 1, 0, 1, …の反転を繰り返し、4ライン目は2ライン目と同様に始点から1, 0, 1, 0, …の反転を繰り返す。

[0059] 図6Bは、図6Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置(四角の記号)を示す。水平方向は8画素単位、垂直方向は1ライン単位でサンプリングされる。が、1ライン単位でサンプリング画素位置が水平方向に4画素分ずらされている。水平方向間引き調整回路7は、間引きの画素間隔を調整できる。

[0060] 本実施の形態によれば、サンプリング位置を画面上における縦方向で随意にかつ均等に指定することが可能となる。

[0061] (実施の形態2)

図7は、図1に示すサンプルウィンドウ回路2の実施の形態2の構成を示すブロック図である。図7において、実施の形態1の場合の図4と構成が異なる点は、幾つかの

回路構成をさらに追加した点である。追加した構成は次の通りである。

- [0062] 15は1垂直期間における全ライン数をカウントする第2のカウンタ回路である。16は垂直微分信号S4とカウント信号S24との間で論理積処理を行う第3のAND回路である。17は第3のAND回路16の出力信号S25を水平微分信号S3でロードホールドするロードホールド回路である。18は1垂直期間における全ラインのうちサンプリングするラインを間引く垂直方向間引き調整回路である。垂直方向間引き調整回路18は、その間引きのライン間隔の調整が可能である。19はビットシフトされた信号S28と垂直期間始点信号S7とを比較する第3の比較回路である。20はビットシフト信号S28と垂直期間終点信号S8とを比較する第4の比較回路である。ビットシフトされた信号S28は垂直方向間引き調整回路18から供給される。
- [0063] 21は第3の比較回路19の出力と第4の比較回路20の出力とをサンプリング有効期間に設定する第2のセットリセット回路である。22は第2のセットリセット回路21から出力される垂直方向のサンプリング有効期間信号S31と、垂直方向間引き調整回路18から出力される垂直方向間引き信号S27との間で論理積処理を行う第4のAND回路である。
- [0064] 26はサンプリング画素位置切替信号S33を生成するサンプリング画素位置切替信号生成回路である。サンプリング画素位置切替信号S33は間引きライン単位で0, 1, 0, 1, …の反転を繰り返す。サンプリング画素位置切替信号生成回路26は、第4のAND回路22の出力信号S32に基づいて、サンプリング画素位置切替信号S33を生成する。
- [0065] 23は第1の選択回路14の出力信号S23と第4のAND回路22の出力信号S32との間で論理積処理を行う第5のAND回路である。第5のAND回路23の出力信号はサンプルウィンドウ信号S9となる。その他の構成は実施の形態1と同じであるため、構成と動作の説明は省略する。
- [0066] 図7において、垂直微分信号S4がリセット信号として第3のAND回路16に入力されることで、1垂直周期での総ライン数のカウント数がリセットされる。第3のAND回路16の出力信号S25はロードホールド回路17に入力される。ロードホールド回路17は、水平微分信号S3で出力信号S25をロードホールドすることで、出力信号S25を1

水平周期単位で遅延さて第2のカウンタ回路15に出力する。第2のカウンタ回路15は入力される遅延された出力S25をカウントアップしていく。これにより、第2のカウンタ回路15、第3のAND回路16、及びロードホールド回路17の動作によって総ライン数カウント信号S26が生成される。総ライン数カウント信号S26は、1垂直期間における総ライン数をカウントした値を示す。生成される総ライン数カウント信号S26は垂直方向間引き調整回路18に入力される。

[0067] 垂直方向間引き調整回路18では、総ライン数カウント信号S26に基づいて垂直方向間引き信号S27が生成されて出力される。垂直方向間引き信号S27は、1垂直期間における総ライン数を、例えば4ラインごとに間引き処理するための信号である。S28は間引きビット数分ビットシフトを行ったビットシフト信号であって垂直方向間引き調整回路18から出力される。垂直方向間引き調整回路18において、間引きのライン間隔は調整可能である。

[0068] 垂直方向間引き調整回路18でビットシフト処理されたビットシフト信号S28と垂直期間始点信号S7とは第3の比較回路19に入力される。第3の比較回路19は、ビットシフト信号S28と垂直期間始点信号S7との一致を検出することで、一致検出信号S29を生成して出力する。

[0069] また、垂直方向間引き調整回路18から出力されるビットシフト信号S28と垂直期間終点信号S8とは第4の比較回路20に入力される。第4の比較回路20は、ビットシフト信号S28と垂直期間終点信号S8の一致を検出することで、一致検出信号S30を生成して出力する。

[0070] 一致検出信号S29と一致検出信号S30とは、第2のセトリセット回路21に入力される。第2のセトリセット回路21は、これら一致検出信号S29,S30から、1垂直期間における垂直方向のサンプリング有効期間信号S31を生成して出力する。垂直方向間引き信号S27と垂直方向のサンプリング有効期間信号S31とは第4のAND回路22に入力される。第4のAND回路22は、垂直方向間引き信号S27と垂直方向のサンプリング有効期間信号S31とから1垂直期間の有効期間中の垂直方向間引きサンプリング信号S32を生成してサンプリング画素位置切替信号生成回路26と第5のAND回路23とに出力する。

[0071] サンプリング画素位置切替信号生成回路26は、垂直方向間引きサンプリング信号S32に基づいて間引き垂直周期単位で0, 1, 0, 1, …の反転を繰り返すサンプリング画素位置切替信号S33を生成して第1の選択回路14に出力する。第1の選択回路14は、1水平周期単位で水平方向のサンプリング画素位置をずらす水平方向間引きサンプリング信号S23を生成して出力する。第1の選択回路14は、サンプリング画素位置切替信号生成回路26から供給されるサンプリング画素位置切替信号S33によりその選択操作が制御される。

[0072] ※上記記載を追記しました。内容確認をお願いします。※

第1の選択回路14の出力(水平方向間引きサンプリング信号S23)と第4のAND回路22の出力(垂直方向間引きサンプリング信号S32)とは第5のAND回路23に入力される。第5のAND回路23は、供給される水平方向間引きサンプリング信号S23と垂直方向間引きサンプリング信号S32とに基づいて、間引き垂直周期単位で水平方向のサンプリング画素位置をずらすサンプルウィンドウ信号S9を生成して出力する。

[0073] 図8Aは、実施の形態2における1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目は始点から0, 1, 0, 1, …の反転を繰り返し、8ライン目は始点から1, 0, 1, 0, …の反転を繰り返し、12ライン目は4ライン目と同様に始点から0, 1, 0, 1, …の反転を繰り返し、16ライン目は8ライン目と同様に始点から1, 0, 1, 0, …の反転を繰り返す。

[0074] 図8Bは、図8Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。水平方向は8画素単位、垂直方向は4ライン単位でサンプリングされる。サンプリング画素位置は水平方向に4画素分ずらされている。すなわち、サンプリング画素位置は、4ライン単位で水平方向にずらされている。間引きの画素間隔は、水平方向間引き調整回路7によって調整される。間引きのライン間隔は、垂直方向間引き調整回路18によって調整される。

[0075] 本実施の形態によれば、サンプリング位置を、画面上における縦方向、横方向、斜め方向で随意にかつ均等に指定することが可能となる。

[0076] (実施の形態3)

図9は、図1に示すサンプルウィンドウ回路2の実施の形態3の構成を示すブロック図である。図9において、実施の形態2の構成(図7)と異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。

[0077] 27はサンプリング画素位置切替信号生成回路26が出力するサンプリング画素位置切替信号S33を反転させることで、反転サンプリング画素位置切替信号S35を生成する反転回路である。29はフィールド切替信号S35を生成するフィールド切替信号生成回路である。フィールド切替信号生成回路29は、垂直微分信号S4に基づいてフィールド切替信号S35を生成する。フィールド切替信号S35は、垂直微分信号S4によって1垂直周期単位で0, 1, 0, 1, …の反転を繰り返す。28は第2の選択回路である。第2の選択回路28は、フィールド切替信号生成回路29から供給されるフィールド切替信号S35に基づいて、サンプリング画素位置切替信号S33と反転サンプリング画素位置切替信号S34とを選択して第1の選択回路14に出力する。その他の構成は実施の形態2の場合の図7と同じであるため、構成と動作の説明は省略する。

[0078] 以下、本実施形態の特徴となる動作を説明する。サンプリング画素位置切替信号生成回路26から出力されるサンプリング画素位置切替信号S33と反転回路27から出力される反転サンプリング画素位置切替信号S34とが第2の選択回路28に入力される。一方、垂直微分信号S4はフィールド切替信号生成回路29に入力される。フィールド切替信号生成回路29は、垂直微分信号S4に基づいて1垂直周期単位で0, 1, 0, 1, …の反転を繰り返すフィールド切替信号S35を生成して第2の選択回路28に出力する。第2の選択回路28は、供給されるフィールド切替信号S35に基づいてサンプリング画素位置切替信号S33と反転サンプリング画素位置切替信号S34との中からひとつを選択する。第2の選択回路28は、選択した信号(S33もしくはS34)を最終のサンプリング画素位置切替信号S36として第1の選択回路14に出力する。

[0079] 図10Aは、フィールド切替信号生成回路29の具体的構成を示す。30はカウンタ回路である。31は垂直微分信号S4がクロックとして入力される遅延回路である。フィールド切替信号S35は図10Bに示すように、垂直周期で0, 1, 0, 1, …の反転を繰り返す。

[0080] 図11Aー図11Dは、本実施の形態におけるサンプルウィンドウ信号S9の様子を示

す。

[0081] 図11Aでは、1フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目は始点から1, 0, 1, 0, …の反転を繰り返し、8ライン目は始点から0, 1, 0, 1, …の反転を繰り返し、12ライン目は4ライン目と同様に始点から1, 0, 1, 0, …の反転を繰り返し、16ライン目は8ライン目と同様に始点から0, 1, 0, 1, …の反転を繰り返す。

[0082] 図11Bは、図11Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。水平方向は8画素単位、垂直方向は4ライン単位でサンプリングされる。サンプリング画素位置は水平方向に4画素分ずらされている。すなわち、サンプリング画素位置は4ライン単位で水平方向にずらされている。具体的には、4ライン目では8画素目,16画素目,24画素目でサンプリングされ、8ライン目では12画素目,20画素目,28画素目でサンプリングされ、12ライン目では4ライン目と同様に8画素目,16画素目,24画素目でサンプリングされ、16ライン目では8ライン目と同様に12画素目,20画素目,28画素目でサンプリングされる。。

[0083] 図11Cでは、図11Aの1フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目は始点から0, 1, 0, 1, …の反転を繰り返し、8ライン目は始点から1, 0, 1, 0, …の反転を繰り返し、12ライン目は4ライン目と同様に始点から0, 1, 0, 1, …の反転を繰り返し、16ライン目は8ライン目と同様に始点から1, 0, 1, 0, …の反転を繰り返す。

[0084] 図11Dは、図11Cのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。図11Bに示すサンプリング画素位置に対し、水平方向に4画素分ずれている。すなわち、4ライン目では12画素目,20画素目,28画素目でサンプリングされ、8ライン目では8画素目,16画素目,24画素目でサンプリングされ、12ライン目では4ライン目と同様に12画素目,20画素目,28画素目でサンプリングされ、16ライン目では8ライン目と同様に8画素目,16画素目,24画素目でサンプリングされる。。

[0085] 本実施の形態によれば、画面上における縦方向,横方向,斜め方向で随意にかつ均等にサンプリング位置を指定することができる。したがって、フィールドごとにサンプリング画素位置をずらすことが可能となって、サンプリング位置設定の随意性、均等

性がさらに向上する。

[0086] (実施の形態4)

図12は、図1に示すサンプルウィンドウ回路2の実施の形態4の構成を示すブロック図である。図12において、実施の形態2の場合の図7と構成が異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。

[0087] 32は1水平期間における輝度信号の画素データを第1の間引き方法(例えば8画素ごとに間引く)で間引く第1の水平方向間引き調整回路である。第1の水平方向間引き調整回路32は、その間引きの画素間隔の調整が可能である。33は1水平期間における輝度信号画素データを第2の間引き方法(例えば4画素ごとに間引く)で間引く第2の水平方向間引き調整回路である。第2の水平方向間引き調整回路33は、その間引きの画素間隔の調整が可能である。34は第1の水平方向間引き調整回路32の水平方向間引き信号S38と、第2の水平方向間引き調整回路33の水平方向間引き信号S39とのなかからひとつを選択する選択回路である。選択回路34の制御は、サンプリング画素位置切替信号生成回路26のサンプリング画素位置切替信号S33により行われる。本実施の形態では、実施の形態2(図7)における第2の遅延回路12と選択回路14とは存在しない。第2のAND回路11の出力は第5のAND回路23に直接入力される。その他の構成は実施の形態2(図7)と同じであるため、構成と動作の説明は省略する。

[0088] 以下、本実施形態の特徴となる動作を説明する。第1の遅延回路6が出力する1水平周期における総画素数カウント信号S14は、第1の水平方向間引き調整回路32と第2の水平方向間引き調整回路33とに入力される。第1の水平方向間引き調整回路32は、1水平期間における輝度信号の総画素データを第1の間引き方法(例えば8画素ごとの間引き)で間引くことで、水平方向間引き信号S38を生成して出力する。第2の水平方向間引き調整回路33は、1水平期間における輝度信号の総画素データを第2の間引き方法(例えば4画素ごとの間引き)で間引くことで、水平方向間引き信号S39を生成して出力する。選択回路34は、サンプリング画素位置切替信号S33に基づいて水平方向間引き信号S38と水平方向間引き信号S39とのうちのいずれかを選択して出力する。

- [0089] 図13Aは、実施の形態4における1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目は始点から0, 1, 0, 1, …の反転を繰り返す、8ライン目は始点から1, 0, 1, 0, …の反転を繰り返す。4ライン目のサンプリングが8画素ごとであるのに対して、8ライン目のサンプリングは4画素ごとであり、サンプリング数が2倍となっていて、水平方向のサンプリングポイントが増やされている。また、12ライン目は4ライン目と同様に始点から0, 1, 0, 1, …の反転を繰り返す、16ライン目は8ライン目と同様に始点から1, 0, 1, 0, …の反転を繰り返す。12ライン目のサンプリングが8画素ごとであるのに対して、16ライン目のサンプリングは4画素ごとであり、サンプリング数が2倍となっていて、水平方向のサンプリングポイントが増やされている。
- [0090] 本実施の形態によれば、画面上における縦方向、横方向、斜め方向で随意にサンプリング位置を指定可能であり、さらに、サンプリング画素数を可変にすることで、サンプリング位置設定の随意性、均等性がさらに向上する。
- [0091] (実施の形態5)
- 図14は、図1に示すサンプルウィンドウ回路2の実施の形態5の構成を示すブロック図である。図14において、実施の形態2の構成(図7)と異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。
- [0092] 35は、フィールド切替信号S41を生成して第1の選択回路14に出力するフィールド切替信号生成回路である。フィールド切替信号生成回路35は、垂直微分信号S4に基づいてフィールド切替信号S41を生成する。フィールド切替信号S41は、1垂直期間ごとに水平方向におけるサンプリング画素位置を切り替える信号である。
- [0093] 第4のAND回路22の出力は、第5のAND回路23に入力されるものの、フィールド切替信号生成回路35に入力されることはない。その他の構成は実施の形態2の場合の図7と同じであるため、構成と動作の説明は省略する。
- [0094] 本実施形態の構成では、1垂直期間単位で水平方向におけるサンプリング画素位置を切り替えることを可能とするフィールド切替信号S41を用いて、第1の選択回路14の切換動作を制御している。
- [0095] 図15A—図15Dは、本実施の形態におけるサンプルウィンドウ信号S9の様子を示す。

[0096] 図15Aは、1フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。サンプルウィンドウ信号S9は、4ライン目,8ライン目,12ライン目,16ライン目で、それぞれ始点から0, 1, 0, 1, …の反転を繰り返す。

[0097] 図15Bは、図15Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目,8ライン目,12ライン目,16ライン目で、それぞれ8画素目,16画素目,24画素目でサンプリングされる。。

[0098] 図15Cは、図15Aの1フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の様子を示す。図15Cでは、図15Aに対して、水平方向で4画素ずれている。すなわち、4ライン目,8ライン目,12ライン目,16ライン目で、それぞれ12画素目,20画素目,28画素目でサンプリングされる。。

[0099] 本実施の形態によれば、画面上における横方向で随意にサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置をずらすことで、サンプリング位置設定の随意性、均等性がさらに向上する。

[0100] (実施の形態6)

図16は、図1に示すサンプルウィンドウ回路2の実施の形態6の構成を示すブロック図である。図16において、実施の形態2の構成(図7)と異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。

[0101] 36は、フィールド切替信号S44を生成して選択回路39に出力するフィールド切替信号生成回路である。フィールド切替信号生成回路36は、垂直微分信号S4に基づいてフィールド切替信号S44を生成する。フィールド切替信号S44は、1垂直期間単位で垂直方向におけるサンプリングライン位置を切り替える信号である。

[0102] 37は1垂直期間におけるサンプリングラインを第1の間引き方法(例えば4ラインごとに間引く)で間引くための第1の垂直方向間引き調整回路である。38は1垂直期間におけるサンプリングラインを第2の間引き方法(例えば2ラインごとに間引く)で間引くための第2の垂直方向間引き調整回路である。39は第1の垂直方向間引き調整回路37の垂直方向間引き信号S42と第2の垂直方向間引き調整回路38の垂直方向間引き信号S43のいずれかひとつを選択する選択回路である。選択回路39は、選択した信号を、垂直方向間引き信号S45として第4のAND回路22に出力する。選

択回路39は、フィールド切替信号S44に基づいてその選択動作が制御される。その他の構成は実施の形態2(図7)と同じであるため、構成と動作の説明は省略する。

- [0103] 以下、本実施形態の特徴となる動作を説明する。ロードホールド回路17の出力信号が第1,第2の垂直方向間引き調整回路37, 38に入力される。第1,第2の垂直方向間引き調整回路37, 38は、ロードホールド回路17の出力信号をそれぞれの間引き方法で間引き処理することで、垂直方向間引き信号S42,S43を生成して選択回路39に出力する。
- [0104] 選択回路39は、フィールド切替信号生成回路36から供給されるフィールド切替信号S44に基づいて、垂直方向間引き信号S42と垂直方向間引き信号S43とのいずれかひとつを1垂直期間(1フィールド)ごとに選択処理(切換処理)することで、垂直方向におけるサンプリングライン位置を1垂直期間(1フィールド)ごとに切り換える。
- [0105] 図17Aー図17Dは、本実施の形態におけるサンプルウィンドウ信号S9の様子を示す。
- [0106] 図17Aでは、1フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目,8ライン目,12ライン目,16ライン目で、それぞれ始点から0, 1, 0, 1, …の反転を繰り返す。
- [0107] 図17Bは、図17Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目,8ライン目,12ライン目,16ライン目で、それぞれ8画素目,16画素目,24画素目でサンプリングされる。
- [0108] 図17Cでは、図17Aの1フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の様子を示す。図17Aに対して、垂直方向で2倍のライン選択となっている。すなわち、2ライン目,4ライン目,6ライン目,8ライン目,10ライン目,12ライン目,14ライン目,16ライン目で、それぞれ8画素目,16画素目,24画素目でサンプリングされる。。
- [0109] 本実施の形態によれば、画面上における縦方向で随意にサンプリング位置を指定することができる。したがって、フィールドごとにサンプリングライン数を可変することが可能となって、サンプリング位置設定の随意性、均等性がさらに向上する。
- [0110] なお、上記では垂直方向間引き調整回路として、第1および第2の2つ(37, 38)を

用いたが、3以上の複数としてよい。

[0111] (実施の形態7)

図18は、図1に示すサンプルウィンドウ回路2の実施の形態7の構成を示すブロック図である。図18において、実施の形態3の構成(図9)と異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。

[0112] 40は、サンプリング画素位置切替信号S47を生成して第1の選択回路14に出力するサンプリング画素位置切替信号生成回路である。サンプリング画素位置切替信号生成回路40には垂直方向間引き調整回路18から垂直方向間引き信号S27が入力される。サンプリング画素位置切替信号生成回路40は、垂直方向間引き信号S27に基づいて間引き水平周期単位で0, 1, 0, 1, …の反転を繰り返すサンプリング画素位置切替信号S47を生成する。

[0113] 41はサンプリングライン位置切替信号S49を生成するサンプリングライン位置切替信号生成回路である。サンプリングライン位置切替信号生成回路41には水平方向間引き調整回路7の出力信号(水平方向間引き信号S15)が入力される。サンプリングライン位置切替信号生成回路41は、水平方向間引き信号S15に基づいてサンプリングライン位置切替信号S49を生成する。サンプリングライン位置切替信号S49は、1水平周期中の間引き画素単位でサンプリング画素位置の切り替えを行う信号である。

[0114] 42はサンプリングライン位置切替信号生成回路41から出力されるサンプリングライン位置切替信号S49を反転する反転回路である。43はフィールド切替信号S51を生成するフィールド切替信号生成回路である。フィールド切替信号生成回路43は、垂直微分信号S4に基づいてフィールド切替信号S51を生成する。フィールド切替信号S51は、1垂直周期単位で0, 1, 0, 1, …の反転を繰り返す信号である。44はフィールド切替信号S51に基づいてサンプリングライン位置切替信号S49と反転サンプリングライン位置切替信号S50とのうちのいずれかひとつを選択する第3の選択回路である。45は垂直方向間引き調整回路18からの垂直方向間引き信号S27を1水平周期遅延させるラインメモリである。46は垂直方向間引き調整回路18からの垂直方向間引き信号S27とラインメモリ45からの遅延の垂直方向間引き信号S27aとのうちの

いずれかひとつを選択する第4の選択回路である。第4の選択回路46は、第3の選択回路44の出力信号S52に基づいてその選択動作が制御される。その他の構成は実施の形態3(図9)と同じであるため、構成と動作の説明は省略する。

[0115] 以下、本実施形態の特徴となる動作を説明する。サンプリング画素位置切替信号生成回路40は、所定の間引きライン単位でサンプリング画素位置を切り替える。所定の間引きライン単位は、垂直方向に間引き処理を行ったライン数ごとに設定される。第3の選択回路44は、サンプリングライン位置切替信号S49と反転サンプリングライン位置切替信号S50とを切り替えることで、信号S52を第4の選択回路46に出力する。第4の選択回路46は、信号S52に基づいて制御される。第4の選択回路46は、垂直方向間引き信号S27と、垂直方向に遅延された垂直方向間引き信号S27aとを交互に選択して、第4のAND回路22に出力する。これにより、第4のAND回路22は、垂直周期単位で垂直方向でのサンプリング画素位置を切り替える。

[0116] 図19は、本実施の形態7におけるタイミングチャートを示す。S47は間引きライン単位でのサンプリング画素位置切替信号である。S47(※ここの信号はS47ではないでしょうか。ご確認をお願いします。※)は水平方向におけるサンプリング画素位置切替信号である。S51は1垂直期間ごとに生成されるフィールド切替信号である。S52は第3の選択回路44の出力信号である。

[0117] 図20A－図20Dは、本実施の形態におけるサンプルウィンドウ信号S9の様子を示す。

[0118] 図20Aでは、1フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図20Bは、図20Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目では8画素目,16画素目,24画素目でサンプリングされ、8ライン目では12画素目,20画素目,28画素目でサンプリングされ、12ライン目では4ライン目と同様に8画素目,16画素目,24画素目でサンプリングされ、16ライン目では8ライン目と同様に12画素目,20画素目,28画素目でサンプリングされる。。

[0119] 図20Cでは、図20Aの1フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図20Aに対して、4ライン目と8ライン目とが入れ替える

れ、12ライン目と16ライン目とが入れ替えられている。すなわち、4ライン目では12画素目,20画素目,28画素目でサンプリングされ、8ライン目では8画素目,16画素目,24画素目でサンプリングされ、12ライン目では4ライン目と同様に12画素目,20画素目,28画素目でサンプリングされ、16ライン目では8ライン目と同様に8画素目,16画素目,24画素目でサンプリングされる。。

[0120] 本実施の形態によれば、画面上における縦方向,横方向,斜め方向で随意にかつ均等にサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置を垂直方向にずらすことで、サンプリング位置設定の随意性、均等性がさらに向上する。

[0121] (実施の形態8)

図21は、図1に示すサンプルウィンドウ回路2の実施の形態8の構成を示すブロック図である。図21において、実施の形態3の構成(図9)と異なる点は、幾つかの回路構成をさらに追加した点である。追加した構成は次の通りである。

[0122] 47はフィールド切替信号S53を生成するフィールド切替信号生成回路である。フィールド切替信号生成回路47には垂直微分信号S4が入力される。フィールド切替信号生成回路47は、垂直微分信号S4に基づいてフィールド切替信号S53を生成する。フィールド切替信号S53は、N垂直周期単位で(Nは1以上の自然数)に0, 1, 0, 1, …の反転を繰り返す信号である。ここで、フィールド切替信号生成回路47は、複数フィールド単位,複数ライン単位で水平方向におけるサンプリング画素位置を切り替えることができる。フィールド切替信号生成回路47は、フィールド切替信号S53を第2の選択回路28に出力する。その他の構成は実施の形態3の構成(図9)と同じであるため、構成と動作の説明は省略する。

[0123] 図22はフィールド切替信号生成回路47を示しており、ここでは例として2フィールドごとにカウントアップするフィールド切替信号生成回路(カウンタ回路)47が示される。フィールド切替信号生成回路(カウンタ回路)47のビット数をN(Nは1以上の自然数)にすると、Nフィールド単位でカウントアップする。したがって、この例のフィールド切替信号S53では、垂直微分信号S4は、2フィールドに1ずつカウントアップされる。

[0124] 図23A－図23Dは、本実施の形態におけるサンプルウィンドウ信号S9の様子を示

す。図23Aでは、2フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図23Bは、図23Aのサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目では8画素目,16画素目,24画素目でサンプリングされ、8ライン目では12画素目,20画素目,28画素目でサンプリングされ、12ライン目では4ライン目と同様に8画素目,16画素目,24画素目でサンプリングされ、16ライン目では8ライン目と同様に12画素目,20画素目,28画素目でサンプリングされる。

[0125] 図23Cでは、図23Aの2フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図23Aに対して、8画素目と12画素目とが入れ替えられ、16画素目と20画素目とが入れ替えられ、24画素目と28画素目とが入れ替えられている。すなわち、4ライン目では12画素目,20画素目,28画素目でサンプリングされ、8ライン目では8画素目,16画素目,24画素目でサンプリングされ、12ライン目では4ライン目と同様に12画素目,20画素目,28画素目でサンプリングされ、16ライン目では8ライン目と同様に8画素目,16画素目,24画素目でサンプリングされる。

[0126] 本実施の形態によれば、画面上における縦方向,横方向,斜め方向で随意にかつ均等にサンプリング位置を指定可能であり、さらに、複数フィールドごとにサンプリング画素位置を水平方向にずらすことで、サンプリング位置設定の随意性、均等性がさらに向上する。

産業上の利用可能性

[0127] 以上のように、本発明の輝度信号処理装置は、回路規模を大きくすることなく、映像の輝度信号に対し精度良くサンプリングを可能にするものであり、映像信号における画質改善装置等として有用である。

請求の範囲

- [1] 入力映像信号の水平同期信号と垂直同期信号とにおける立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と、前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、
- 水平期間及び垂直期間の開始位置及び終了位置を検知し、前記水平微分信号及び垂直微分信号に応じて、画面上の垂直方向及び水平方向の任意の位置に設定されるサンプルウィンドウ信号を生成するサンプルウィンドウ回路と、
- 前記サンプルウィンドウ回路が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力回路と、
- を備える輝度信号処理装置。
- [2] 入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、
- 前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウンタ回路と、
- 前記水平微分信号と前記第1のカウンタ回路の出力信号との論理積処理を行う第1の論理積回路と、
- 前記第1の論理積回路の出力信号をクロック単位で遅延させる第1の遅延回路と、
- 前記第1の遅延回路の出力信号から、1水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、
- サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第1のサンプリング有効期間を設定する第1のセトリセット回路と、

前記第1のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第2の論理積回路と、

前記第2の論理積回路の出力信号をN画素分(Nは1以上の自然数)遅延させる第2の遅延回路と、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第1のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第2の論理積回路の出力信号と前記第2の遅延回路の出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第1の選択回路と、

を備える輝度信号処理装置。

[3] 請求項2の輝度信号処理装置において

前記第1のサンプリング画素位置切替信号生成回路は、

前記水平微分信号がクロックとして供給される遅延回路と、

前記遅延回路の出力をカウントアップする加算回路と、

を備える輝度信号処理装置。

[4] 請求項2の輝度信号処理装置において、さらに、

1垂直期間における全ライン数をカウントする第2のカウンタ回路と、

前記垂直微分信号と前記第2のカウンタ回路の出力信号との論理積処理を行う第3の論理積回路と、

前記水平微分信号で前記第3の論理積回路の出力信号をロードホールドするロードホールド回路と、

前記ロードホールド回路の出力信号に基づいて、1垂直期間における全ラインから、間引きライン数を調整しながら間引く垂直方向間引き調整回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間始点信号とを比較する第3の比較回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間終点信号とを比較する第4の比較回路と、

前記第3の比較回路による比較結果と前記第4の比較回路による比較結果とに基

づいて第2のサンプリング有効期間信号を生成する第2のセットリセット回路と、

前記第2のサンプリング有効期間信号と前記垂直方向間引き調整回路の出力信号との論理積処理を行う第4の論理積回路と、

前記第4の論理積回路の出力信号から、所定の間引きライン数ごとに反転を繰り返すサンプリング画素位置切替信号を生成するサンプリング画素位置切替信号生成回路と、

前記第1の選択回路の出力信号と前記第4の論理積回路の出力信号との論理積処理を行ってサンプルウィンドウ信号を生成する第5の論理積回路と、

を備える輝度信号処理装置。

[5] 請求項4に記載の輝度信号処理装置において、さらに、

前記サンプリング画素位置切替信号を反転させて反転サンプリング画素位置切替信号を生成する反転回路と、

前記垂直微分信号から垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて前記サンプリング画素位置切替信号と前記反転サンプリング画素位置切替信号とのなかからひとつを選択する第2の選択回路とを備え、

前記第1の選択回路は、前記サンプリング画素位置切替信号生成回路によるサンプリング画素位置切替信号に代えて前記第2の選択回路からのサンプリング画素位置切替信号によって制御される、

輝度信号処理装置。

[6] 請求項5に記載の輝度信号処理装置において、前記フィールド切替信号生成回路は、

前記垂直微分信号がクロックとして供給される遅延回路と、

前記遅延回路の出力をカウントアップする加算回路と、

を備える輝度信号処理装置。

[7] 請求項4の輝度信号処理装置において、

前記水平方向間引き調整回路に代えて、互いに間引き画素間隔を異にする複数

の水平方向間引き調整回路が設けられ、

前記第2の遅延回路の出力信号および前記第1の選択回路の出力信号に代えて、前記複数の水平方向間引き調整回路の出力信号から、前記サンプリング画素位置切替信号に基づいてひとつの出力信号を選択して前記第2の論理積回路に出力する選択回路を備える、

輝度信号処理装置。

[8] 請求項4に記載の輝度信号処理装置において、

前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号から、サンプリング画素位置切替信号を生成することに代えて、前記垂直微分信号から、1垂直期間ごとに前記第1の選択回路の制御を行うフィールド切替信号を生成する、

輝度信号処理装置。

[9] 請求項4に記載の輝度信号処理装置において、

前記垂直方向間引き調整回路に代えて、互いに間引きライン間隔を異にする複数の垂直方向間引き調整回路が設けられ、

前記第2の遅延回路、前記第1の選択回路および前記サンプリング画素位置切替信号生成回路に代えて、

前記垂直微分信号から、垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記複数の垂直方向間引き調整回路の出力信号から、前記フィールド切替信号に基づいてひとつの出力信号を選択して前記第4の論理積回路に出力する選択回路と、

を備える輝度信号処理装置。

[10] 請求項5の輝度信号処理装置において、

前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号に代えて、前記垂直方向間引き調整回路の出力信号に基づいて前記サンプリング画素位置切替信号を生成し、

さらに、

前記水平方向間引き調整回路の出力信号をリセット信号にしてサンプリングライン位置が変更されるサンプリングライン位置切替信号を生成するサンプリングライン位置切替信号生成回路と、

前記サンプリングライン位置切替信号を反転させる反転回路と、

前記垂直微分信号をリセット信号にしてサンプリングライン位置が切り替わるフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて、前記サンプリングライン切替信号と、前記反転回路の出力とのうちのひとつを選択する第3の選択回路と、

前記垂直方向間引き調整回路の出力信号を遅延させて垂直方向におけるラインごとのサンプリング画素位置を切り替えるラインメモリと、

前記第3の選択回路の出力信号に基づいて、前記垂直方向間引き調整回路の出力信号と前記ラインメモリ回路の出力信号とのうちのひとつを選択する第4の選択回路と、

を備える輝度信号処理装置。

[11] 請求項5に記載の輝度信号処理装置において、

前記フィールド切替信号生成回路は、前記垂直微分信号をリセット信号にして複数フィールド単位で前記第2の選択回路を切り替えるフィールド切替信号を生成し、このフィールド切替信号に基づいて複数フィールドごとにサンプリングライン位置を切り替える、

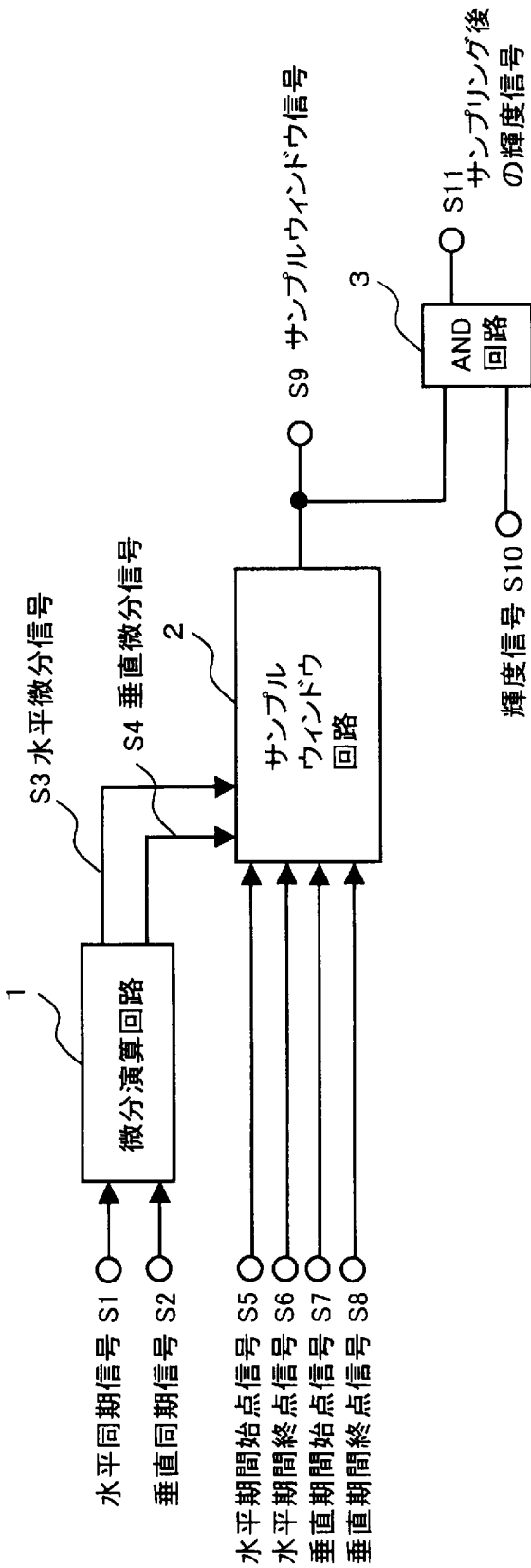
輝度信号処理装置。

[12] 入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで前記水平同期信号に同期した水平微分信号及び前記垂直同期信号に同期した垂直微分信号を出力する微分演算ステップと、

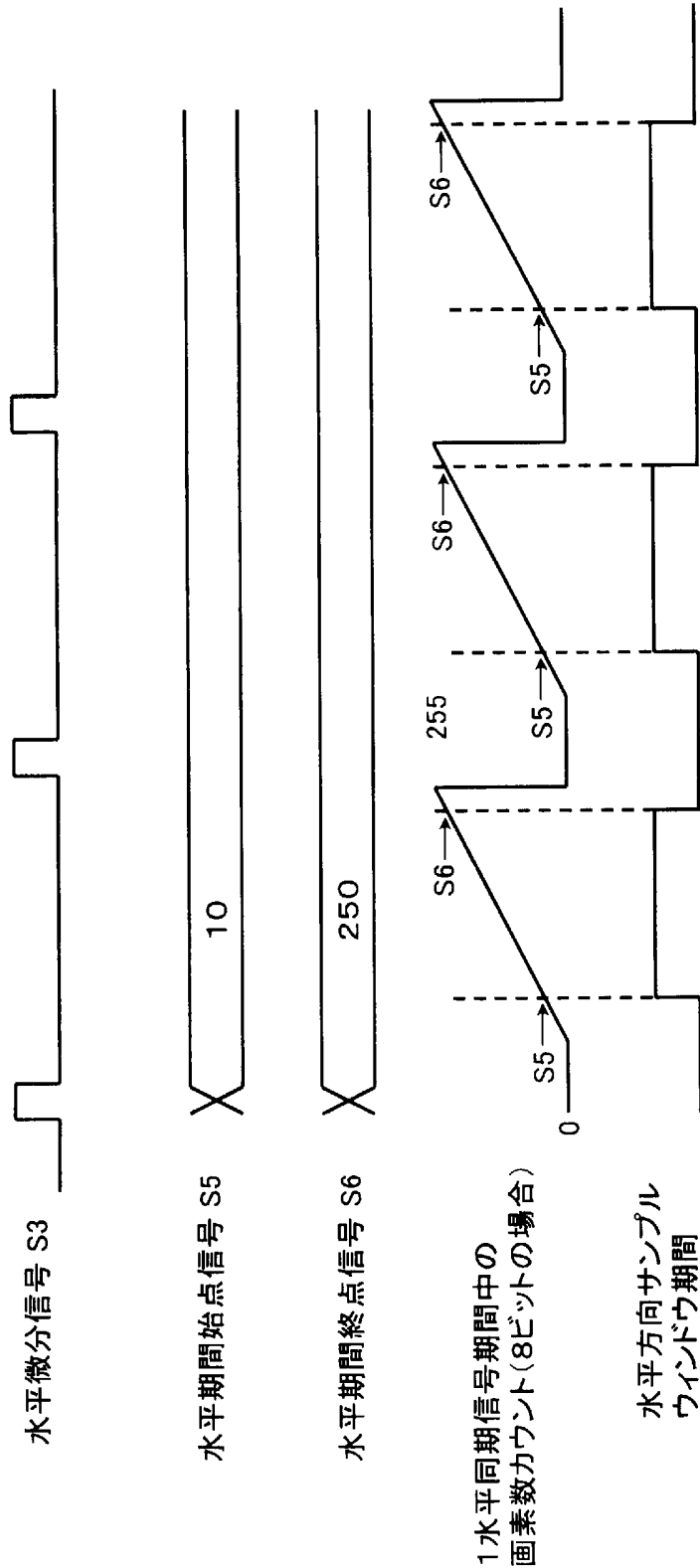
水平期間及び垂直期間の開始位置及び終了位置を検知したうえで、画面上の垂直方向及び垂直方向の任意の位置に設定されるサンプルウィンドウ信号を、前記水平微分信号と垂直微分信号とに基づいて生成するサンプルウィンドウ生成ステップと、

前記サンプルウィンドウ信号が有効である場合において、サンプリングされた輝度信号を選択的に出力する軌道信号出力ステップと、
を含む輝度信号処理方法。

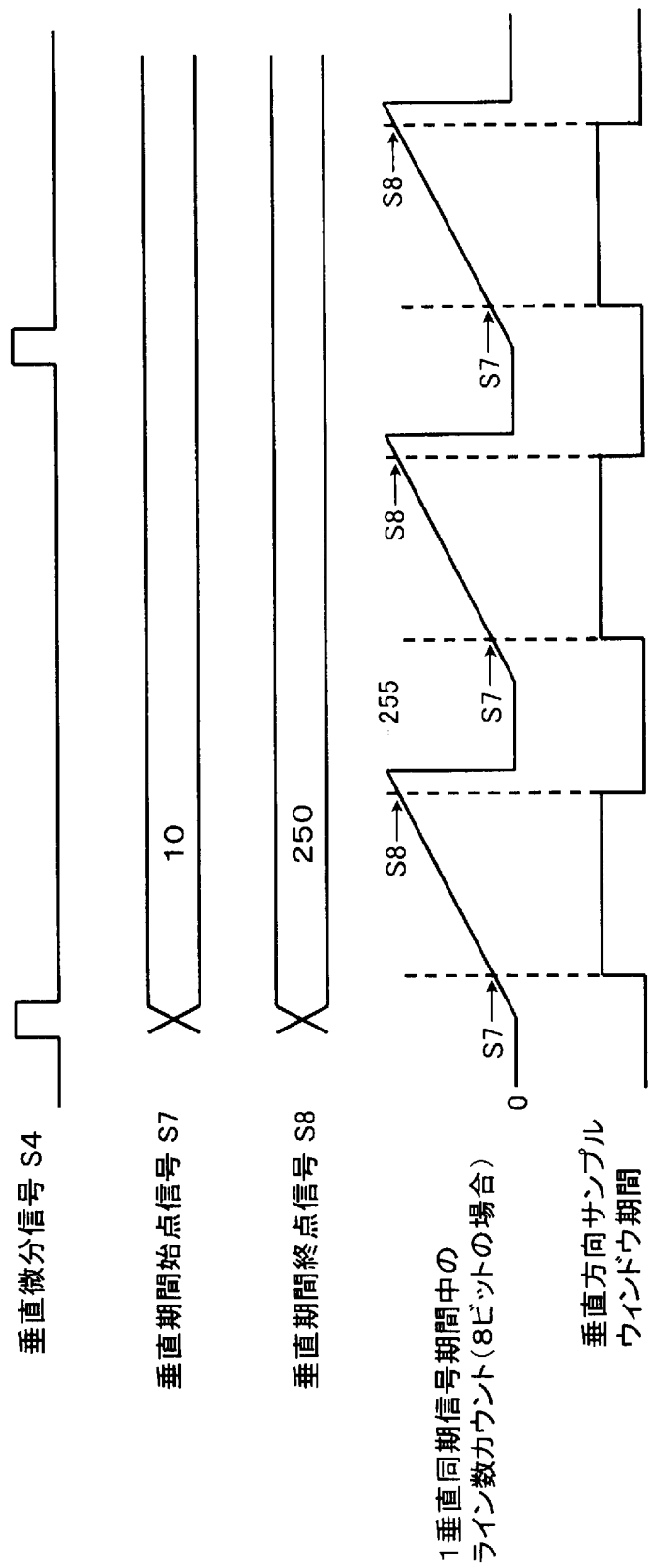
[図1]



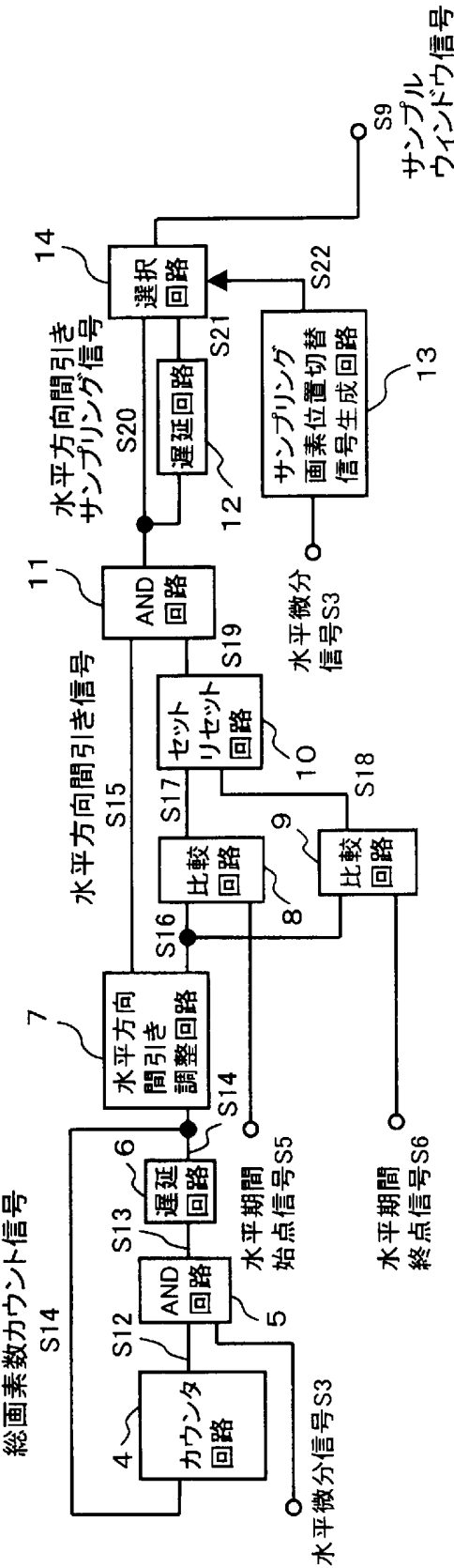
[図2]



[図3]

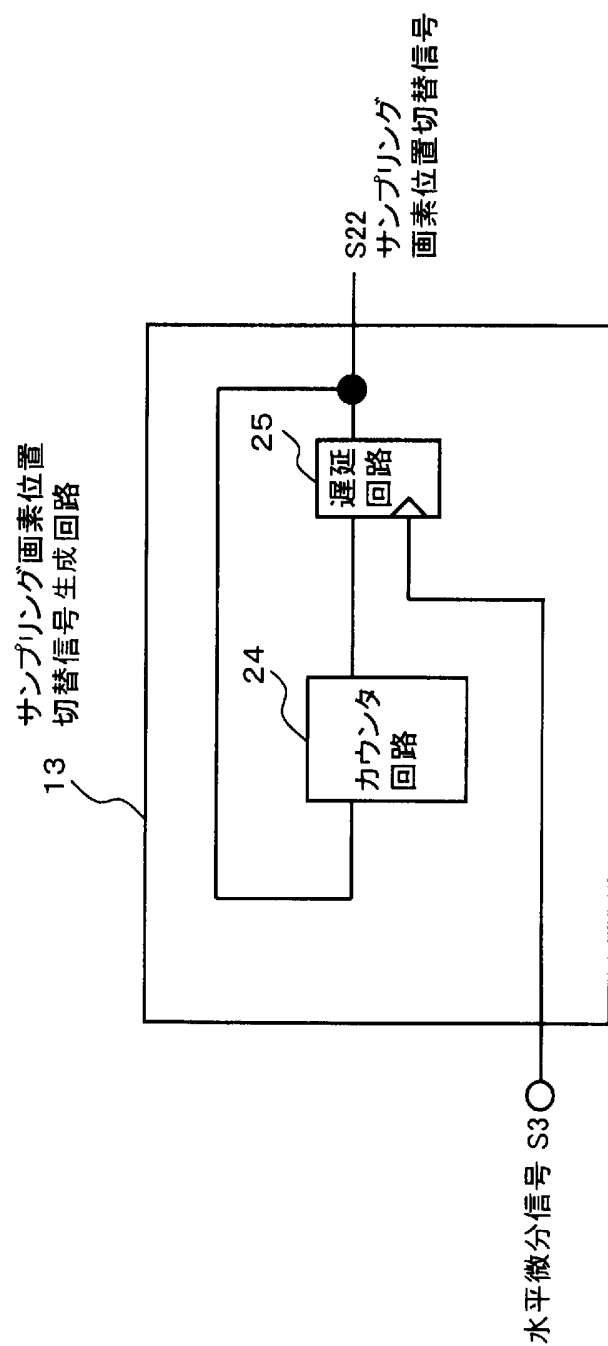


[図4]

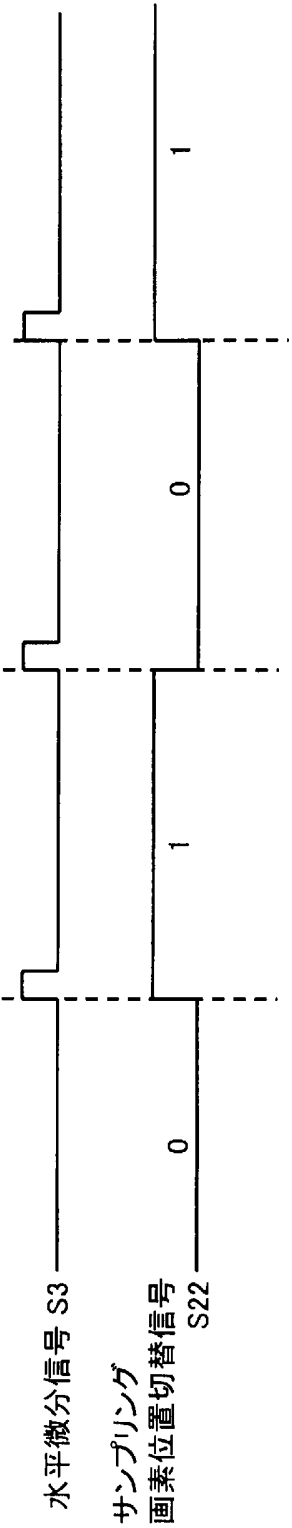


- S16 ビットシフト信号
- S17 一致検出信号
- S18 一致検出信号
- S19 水平方向のサンプリグ有効期間信号
- S21 遅延の水平方向間引きサンプリグ信号
- S22 サンプリグ画素位置切替信号

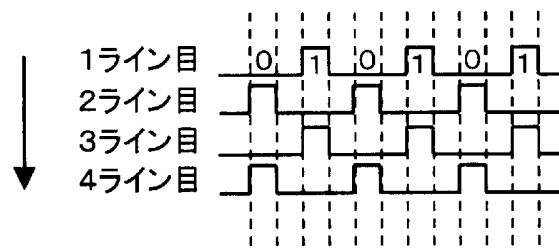
[図5A]



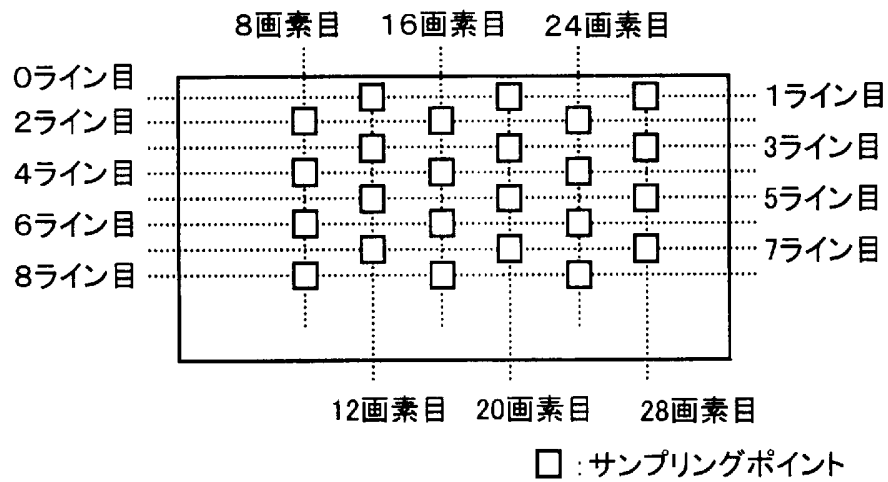
[図5B]



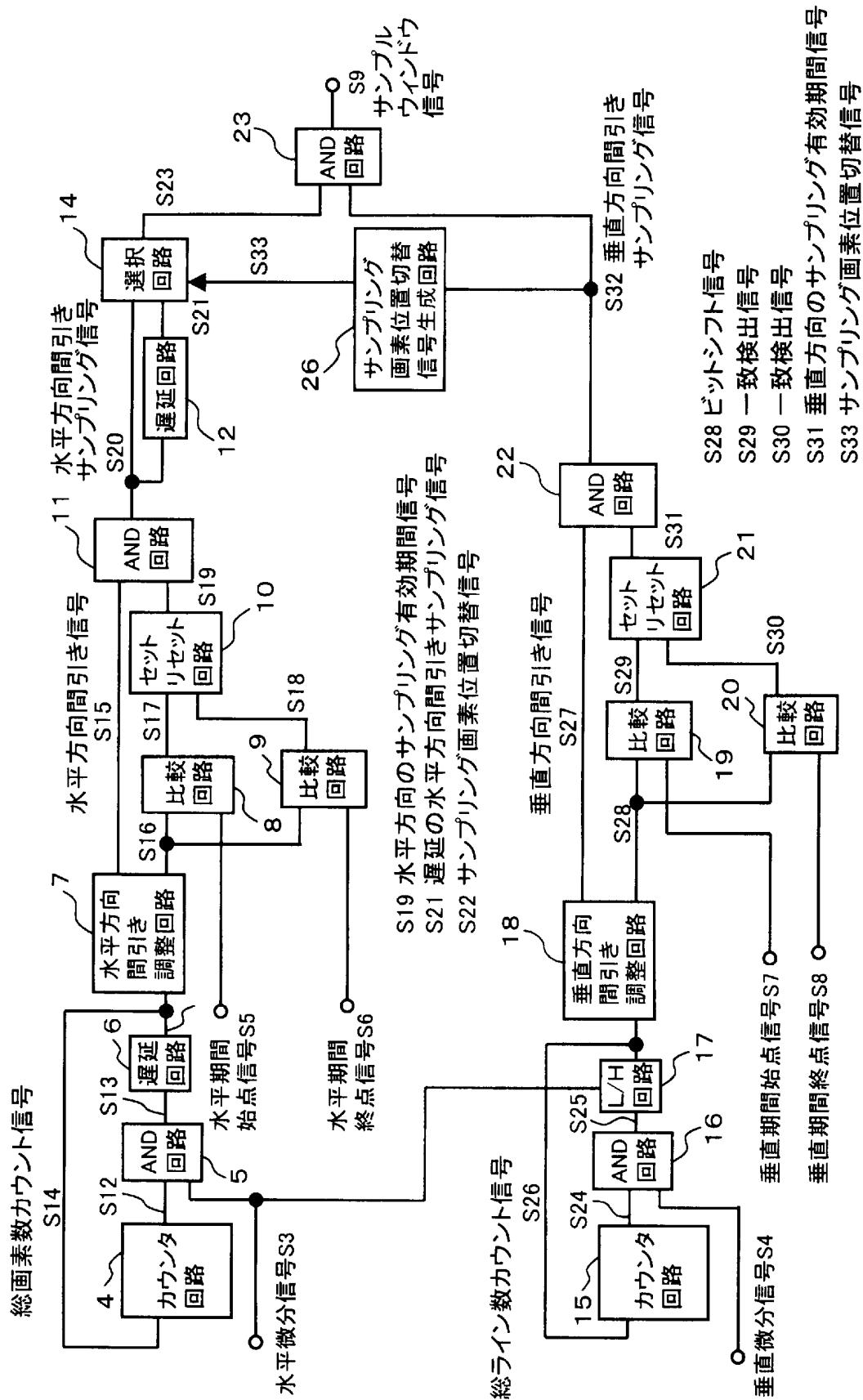
[図6A]



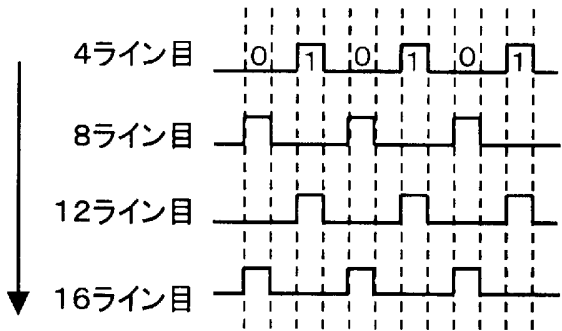
[図6B]



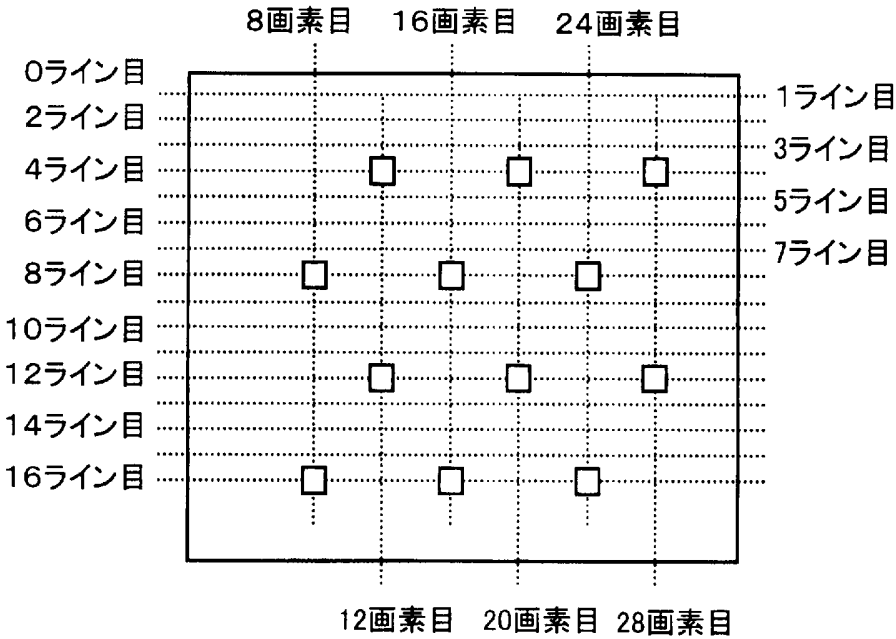
[図7]



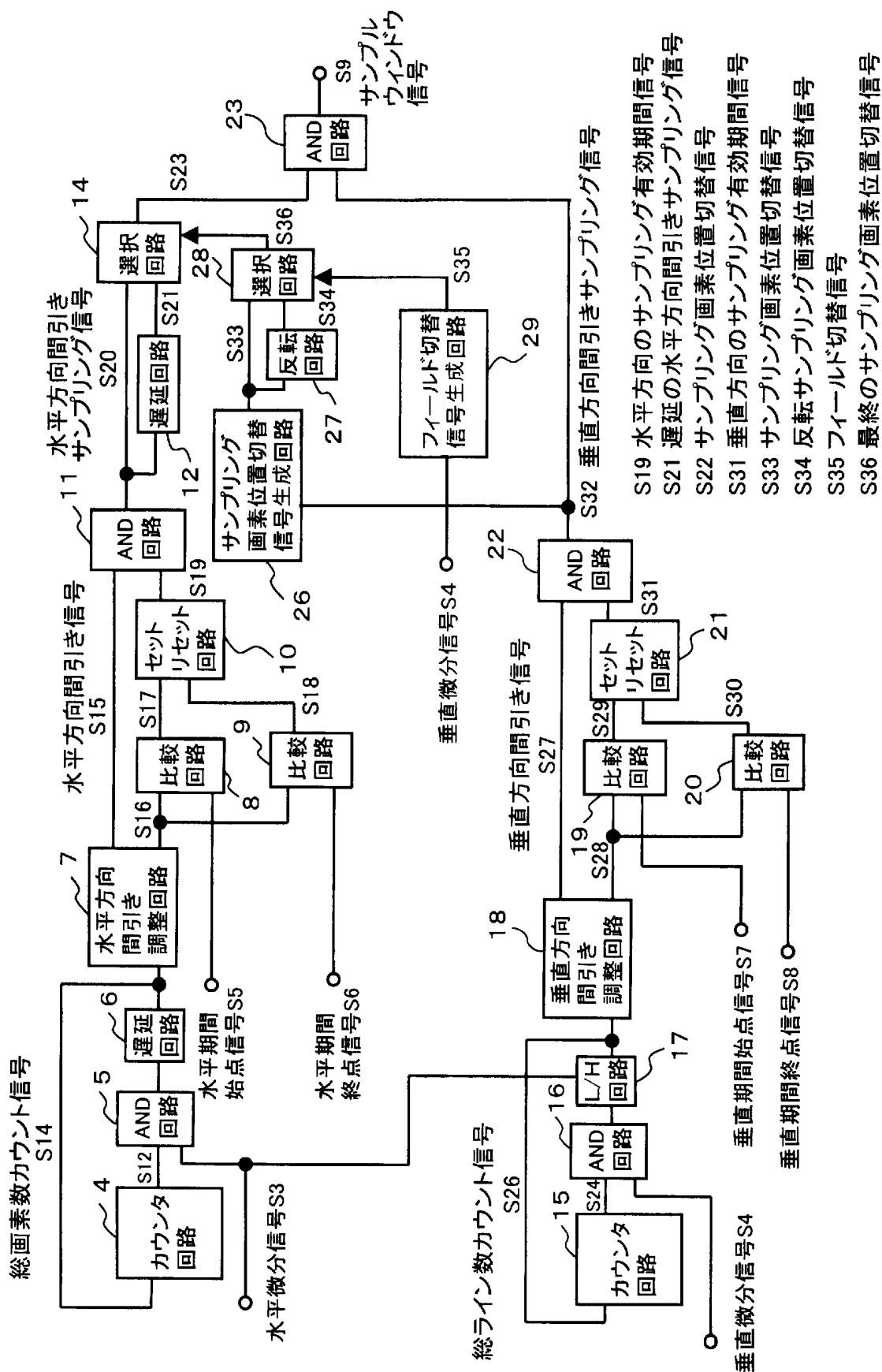
[図8A]



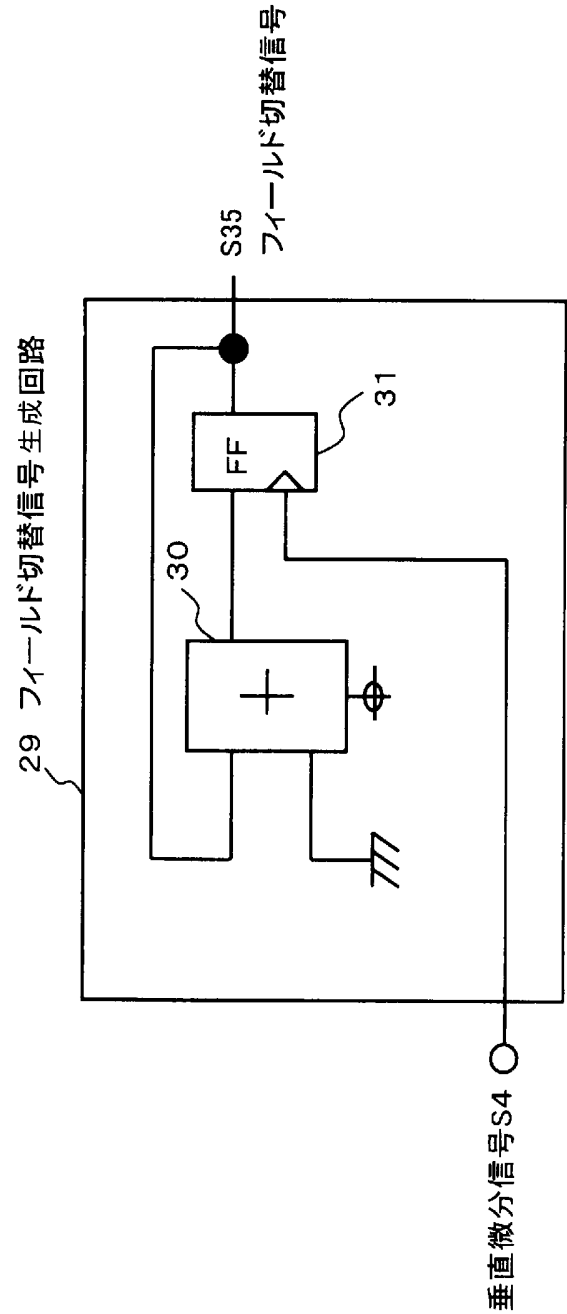
[図8B]



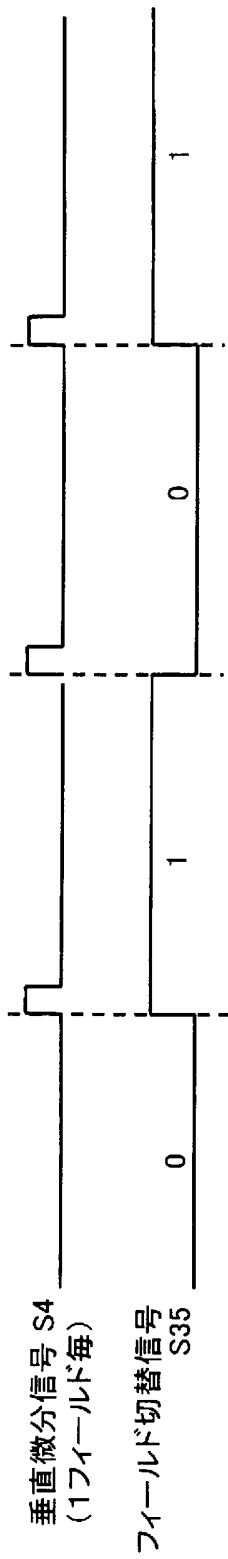
総画素数カウンタ信号



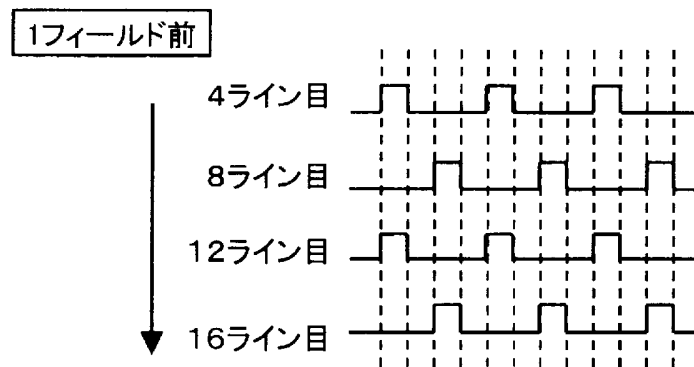
[図10A]



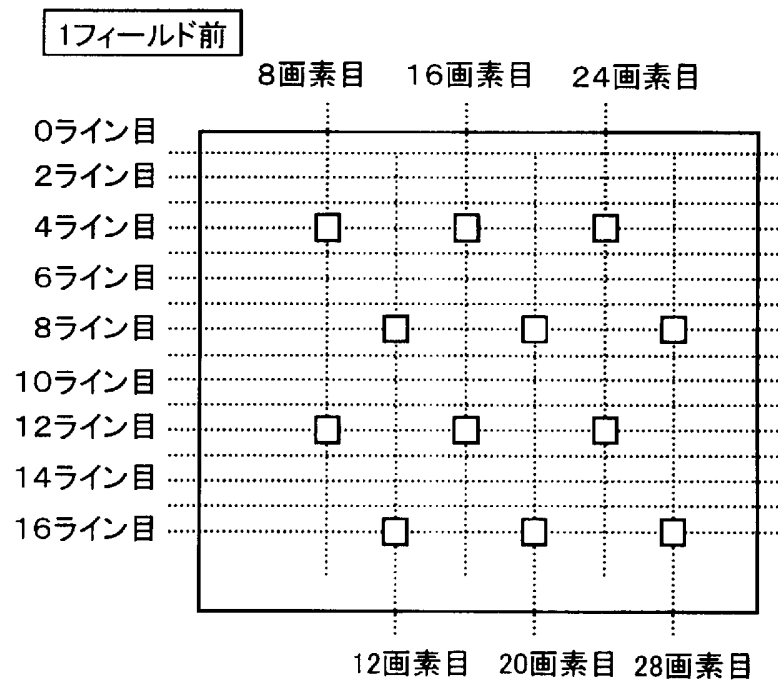
[図10B]



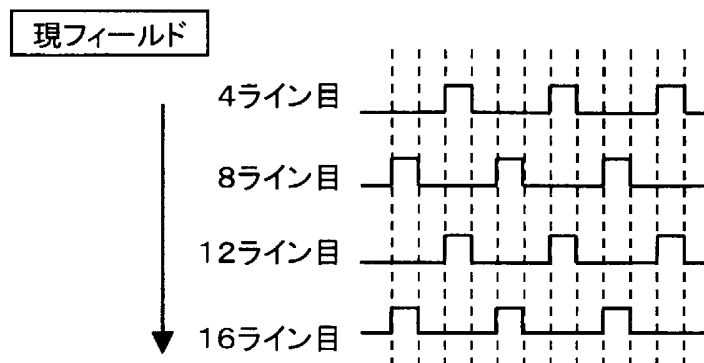
[図11A]



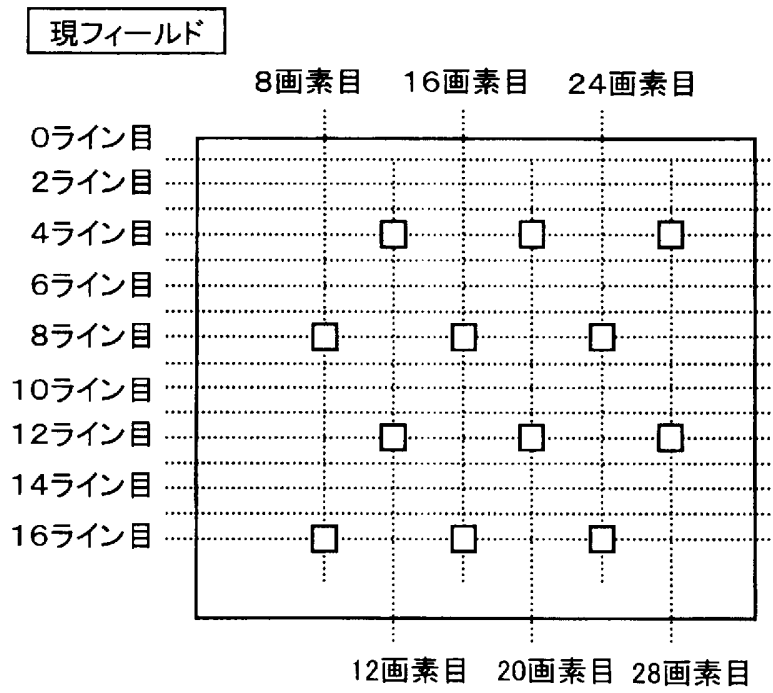
[図11B]



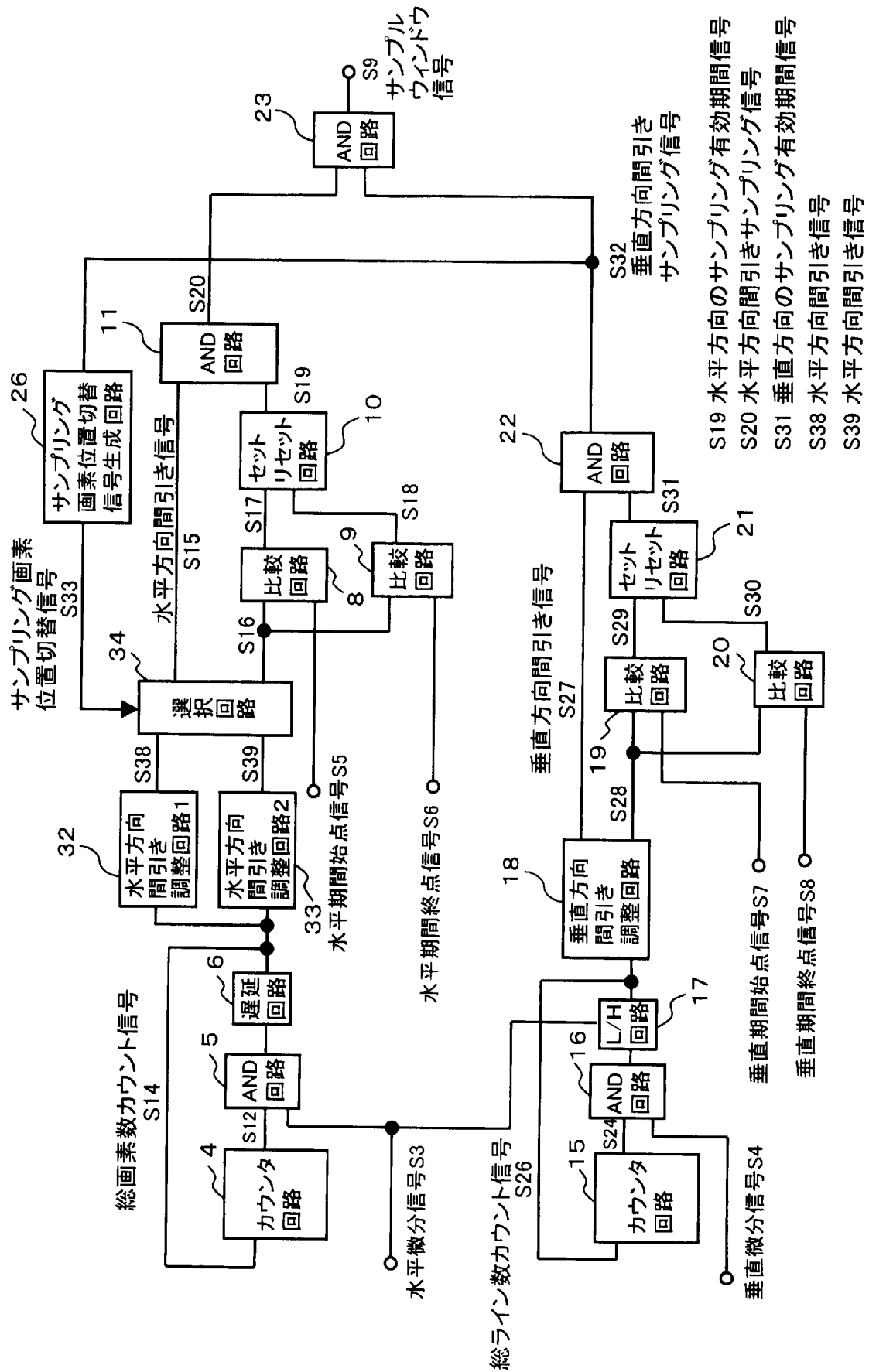
[図11C]



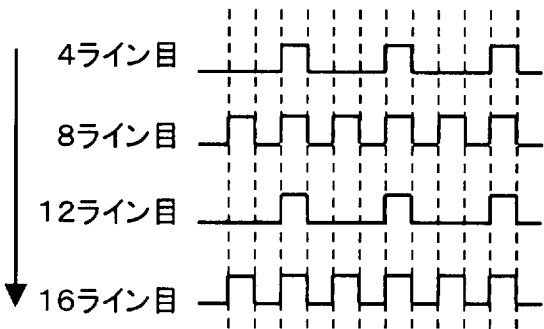
[図11D]



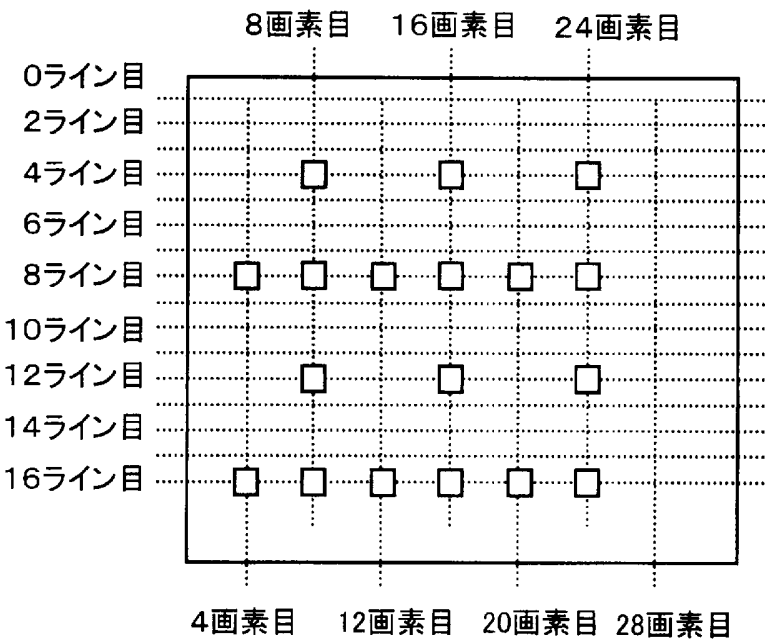
[図12]



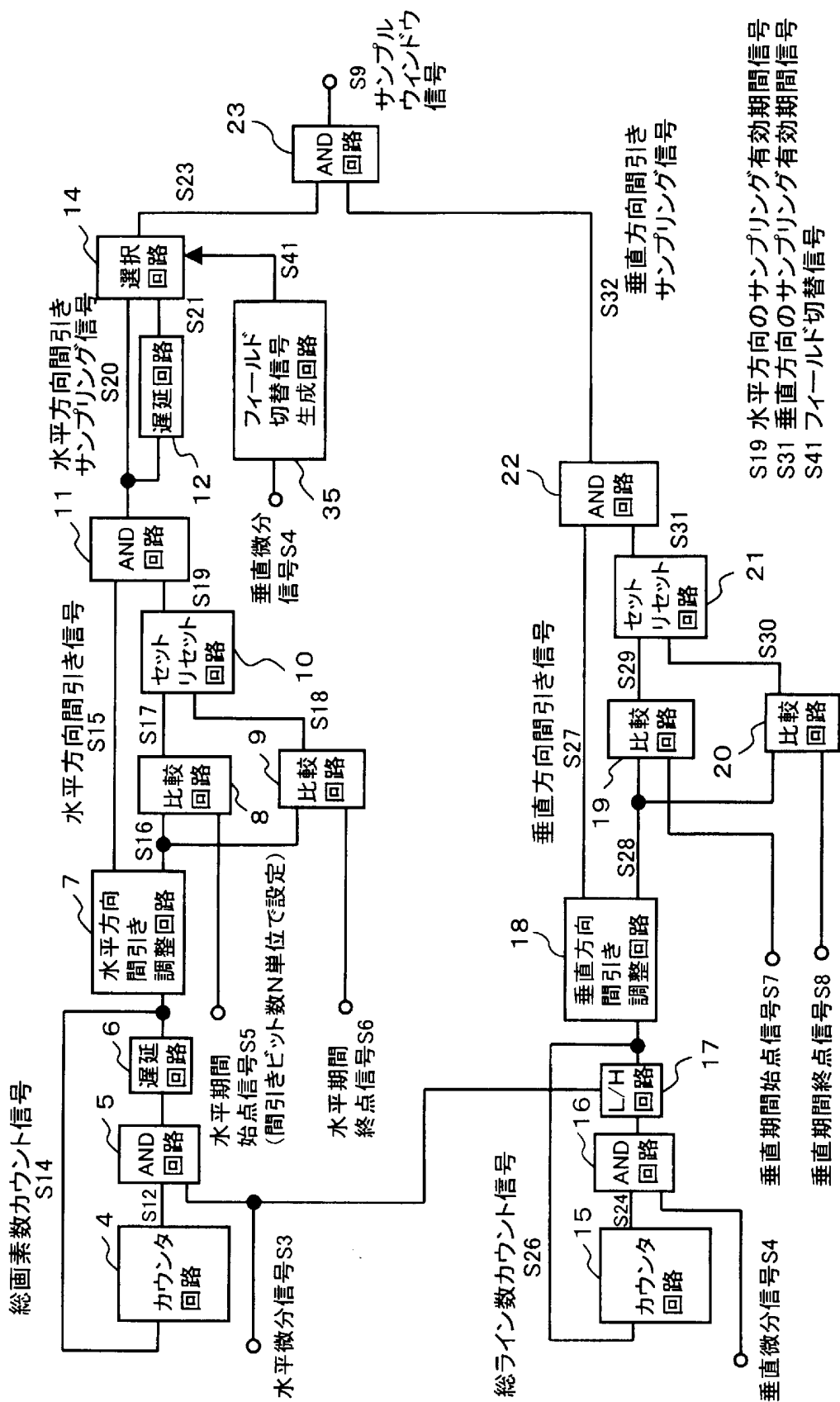
[図13A]



[図13B]

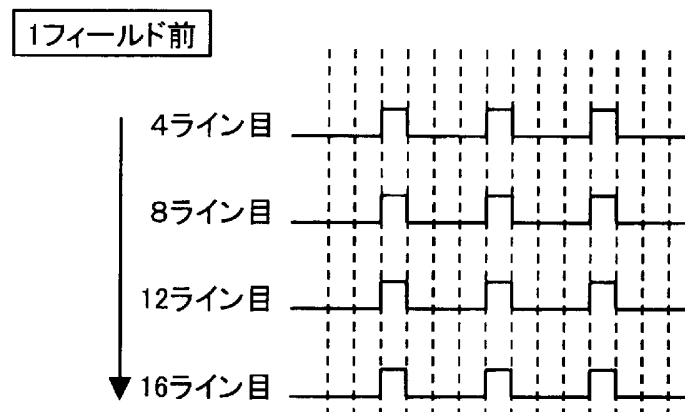


総画素数カウント信号
S14

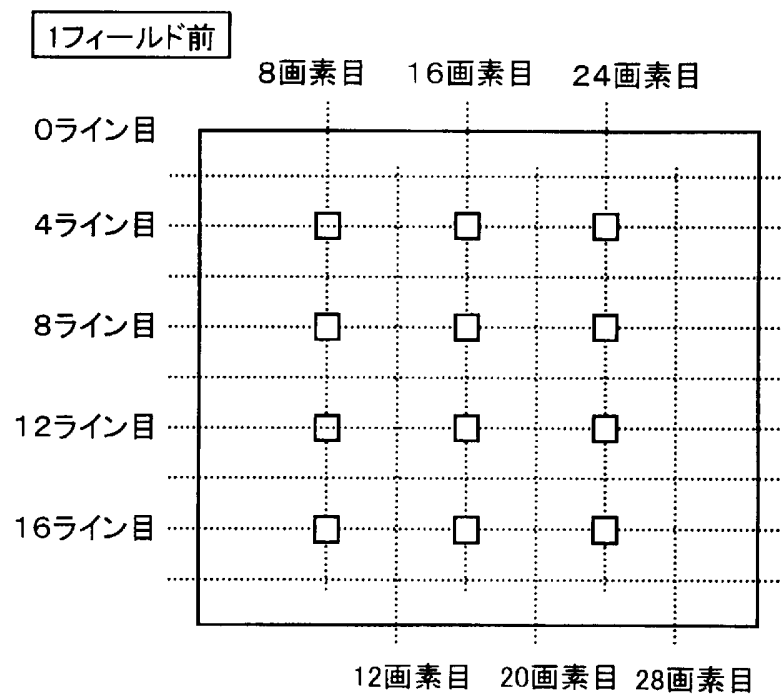


S19 水平方向のサンプリング有効期間信号
S31 垂直方向のサンプリング有効期間信号
S41 フィールド切替信号

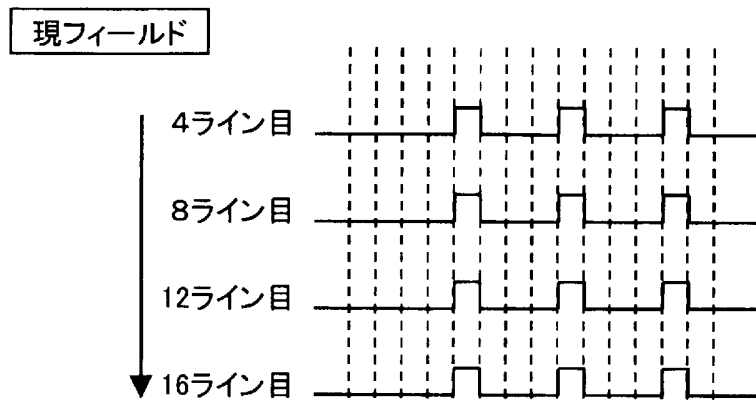
[図15A]



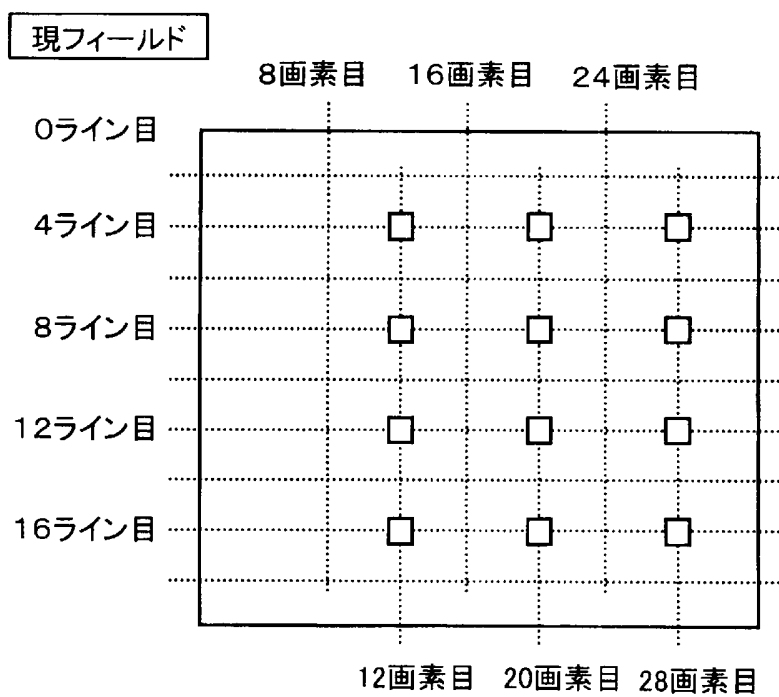
[図15B]



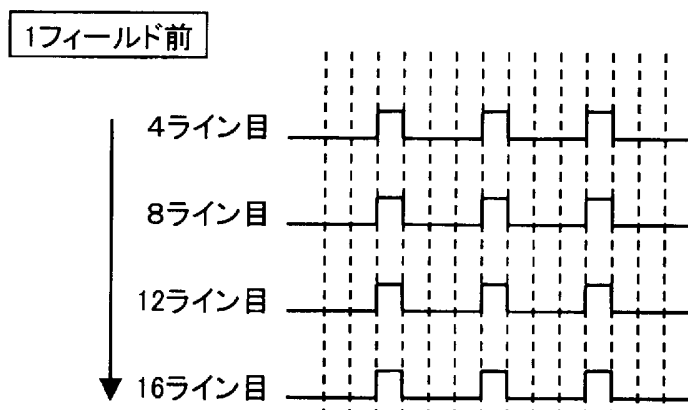
[図15C]



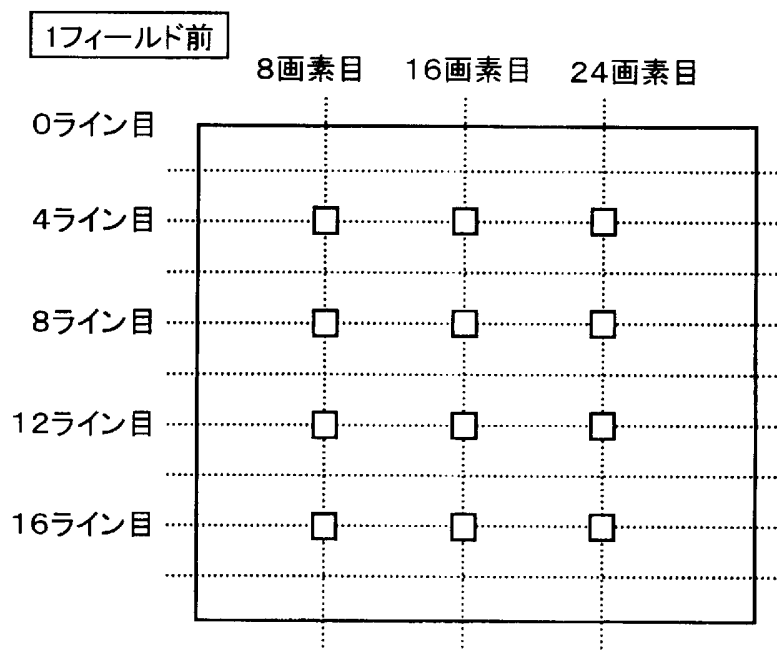
[図15D]



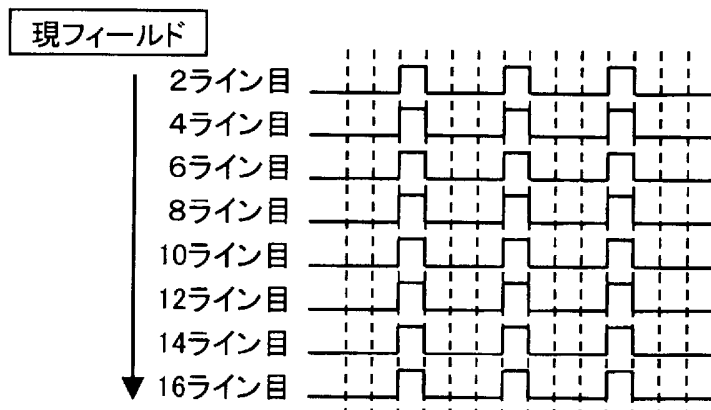
[図17A]



[図17B]

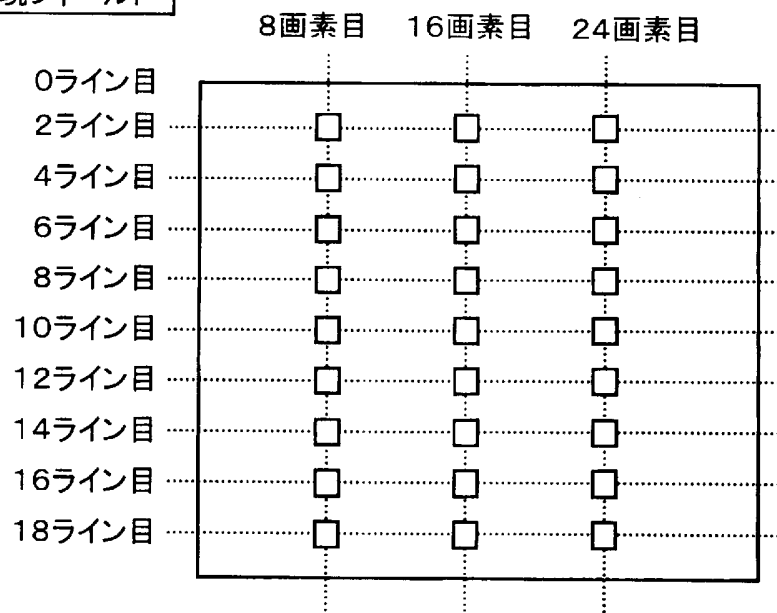


[図17C]

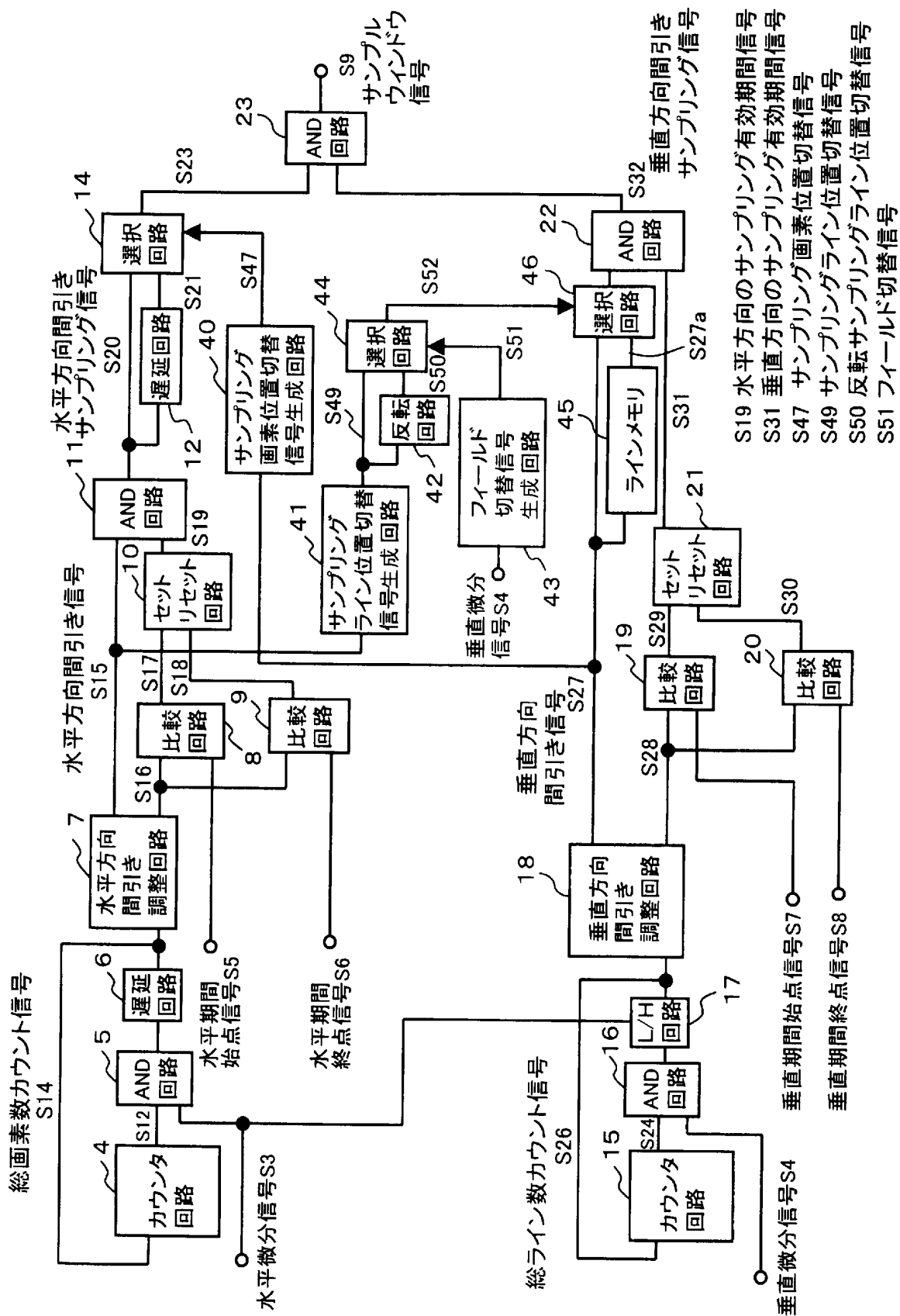


[図17D]

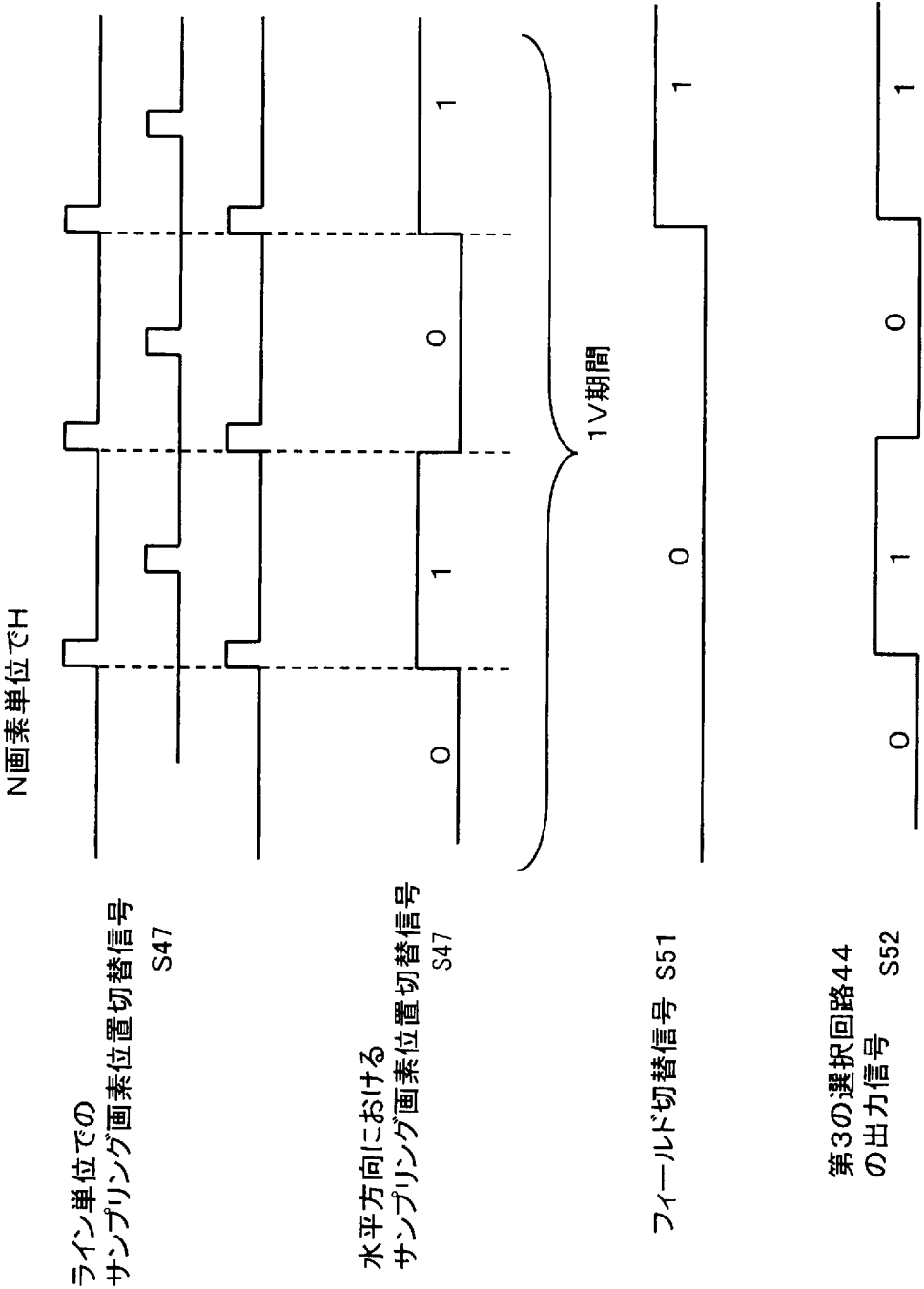
現フィールド



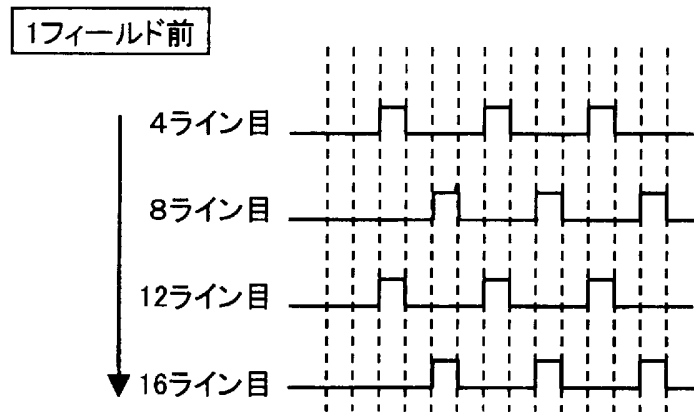
サンブル
ウインドウ
信号



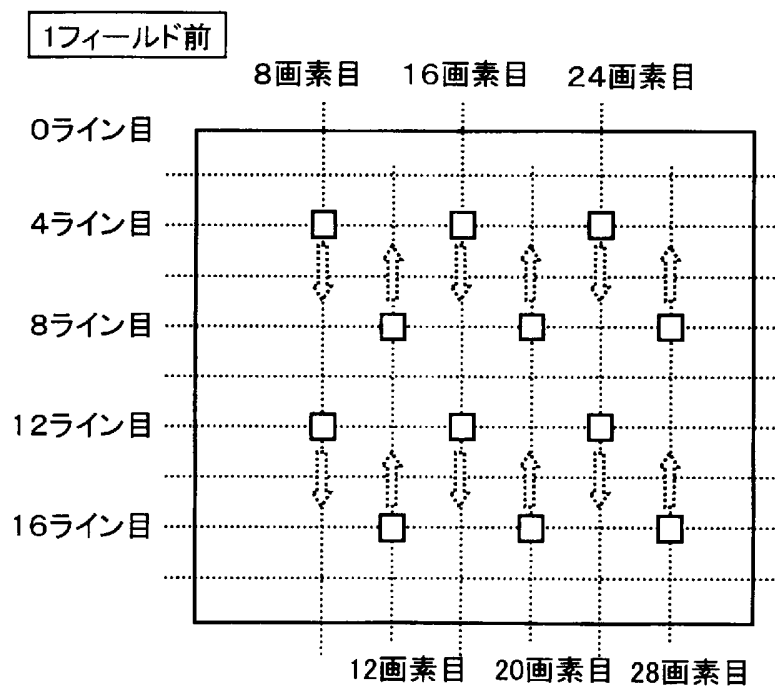
[図19]



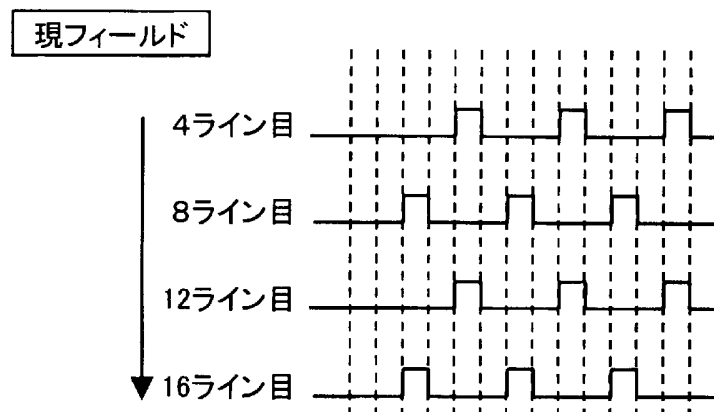
[図20A]



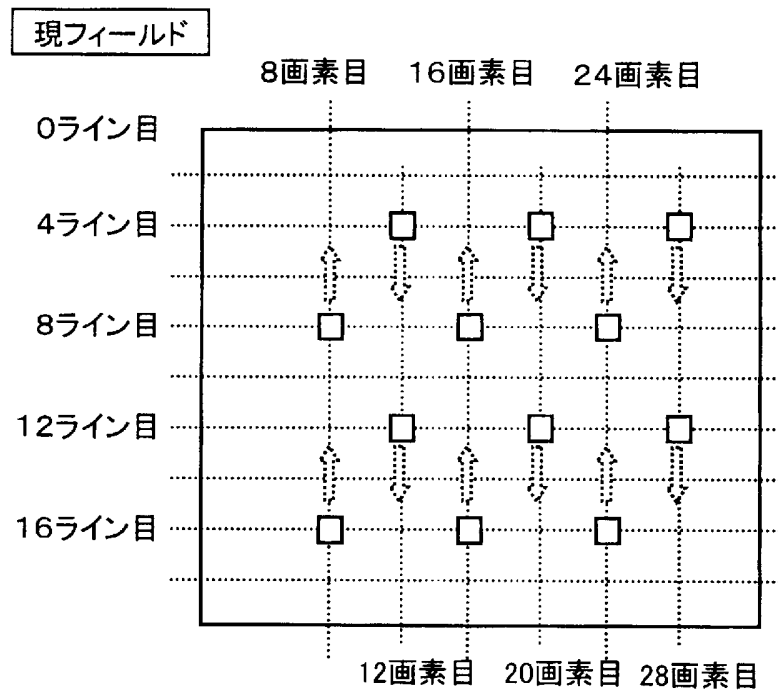
[図20B]



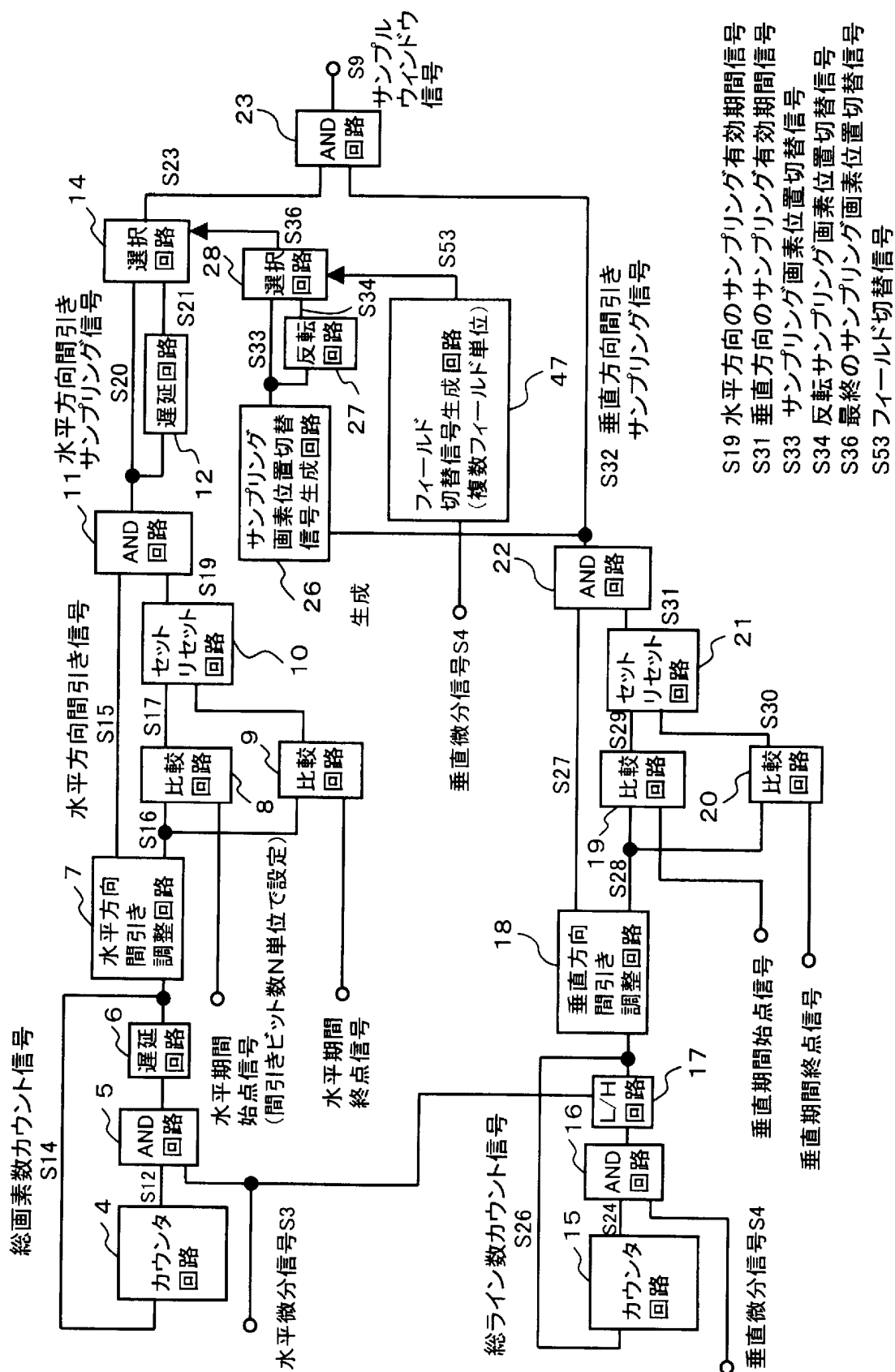
[図20C]



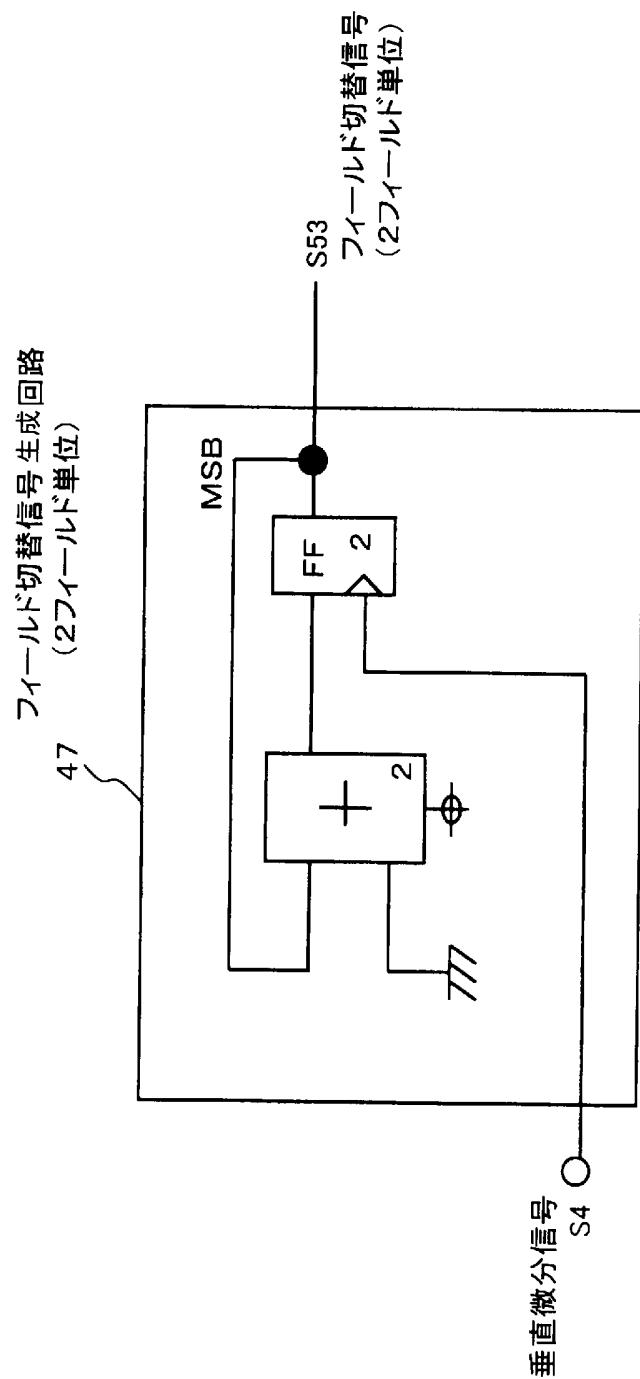
[図20D]



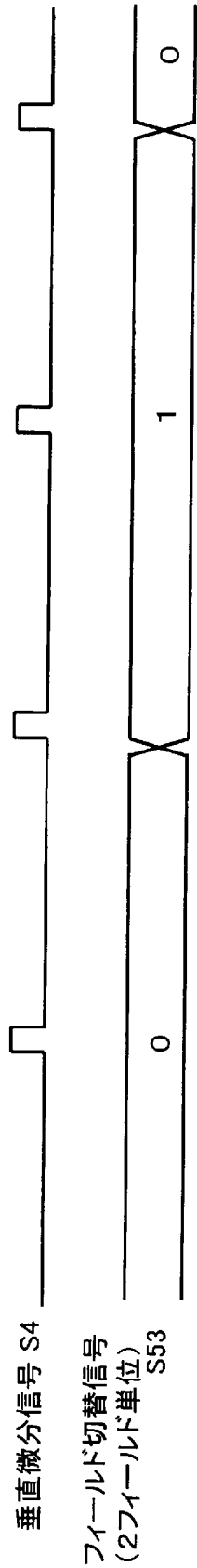
[図21]



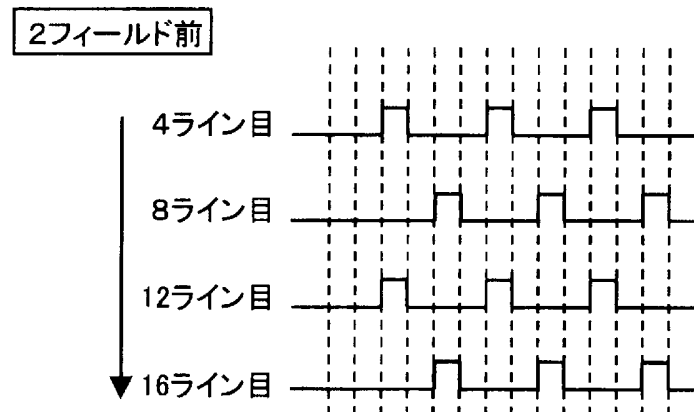
[図22A]



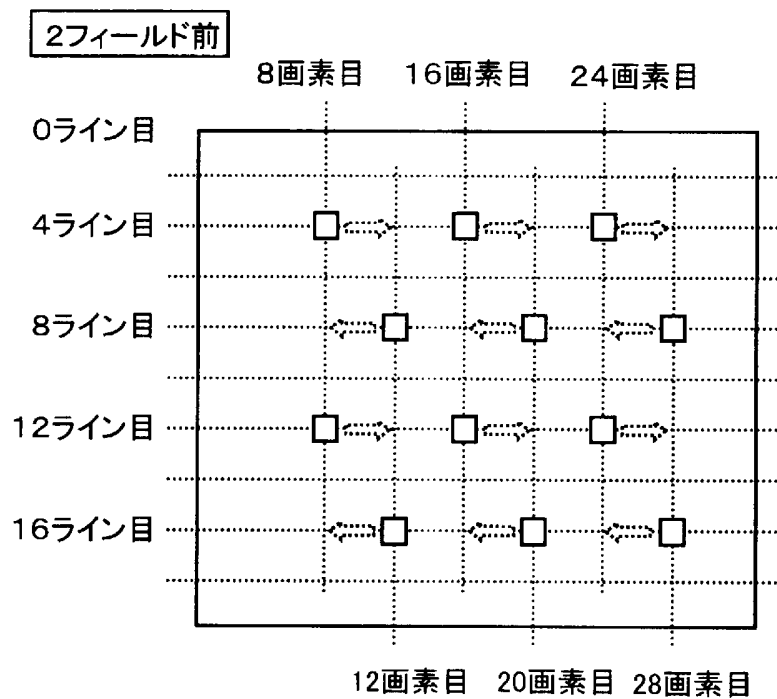
[図22B]



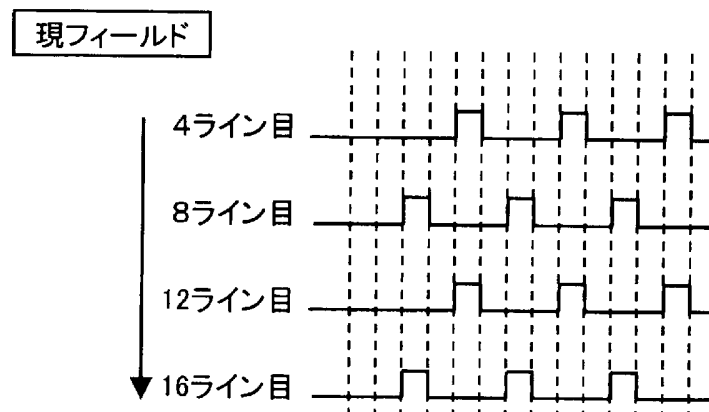
[図23A]



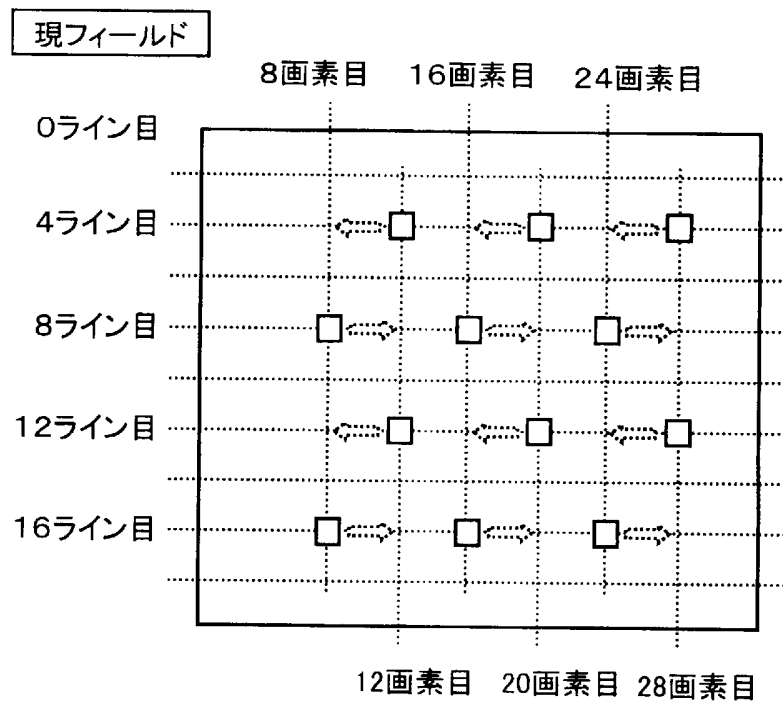
[図23B]



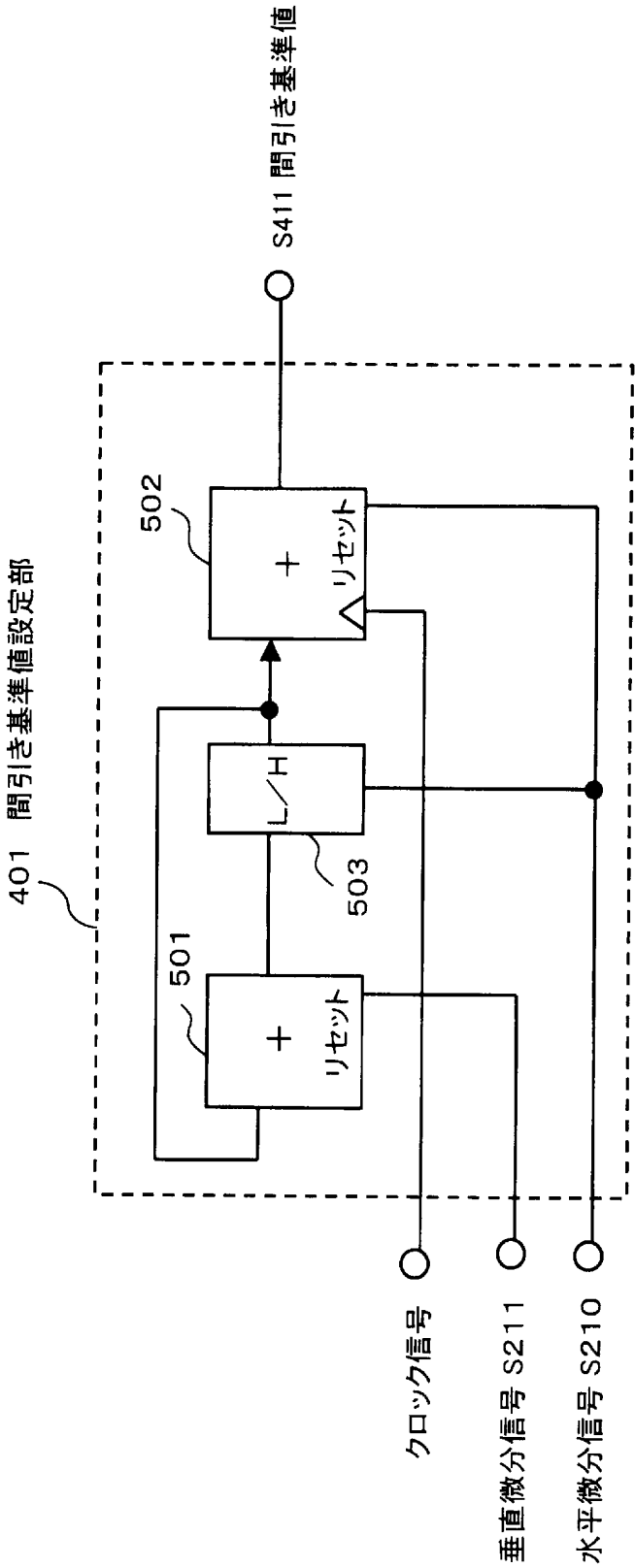
[図23C]



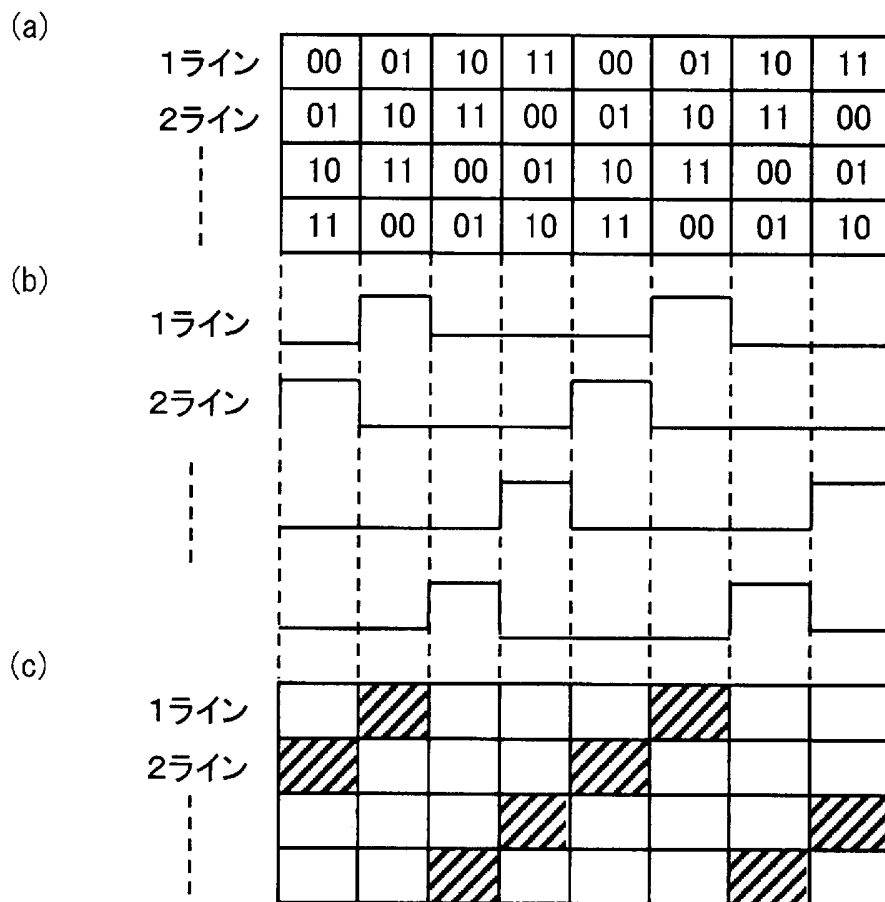
[図23D]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007514

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H04N5/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H04N5/14		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 01/039489 A1 (Matsushita Electric Industrial Co., Ltd.), 31 May, 2001 (31.05.01), Pages 11 to 14; Figs. 5 to 7 & EP 1235425 A	1, 12 2-11
A	JP 2002-521922 A (Matsushita Electric Industrial Co., Ltd.), 16 July, 2002 (16.07.02), Full text; Fig. 1 & US 6295095 B1 & EP 1018262 A & WO 00/005877 A1	1, 12
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 July, 2005 (19.07.05)		Date of mailing of the international search report 02 August, 2005 (02.08.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H04N5/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H04N5/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	WO 01/039489 A1 (松下電器産業株式会社) 2001. 05. 31, 第 11-14 頁, 第 5-7 図 & EP 1235425 A	1, 12 2-11
A	JP 2002-521922 A (松下電器産業株式会社) 2002. 07. 16, 全文, 第 1 図 & US 6295095 B1 & EP 1018262 A & WO 00/005877 A1	1, 12

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19. 07. 2005

国際調査報告の発送日

02.08.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 直樹

5P

9562

電話番号 03-3581-1101 内線 3581