



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0011099
(43) 공개일자 2009년02월02일

(51) Int. Cl.⁹

H03M 1/12 (2006.01)

(21) 출원번호 10-2007-0074353

(22) 출원일자 2007년07월25일

심사청구일자 2007년07월25일

(71) 출원인

전북대학교산학협력단

전라북도 전주시 덕진구 덕진동 1가 664-14 본부
별관 3층

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김무영

서울 동대문구 제기2동 187-3 201호

김진우

서울 서초구 반포4동 551-15 태항빌라 2차 303호

(뒷면에 계속)

(74) 대리인

전중학

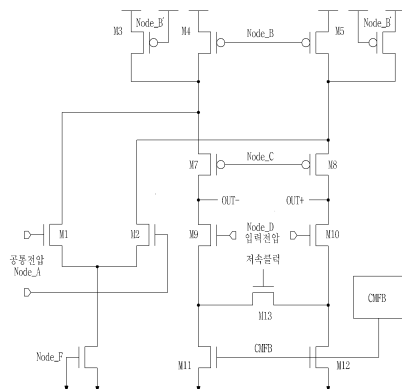
전체 청구항 수 : 총 9 항

(54) 메모리 효과를 제거한 아날로그 디지털 변환기

(57) 요약

본 발명은 연산증폭기를 공유하는 방식의 파이프라인 아날로그 디지털 변환기의 공유되는 연산 증폭기의 구성을 변경하도록 하여 메모리 효과를 제거한 아날로그 디지털 변환기에 관한 것으로, 이를 위하여 입력단을 복수로 구성한 연산 증폭기를 공유하도록 하고 사용되지 않는 입력단에는 공통 전압이 인가되도록 함으로써, 아날로그-디지털 변환기에서 발생하는 메모리 효과를 제거하여 정밀도를 높일 수 있는 효과가 있다. 또한, 동일한 공유 증폭기를 적용하더라도 해당 증폭기가 높은 수준의 증폭기가 요구되지 않는 스테이지에서는 낮은 증폭 기능을 가지는 연산 증폭기로 동작하도록 함으로써, 동일한 구성의 연산 증폭기를 모든 공유 스테이지들에 적용하더라도 전력 소모를 줄일 수 있는 효과가 있다.

대표도 - 도4



(72) 발명자
이호규
경기 의왕시 내손1동

김철우
서울 성북구 길음동 1283 길음뉴타운 605-1301호

특허청구의 범위

청구항 1

샘플 모드와 홀드 모드가 교번되는 복수 스테이지를 가지는 파이프라인 아날로그 디지털 변환기에 있어서,

상기 복수 스테이지들 중 한쌍의 스테이지들마다 캐스코드 증폭기를 포함하는 폴디드 캐스코드 증폭기를 적용하되,

상기 한쌍의 스테이지에서 중요도가 더 높은 스테이지가 홀드모드 일 때 상기 폴디드 캐스코드 증폭기의 입력단이 연결되고, 중요도가 더 낮은 스테이지가 홀드 모드 일 때 상기 캐스코드 증폭기의 입력단이 연결되는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 2

제 1항에 있어서, 상기 캐스코드 증폭기를 포함하는 폴디드 캐스코드 증폭기는

폴디드 캐스코드 증폭기로 사용되는 제 1입력단과, 캐스코드 증폭기로 사용되는 제 2입력단을 구비하며,

상기 증폭기가 폴디드 캐스코드 증폭기로 사용될 경우 상기 제 2입력단에 공통 전압이 걸리도록 하고,

상기 증폭기가 캐스코드 증폭기로 사용될 경우 상기 제 1입력단에 공통 전압을 인가하여 증폭기의 동작 상태에 따라 입력단이 상이한 별개의 증폭기로 동작하는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 3

제 1항에 있어서, 상기 복수의 스테이지들 중에서 상기 증폭기를 공유하는 한쌍의 스테이지는 홀수번째 스테이지와 짝수번째 스테이지로 이루어지는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 4

제 1항에 있어서, 상기 복수의 스테이지들 중에서 상기 증폭기를 공유하는 한쌍의 스테이지는 전체 스테이지들 중에서 중간 스테이지보다 이전에 위치한 스테이지 하나와 이후에 위치한 스테이지 하나로 이루어지는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 5

제 1항에 있어서, 상기 복수의 스테이지는 4개 스테이지이며, 상기 한쌍의 스테이지들은 1번째 스테이지와 4번째 스테이지로 이루어진 쌍과, 2번째 스테이지와 3번째 스테이지로 이루어진 쌍인 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 6

샘플 모드와 홀드 모드가 교번되는 복수 스테이지를 가지는 파이프라인 아날로그 디지털 변환기에 있어서,

상기 복수 스테이지들 중 위치가 빠른 홀수 또는 짝수번째 제 1스테이지와 위치가 늦은 짝수 또는 홀수번째 제 2스테이지를 스테이지 쌍으로 구분하고,

상기 제 1스테이지가 홀드 모드일 때 제 1입력단이 제 1스테이지와 연결되고 제 2입력단은 공통 전압이 인가되며, 상기 제 2스테이지가 홀드 모드일 때 제 1입력단을 공통 전압이 되게 하고 제 2입력단은 상기 제 2스테이지와 연결되는 상이한 입력단을 가지는 공유 증폭기를 포함하되,

상기 공유 증폭기는 상기 복수 스테이지에서 구분된 각 스테이지 쌍들마다 적용되는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 7

제 6항에 있어서, 상기 공유 증폭기는

제 2입력단을 통해 제공되는 입력 신호를 증폭하는 기본 증폭 수단과;

상기 제 2입력단을 구성하는 한쌍의 입력 단자를 단락시킨 상태에서 상기 기본 증폭 수단에 부가적으로 구성하여 증폭 기능을 높일 수 있도록 하는 증폭 구성 및 해당 구성을 이용하도록 하는 제 1입력단을 포함하는 부가 증폭 수단으로 이루어지되,

상기 제 1입력단에 공통 전압이 인가되는 경우 상기 부가 증폭 수단은 동작되지 않는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 8

제 6항에 있어서, 상기 스테이지 쌍은 전체 스테이지들 중에서 중간 스테이지보다 이전에 위치한 스테이지 하나와 이후에 위치한 스테이지 하나로 이루어지는 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

청구항 9

제 6항에 있어서, 상기 복수의 스테이지는 4개 스테이지이며, 상기 스테이지쌍은 1번째 스테이지와 4번째 스테이지로 이루어진 쌍과, 2번째 스테이지와 3번째 스테이지로 이루어진 쌍인 것을 특징으로 하는 메모리 효과를 제거한 아날로그 디지털 변환기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 메모리 효과를 제거한 아날로그 디지털 변환기에 관한 것으로, 특히 연산증폭기를 공유하는 방식의 파이프라인 아날로그 디지털 변환기의 공유되는 연산 증폭기의 구성을 변경하도록 하여 메모리 효과를 제거한 아날로그 디지털 변환기에 관한 것이다.

배경 기술

- <2> 최근에는 거의 모든 시스템의 설계가 디지털 신호 처리 기법을 바탕으로 이루어지고 있다. 그러나 인간이 듣고 보고 말하는 신호는 모두 아날로그 신호이기 때문에 새로운 디지털 처리 기법의 중요성과 더불어 휴먼 인터페이스에 대한 중요성 역시 날로 높아지고 있다. 따라서 디지털 신호처리의 최초 단계인 아날로그-디지털 변환 기술 역시 그 중요성이 높아져 최근 관심이 집중되고 있다.
- <3> 반도체 제조 공정 기술의 발달로 인해 회로 선폭이 감소하게 되고 이에 따라 회로의 집적화는 증대되고 있으며, 공급 전압 레벨의 감소에 의한 저전력화 또한 빠르게 확산되고 있다. 그러나 이러한 회로 선폭의 감소는 누설 전류가 증가를 야기하여 아날로그 회로의 성능 저하를 가져오게 된다. 그로 인해 아날로그-디지털 변환기의 설계 중요성도 점점 커지고 있다.
- <4> 이러한 아날로그-디지털 변환기로서 이미 다양한 종류의 구성들이 제안되고 실제 적용되고 있지만, 이러한 다양한 구성들 중에서도 연산 증폭기를 공유하는 파이프라인 아날로그-디지털 변환기는 기존보다 저전력화에 크게 기여할 수 있을 뿐만 아니라, 빠른 동작 속도를 얻으면서도 큰 디지털 출력을 만들 수 있기 때문에, 면적과 전력소모 면에서 최적화된 구조로 평가받고 있다.
- <5> 도 1은 기본적인 파이프라인 아날로그-디지털 변환기의 구성을 나타낸 것이다. 입력으로 들어간 아날로그 신호는 샘플링 홀드 증폭기(SHA)(10)를 거쳐 일정한 시간동안 DC 신호로 유지되며, 이는 각 스테이지(MDAC)(20~35)를 거쳐가면서 플래쉬 ADC(71~75)에 신호를 제공하여 일정한 디지털 값을 출력한다. 디지털 오류 보정 로직부(DCL)(60)는 출력된 디지털 값을 모아 오류를 교정한 후에 원하는 비트를 가진 디지털 출력을 내보내게 된다. 이를 위해 클럭 생성부(40) 및 전류/전압 변환부(I/V Converter)(50)가 사용된다. 상기 각 스테이지는 곱셈기(Multiply by-2)와 디지털 아날로그 변환기(DAC)를 합쳐 MADC라 한다.
- <6> 여기서, 도시된 각 스테이지(MDAC)(20~35)에는 내부적으로 샘플링 홀드 증폭기를 사용하게 되며, 클럭 신호에 따라 입력 신호를 캐패시터에 저장하는 샘플링 모드와 캐패시터에 저장된 입력 신호를 다음 단으로 이동시키는 홀드 모드로 나뉘어 동작하게 된다. 일반적으로 n 번째 스테이지가 샘플링 모드로 동작한다면, n+1 번째 스테이지는 홀드 모드로 동작한다.

- <7> 연산 증폭기를 공유하는 파이프라인 기술이란, 도 2에 도시한 바와 같이, n 번째 단의 샘플링 모드 동작시 필요 없는 연산 증폭기는 n+1 번째 단에서 홀드 모드 동작시 사용되며, n+1 번째 단이 샘플링 모드로 동작할 때에는 n 번째 단의 샘플링 모드 동작시 사용하여 하나의 연산 증폭기를 2개의 단에서 공유하도록 하는 기술을 의미한다. 이러한 알고리즘을 통해 기존의 일반적인 파이프라인 아날로그-디지털 변환기보다 전체 사용되는 연산 증폭기 수를 절반으로 줄여, 저 전력을 구현할 수 있다.
- <8> 즉, 도 1의 제 1스테이지(MDAC 1스테이지)(20)와 제 2스테이지(25)(A1)에 하나의 연산 증폭기를 적용하고, 제3스테이지(30)와 제 4스테이지(35)(A2)에 하나의 연산 증폭기를 적용하는 방식을 이용한다.
- <9> 그러나 이러한 아날로그-디지털 변환기에서는 연산 증폭기를 공유함으로써 인해, 이전 단에서 축적이 되었던 입력 값이 외부로 방전이 되지 못하고 남아있는 경우 메모리 효과를 야기한다. 이는 다음 단에서 이 연산 증폭기를 사용하게 될 경우 방전되지 못하고 남아있는 값이 본래 입력 값에 영향을 주어 원하는 디지털 출력 값을 얻지 못하는 이유가 되며, 이는 정밀도가 중요한 아날로그 디지털 변환기에 있어 치명적인 신뢰성 저하의 원인이 된다.
- <10> 또한 일반적인 파이프라인 아날로그-디지털 변환기의 경우, 앞 단으로 갈수록 높은 전압 이득과 넓은 주파수 대역폭을 갖는 연산 증폭기가 필요하기 때문에 많은 전력 소모를 가지는 연산 증폭기를 사용하게 된다. 따라서 기존의 연산 증폭기를 공유하는 아날로그-디지털 변환기의 경우, 앞 단에 조건에 맞추어 높은 전력을 필요로 하는 연산 증폭기를 설계하고, 이를 높은 전력의 연산 증폭기가 굳이 필요하지 않는 단에서까지 공유를 하게 된다. 이는 전체적으로 전력을 낭비하게 되는 요인이 된다.
- <11> 미국 공개특허 US 6,954,169호 "1/f 잡음, 오프셋 전압 전하 충전이 야기하는 오류를 제거한 연산 증폭기 공유 기법(1/f noise, offset-voltage charge injection induced error cancelled op-amp sharing technique)"은 연산 증폭기를 공유하는 기술에 관한 것으로, 동시에 동작하지 않는 스테이지에 대해 연산 증폭기를 공유하여 회로 구성을 간편하게 하기 위한 것이나, 이러한 연산 증폭기의 단순 공유는 이전 스테이지에 의한 입력 커패시턴스의 메모리 효과에 의한 문제점이 존재하며, 항상 요구되는 최고 수준의 연산 증폭기를 사용하게 되므로 불필요한 전력을 낭비하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <12> 본 발명 실시예의 목적은 입력단을 복수로 구성한 연산 증폭기를 공유하도록 하여 아날로그-디지털 변환기에서 발생하는 메모리 효과를 제거한 아날로그 디지털 변환기를 제공하는 것이다.
- <13> 본 발명 실시예의 다른 목적은 연산 증폭기의 공유 스테이지를 효과적으로 분산하도록 하고, 입력단을 복수로 구성한 연산 증폭기를 공유함으로써 인해 낭비되는 전력 소모를 줄이도록 한 아날로그 디지털 변환기를 제공하는 것이다.
- <14> 본 발명 실시예의 또 다른 목적은 전원 전압이 낮아지면서 발생하는 출력 전압 범위 제한의 문제를 해결하는 아날로그 디지털 변환기를 제공하는 것이다.

과제 해결수단

- <15> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 메모리 효과를 제거한 아날로그 디지털 변환기는 샘플 모드와 홀드 모드가 교번되는 복수 스테이지를 가지는 파이프라인 아날로그 디지털 변환기에 있어서, 상기 복수 스테이지들 중 한쌍의 스테이지들 마다 캐스코드 증폭기를 포함하는 폴디드 캐스코드 증폭기를 적용하되, 상기 한쌍의 스테이지에서 중요도가 더 높은 스테이지가 홀드모드 일 때 상기 폴디드 캐스코드 증폭기의 입력단이 연결되고, 중요도가 더 낮은 스테이지가 홀드 모드 일 때 상기 캐스코드 증폭기의 입력단이 연결되도록 한다.
- <16> 상기 캐스코드 증폭기를 포함하는 폴디드 캐스코드 증폭기는 폴디드 캐스코드 증폭기로 사용되는 제 1입력단과, 캐스코드 증폭기로 사용되는 제 2입력단을 구비하며, 상기 증폭기가 폴디드 캐스코드 증폭기로 사용될 경우 상기 제 2입력단에 공통 전압이 걸리도록 하고, 상기 증폭기가 캐스코드 증폭기로 사용될 경우 상기 제 1입력단에 공통 전압을 인가하여 증폭기의 동작 상태에 따라 입력단이 상이한 별개의 증폭기로 동작하도록 한다.
- <17> 본 발명의 다른 실시예에 따른 메모리 효과를 제거한 아날로그 디지털 변환기는, 샘플 모드와 홀드 모드가 교번

되는 복수 스테이지를 가지는 파이프라인 아날로그 디지털 변환기에 있어서, 상기 복수 스테이지들 중 위치가 빠른 홀수 또는 짝수번째 제 1스테이지와 위치가 늦은 짝수 또는 홀수번째 제 2스테이지를 스테이지 쌍으로 구분하고, 상기 제 1스테이지가 홀드 모드일 때 제 1입력단이 제 1스테이지와 연결되고 제 2입력단은 공통 전압이 인가되며, 상기 제 2스테이지가 홀드 모드일 때 제 1입력단을 공통 전압이 되게 하고 제 2입력단은 상기 제 2스테이지와 연결되는 상이한 입력단을 가지는 공유 증폭기를 포함하되, 상기 공유 증폭기는 상기 복수 스테이지에서 구분된 각 스테이지 쌍들마다 적용되도록 한다.

- <18> 상기 공유 증폭기는 제 2입력단을 통해 제공되는 입력 신호를 증폭하는 기본 증폭 수단과, 상기 제 2입력단을 구성하는 한쌍의 입력 단자를 단락시킨 상태에서 상기 기본 증폭 수단에 부가적으로 구성하여 증폭 기능을 높일 수 있도록 하는 증폭 구성 및 해당 구성을 이용하도록 하는 제 1입력단을 포함하는 부가 증폭 수단으로 이루어지되, 상기 제 1입력단에 공통 전압이 인가되는 경우 상기 부가 증폭 수단은 동작되지 않도록 한다.

효 과

- <19> 본 발명의 실시예에 따른 메모리 효과를 제거한 아날로그 디지털 변환기는 입력단을 복수로 구성한 연산 증폭기를 공유하도록 하고 사용되지 않는 입력단에는 공통 전압이 인가되도록 함으로써, 아날로그-디지털 변환기에서 발생하는 메모리 효과를 제거하여 정밀도를 높일 수 있는 효과가 있다.
- <20> 본 발명의 실시예에 따른 메모리 효과를 제거한 아날로그 디지털 변환기는 연산 증폭기의 공유 스테이지를 효과적으로 분산하도록 하고, 입력단을 복수로 구성할 뿐만 아니라 각 입력단에 따라 상이한 증폭 기능을 가지는 연산 증폭기를 공유하도록 하여, 해당 증폭기가 높은 수준의 증폭기가 요구되지 않는 스테이지에서는 낮은 증폭 기능을 가지는 연산 증폭기로 동작하도록 함으로써, 동일한 구성의 연산 증폭기를 모든 공유 스테이지들에 적용하더라도 전력 소모를 줄일 수 있는 효과가 있다.

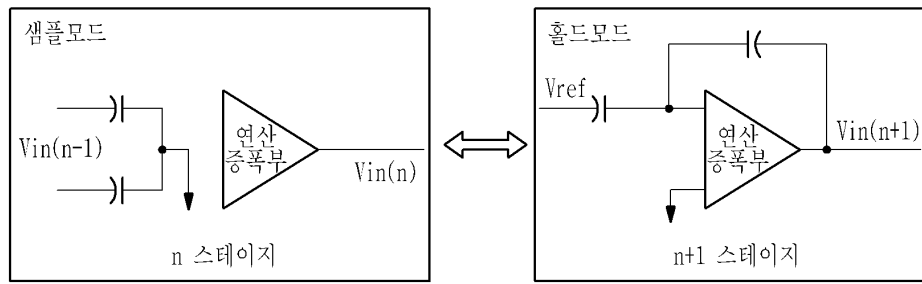
발명의 실시를 위한 구체적인 내용

- <21> 상기한 바와 같은 본 발명을 첨부된 도면들과 실시예들을 통해 상세히 설명하도록 한다.
- <22> 본 발명의 실시예를 설명하기 전에 기본적인 파이프라인 아날로그-디지털 변환기의 동작에 관하여 좀 더 상세히 설명하도록 하며, 이후 본 발명의 실시예에 따른 공유 증폭기와 이를 적용한 구성에 관해 설명하도록 한다.
- <23> 먼저, 도 1을 참조하여 연산 증폭기를 공유하는 파이프라인 아날로그-디지털 변환기에 관해서 설명하도록 한다.
- <24> 연속적인 아날로그 입력 신호는 샘플링-홀드 증폭기(SHA)(10)를 거쳐 샘플링 주파수에 따른 연속적이지 않은 DC 신호로 바뀐다. 이렇게 만들어진 DC 신호는 전체적인 아날로그-디지털 변환기가 동작을 하는 동안 입력이 변하지 않게 하여 동작 오차를 줄인다. SHA(10)를 거친 DC 신호는 플래쉬 아날로그-디지털 변환기(71)를 거쳐서 n 비트의 디지털 코드를 출력하고, 출력된 디지털 신호는 다시 제1 스테이지(MDAC 1 스테이지)(20)에서 디지털-아날로그 변환기에 의해 양자화된 아날로그 신호로 바뀌고 SHA(10)에 의해 홀드된 DC 신호와 디지털-아날로그 변환기 출력의 차이인 잔류 전압을 2ⁿ배 증폭하여 다음 스테이지(25)에 보낸다. 다음 스테이지(25)는 앞 스테이지(20)의 증폭된 잔류 전압을 입력으로 받아서 디지털 신호를 출력하고, 동시에 앞 스테이지(20)는 새로운 입력을 받아들여 위와 같은 동작을 반복한다. 이러한 과정을 모든 스테이지들에서 반복하는 것으로 원하는 정밀도를 가지는 아날로그 디지털 변환기를 구현할 수 있다.
- <25> 도시된 아날로그-디지털 변환기의 구성을 이용하되, 본 발명 실시예에서는 각 스테이지마다 3 비트의 디지털 코드를 출력하였고, 각 스테이지에서 출력되는 디지털 코드의 시간 차이를 고려하여 완전한 출력을 얻기 위해서 먼저 출력된 디지털 신호를 저장하는 레지스트리를 구성하고, 이를 통해 최종적으로 한 번에 모든 디지털 코드를 출력한다. 그리고 아날로그-디지털 변환기에서 발생하는 비선형 오차 및 각 스테이지 사이의 오프셋을 제거하기 위해 디지털 오류 보정 로직부(60)를 거쳐 총 10 비트의 디지털 출력을 만든다.
- <26> 도 3내지 도 4는 본 발명 일 실시예에 따른 공유 증폭기의 구성을 보인 예로서, 도시한 바와 같이 일반적인 폴디드 캐스코드 형태의 구성을 가지는 증폭기를 이용하고 있으나, 이를 활용하는 방식에 있어 도시된 바와 같이 연결되는 스테이지에 따라 폴디드 캐스코드 증폭기 전체를 증폭기로서 연결하기도 하고, 폴디드 캐스코드 증폭기에 포함된 캐스코드 증폭기를 새로운 증폭기로 연결하기도 하여 실질적으로 하나인 물리적 증폭기를 마치 상이한 입력을 가지는 별개의 증폭기들처럼 이용하도록 한다.
- <27> 이러한 방식으로 공유 증폭기에 연결된 스테이지가 바뀔 때마다 입력 노드를 달리 가져감으로써 기존의 아날로

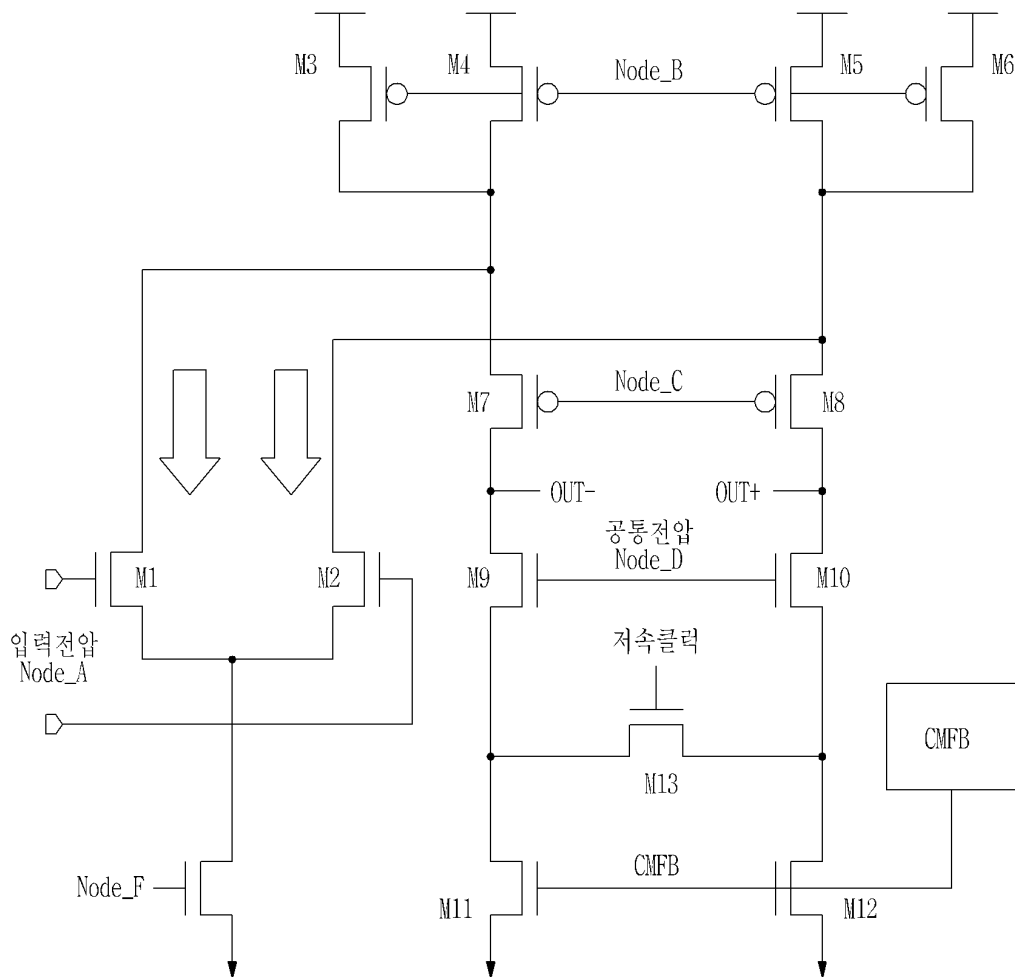
그-디지털 변환기에서 발생하였던 메모리 효과를 없앨 뿐더러 기존의 방법보다 전력 소모를 줄일 수 있게 된다.

- <28> 도 3에 도시된 구성은 보다 높은 증폭도를 필요로 하는 선행 스테이지가 홀드 모드 일 때 연결되는 구성을 보인 것으로 노드 A가 입력단으로 사용된다. 그리고, 도 4에 도시된 구성은 상대적으로 낮은 증폭도를 필요로 하는 후단 스테이지가 홀드 모드 일 때 연결되는 구성을 보인 것으로 노드 A에는 공통 전압이 인가되어 실질적으로 캐스코드 증폭기만 동작하며, 이때 노드 D가 입력단으로 사용된다. 따라서, 각각 상이한 입력단을 이용하며, 이 때 이용되는 증폭기의 구성도 상이해질 뿐만 아니라, 사용되지 않는 입력단은 단락되거나 공통전압이 인가되어 입력단에 잔류하는 전하가 방전되게 된다.
- <29> 상기 간단히 설명한 기본적 동작 방식을 2개의 스테이지와 연결된 상황에 맞추어 좀더 상세히 살펴보도록 한다. 여기서는 도 1의 구성을 참조하여 제 1스테이지와 제 4스테이지가 도 3 및 4에 도시된 공유 증폭기를 공유하는 예를 설명하도록 한다.
- <30> 먼저, 제 1스테이지가 홀드 모드(이때, 제 4스테이지는 샘플링 모드)일 때, 사용하는 연산 증폭기는 전체적으로 도 3과 같이 폴디드 캐스코드 증폭기로 구성된다. 노드 A 는 입력 전압에, 노드 D 는 공통 전압에 연결되고, M13의 게이트에는 접지 전압을 가하여 스위치 M13 양단의 노드의 연결을 끊는다. 이로써 실질적으로 사용되는 증폭기는 도 5와 같은 구성을 가지게 되며, 약 $g_{m1}(g_{m8}r_{o8}(r_{o5} \parallel r_{o6})) \parallel (g_{m10}r_{o10}r_{o12})$ 의 큰 전압이득 A_v 와 g_{m1}/C_L 의 큰 대역폭 f_t 를 가지게 된다. 또한 폴디드 캐스코드 형태로 구성이 되어있기 때문에 기존보다 저전압에서 동작할 수 있다.
- <31> 다만 출력 전압 범위가 최대 “노드 C 전압 + 문턱전압”, 최소 “노드 D 전압 (공통 전압) - 문턱전압” 으로 제한되지만, 이 또한 전체 아날로그-디지털 변환기의 입력 전압 범위가 일반적으로 1Vpp (전원 전압이 1.8V 경우) 이고, 문턱 전압 역시 0.25V 보다 훨씬 크기 때문에 전체 회로에 아무런 문제를 주지 않는다.
- <32> 한편, 이는 전원 전압이 점점 낮아지지만, 문턱 전압은 그에 따라 낮아지고 있지 못하는 현재 경향으로 봤을 때, 앞으로 더 낮은 전원 전압에서도 사용할 수 있는 구조라 할 수 있다.
- <33> 제 4스테이지가 홀드 모드(제 1스테이지가 샘플링 모드)로 동작할 때에는, 도 6에서 보는 바와 같이 노드 B' 에 전원 전압을 인가하고, 노드 F 에는 접지 전압을 인가함으로써 폴디드 캐스코드 증폭기의 전단부에 흐르는 전류를 차단한다.
- <34> 또한, 노드 A 에 공통 전압을 연결시킴으로써 이전에 노드 A 에 축적되었던 입력 값에 대한 전하가 다시 외부로 방전되어 전체 회로에 영향을 없앤다. 이로써 기존의 연산 증폭기를 공유하는 아날로그-디지털 변환기에서 발생하는 메모리 효과를 없앨 수 있다. 그 뿐만 아니라 폴디드 캐스코드 증폭기의 전단부의 전원을 끄기 때문에 전체적인 전력 소모 역시 기존보다 줄인다.
- <35> 노드 A 에는 공통 전압을 인가하는 대신, 노드 D 에는 입력 전압을 인가하고, M13의 게이트에 전원 전압을 가하여 스위치 M13 양단의 노드를 연결시켜 전체적으로 폴디드 캐스코드 증폭기가 아닌, 출력 저항으로 모스 소자가 캐스코드로 연결되어 있는 증폭기의 형태를 구성하게 된다. 따라서, 이러한 경우의 실제 사용 증폭기는 도6과 같은 캐스코드 증폭기가 된다.
- <36> 한편, 노드 D 에 축적되는 입력 전압 역시, 다음 모드(제 1스테이지가 홀드 모드) 에서는 공통 전압으로 연결되기 때문에 외부로 방전이 되어, 다음 모드로 이동할 때에는 전체 회로에 아무 영향을 주지 않는다.
- <37> 이와 같은 경우, 전체 증폭기의 전압 이득 A_v 는 약 $g_{m10}(g_{m8}r_{o8}r_{o5}) \parallel r_{o10}$ 으로 이전 보다 작아지고, 흐르는 전류 역시 이전보다 작아져 대역폭도 줄어든다. 하지만, 제 4스테이지에 사용하는 연산 증폭기에서는 높은 전압 이득과 넓은 대역폭이 필요로 하지 않기 때문에 전체 회로에 미치는 영향은 없으며, 높은 전압 이득과 넓은 대역폭을 필요로 하지도 않기 때문에 전류 소모 대비 최적화된 증폭기를 적용하는 셈이 된다.
- <38> 도 7은 전술한 공유 증폭기를 스테이지에 적용하는 예를 보인 것으로, 도시된 바와 같이 기본적인 구성은 도 1에 도시한 구성과 유사하지만, 공유 증폭기가 적용되는 스테이지 쌍으로 제 1스테이지(120)와 제 4스테이지(135)의 쌍(A3)과, 제 2스테이지(125)와 제 3스테이지(130) 쌍(A4)이 선택되어 각각 공유 증폭기를 공유하도록 구성된 것이다.
- <39> 따라서, 이렇게 본 실시예에 따른 연산증폭기를 공유하는 파이프라인 아날로그-디지털 변환기는 샘플링-홀드 증폭기에서 사용한 연산 증폭기를 포함한 총 3개의 연산 증폭기만을 사용하여, 메모리 효과를 제거한 아날로그-디지털 변환기를 구현할 수 있으며, 각 스테이지의 위치에 따라 차등한 수준의 증폭기를 적용하여 불필요한 전

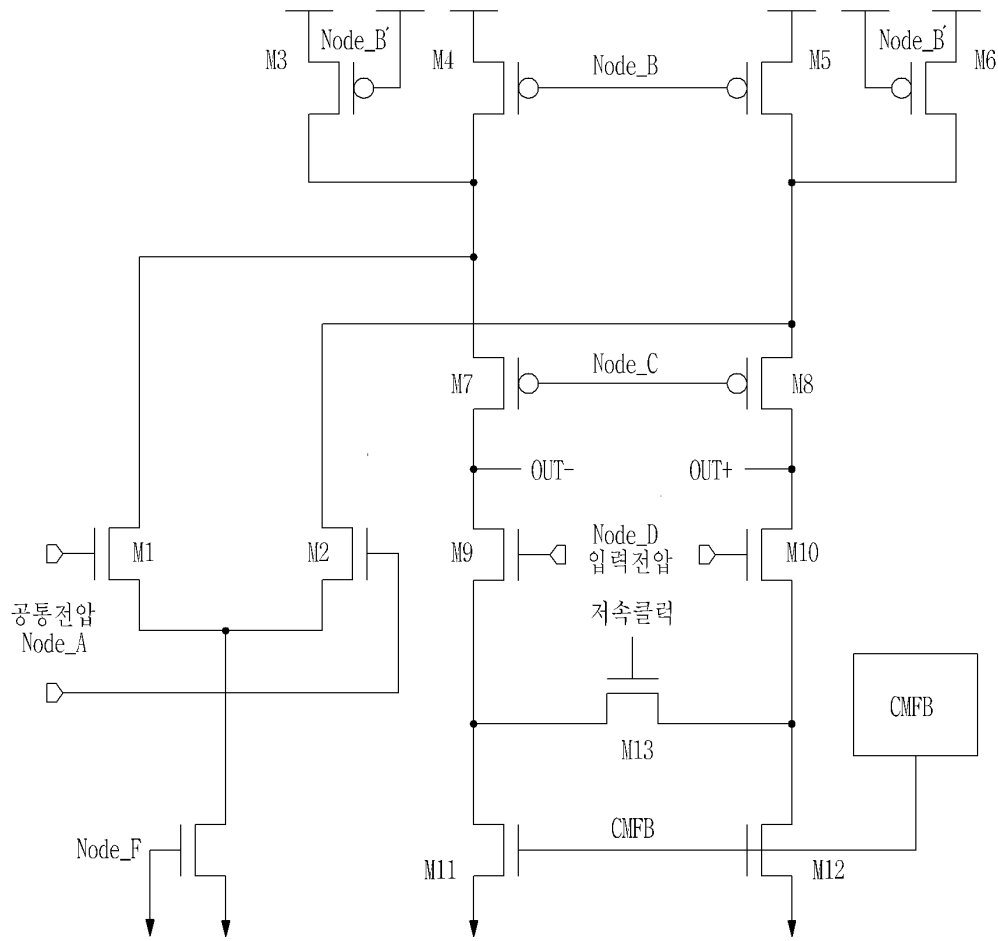
도면2



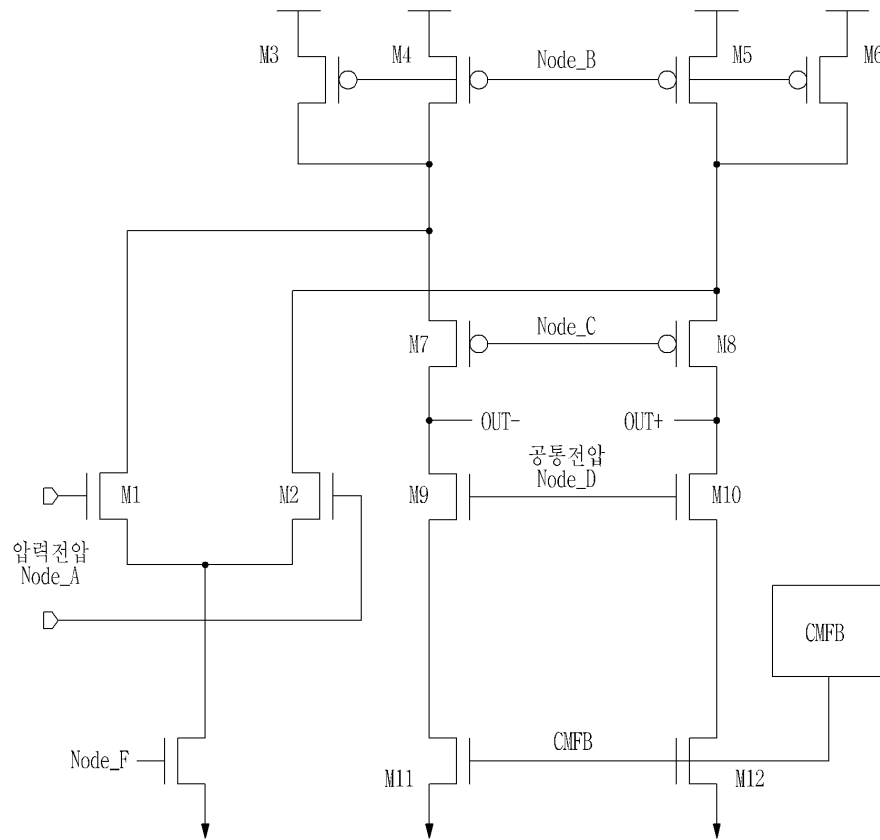
도면3



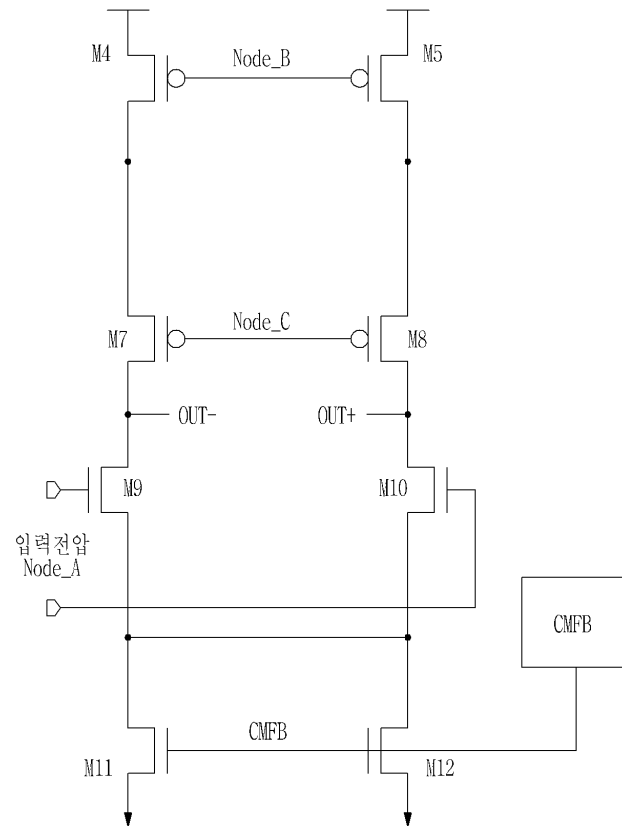
도면4



도면5



도면6



도면7

