(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3771718号

(P3771718)

(45)発行日　平成18年4月26日(2006.4.26)　(24)登録日　平成18年2月17日(2006.2.17)

(51)Int.Cl.		F I		
H03F 3/30	(2006.01)	H03F	3/30	
H02P 29/00	(2006.01)	H02P	7/00	C
H02P 7/06	(2006.01)	H02P	7/06	H

請求項の数 3　(全 16 頁)

(21)出願番号　特願平10-169386
(22)出願日　平成10年6月17日(1998.6.17)
(65)公開番号　特開2000-4128(P2000-4128A)
(43)公開日　平成12年1月7日(2000.1.7)
審査請求日　平成14年8月8日(2002.8.8)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　110000350
特許業務法人　日東国際特許事務所
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　森川　正敏
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　鴻上　康彦
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

審査官　野元　久道

最終頁に続く

(54)【発明の名称】パワーアンプ及びこれを用いたモータ駆動回路

(57)【特許請求の範囲】

【請求項１】

入力電圧信号の極性により、該入力電圧信号を第１及び第２の出力電流信号に分配する位相弁別回路と、

該位相弁別回路からの上記第１及び第２の出力電流信号をそれぞれ増幅する第１及び第２の電流増幅回路と、

ソース電極が接地端子に接続された第１の出力用電界効果トランジスタと、

ドレイン電極が電源電圧端子に接続された第２の出力用電界効果トランジスタと、

前記第１及び第２の出力用電界効果トランジスタとそれぞれ一対の第１及び第２のカレントミラーを形成する第３及び第４の電界効果トランジスタとを具備してなり、

前記第１及び第２のカレントミラーは前記第１及び第２の電流増幅回路を介した前記第１及び第２の出力電流信号により駆動されると共に、該第１及び第２のカレントミラーの出力端子を、前記第１の出力用電界効果トランジスタのドレイン電極と前記第２の出力用電界効果トランジスタのソース電極との接続ノードとするように構成されており、

前記第１及び第２のカレントミラーを形成する前記第３及び第４の電界効果トランジスタのドレイン、ゲート電極間に、それぞれ第１及び第２の抵抗を具備し、

前記第１のカレントミラーの入力端子が前記第３の電界効果トランジスタのゲート電極となっておりかつ前記第１の電流増幅回路を介した前記第１の出力電流信号を受け、

前記第２のカレントミラーの入力端子が前記第４の電界効果トランジスタのゲート電極となっておりかつ前記第２の電流増幅回路を介した前記第２の出力電流信号を受け、

前記第１の出力用電界効果トランジスタのゲート電極と前記第１の出力用電界効果トランジスタのソース電極と前記第３の電界効果トランジスタのゲート電極と前記第３の電界効果トランジスタのソース電極とは互いに接続されており、
前記第２の出力用電界効果トランジスタのゲート電極と記第２の出力用電界効果トランジスタのソース電極と前記第４の電界効果トランジスタのゲート電極と前記第４の電界効果トランジスタのソース電極とは互いに接続されており、
前記第１又は第２の抵抗に所定以下の電流が流れるようなアイドリング時には前記第１及び第２のカレントミラーがカレントミラー動作を行い、
前記第１又は第２の抵抗に所定以上の電流が流れた際には前記第１又は第２の出力用電界効果トランジスタのゲート、ソース電極間電圧が所定以上となってゲインを向上したことを特徴とするパワーアンプ。
【請求項２】
前記第１及び第２の増幅回路と前記第１及び第２のカレントミラーがそれぞれ同じ極性の電界効果トランジスタを有する請求項１に記載のパワーアンプ。
【請求項３】
第１及び第２のパワーアンプを有するモータ駆動回路であって、
上記モータ駆動回路は前記第１及び第２のパワーアンプの出力端子にモータのコイルの両端が接続されて駆動するよう構成され、
前記第１及び第２のパワーアンプはそれぞれ、
入力電圧信号の極性により、該入力電圧信号を第１及び第２の出力電流信号に分配する位相弁別回路と、
該位相弁別回路からの上記第１及び第２の出力電流信号をそれぞれ増幅する第１及び第２の電流増幅回路と、
ソース電極が接地端子に接続された第１の出力用電界効果トランジスタと、
ドレイン電極が電源電圧端子に接続された第２の出力用電界効果トランジスタと、
前記第１及び第２の出力用電界効果トランジスタとそれぞれ一対の第１及び第２のカレントミラーを形成する第３及び第４の電界効果トランジスタとを具備してなり、
前記第１及び第２のカレントミラーは前記第１及び第２の電流増幅回路を介した前記第１及び第２の出力電流信号により駆動されると共に、該第１及び第２のカレントミラーの出力端子を、前記第１の出力用電界効果トランジスタのドレイン電極と前記第２の出力用電界効果トランジスタのソース電極との接続ノードとするように構成されており、
前記第１及び第２のカレントミラーを形成する前記第３及び第４の電界効果トランジスタのドレイン、ゲート電極間に、それぞれ第１及び第２の抵抗を具備し、
前記第１のカレントミラーの入力端子が前記第３の電界効果トランジスタのゲート電極となっておりかつ前記第１の電流増幅回路を介した前記第１の出力電流信号を受け、
前記第２のカレントミラーの入力端子が前記第４の電界効果トランジスタのゲート電極となっておりかつ前記第２の電流増幅回路を介した前記第２の出力電流信号を受け、
前記第１の出力用電界効果トランジスタのゲート電極と前記第１の出力用電界効果トランジスタのソース電極と前記第３の電界効果トランジスタのゲート電極と前記第３の電界効果トランジスタのソース電極とは互いに接続されており、
前記第２の出力用電界効果トランジスタのゲート電極と前記第２の出力用電界効果トランジスタのソース電極と前記第４の電界効果トランジスタのゲート電極と前記第４の電界効果トランジスタのソース電極とは互いに接続されており、
前記第１又は第２の抵抗に所定以下の電流が流れるようなアイドリング時には前記第１及び第２のカレントミラーがカレントミラー動作を行い、
前記第１又は第２の抵抗に所定以上の電流が流れた際には前記第１又は第２の出力用電界効果トランジスタのゲート、ソース電極間電圧が所定以上となってゲインを向上したことを特徴とするモータ駆動回路。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明はパワーアンプ及びこれを用いたモータ駆動回路に係り、特に歪が小さく、簡単な回路構成で出力素子の低損失化が可能で、かつ、周波数特性が良好なパワーアンプと、ハードディスクドライブなどに好適な、このパワーアンプを用いたモータ駆動回路に関する。

【０００２】
【従来の技術】
近年、エレクトロニクスの発達に伴い、小型モータの応用分野は大幅に広がり、その種類も様々なものとなっている。中でもハードディスクドライブ（以下、ＨＤＤと称する）は、パーソナルコンピュータの外部記憶装置として必須なものであり、これに使用されるモータとその駆動用集積回路も重要な構成部品となっている。特に、ディスク上の情報へのアクセスを行うヘッドアクチュエータを駆動するためには、スピーカの原理を利用して直線運動を行うボイスコイルモータ（以下、ＶＣＭと称する）が使用される。

【０００３】
従来、この種のＶＣＭの駆動回路としては、次のような構成が知られている。Ｎチャネルの横型二重拡散絶縁ゲート型電界効果トランジスタ（いわゆるＬＤＭＯＳトランジスタ）をハーフブリッジの上、下（ハイサイドとローサイド）の出力素子に用いたパワーアンプの出力を、ＶＣＭの両端に接続し、双方向に電流を流すことによってヘッドアクチュエータの駆動を行う。ここで、パワーアンプは、ローゲインのオペアンプであるパワードライバと、ローサイドのカレントミラーと、ハイサイドのカレントミラーとの３つの要素回路により構成される。

【０００４】
パワードライバは、ＭＯＳトランジスタからなる差動アンプの出力信号をＰＮＰトランジスタとＮＰＮトランジスタのプッシュプル回路で受ける。このプッシュプル回路を構成するＰＮＰトランジスタによってローサイドカレントミラーを、ＮＰＮトランジスタによってハイサイドカレントミラーを、それぞれ駆動する。

【０００５】
両者のカレントミラーは、電流源とカレントミラーおよび抵抗により構成されるコンダクタンスアンプ（ｇｍアンプ）と、出力ＬＤＭＯＳトランジスタと、電流検出用のセンスＭＯＳトランジスタとから構成され、この出力ＬＤＭＯＳトランジスタとセンスＭＯＳトランジスタのサイズ比に従った出力電流が流れる。ローサイドの出力ＬＤＭＯＳトランジスタの場合、前記ＰＮＰトランジスタからの入力電流の、例えば６００倍が出力電流となる。また、ハイサイドの出力ＬＤＭＯＳトランジスタの場合も同様に、前記ＮＰＮトランジスタからの入力電流の６００倍が出力電流となる。

【０００６】
このような構成の従来例は、例えば１９９３年インターナショナル・ソリッド・ステート・サーキッツ・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、２２２頁から２２３頁（1993 International Solid-State Circuits Conference, Digest of Technical Papers, pp.222-223）に記載されている。

【０００７】
一方、他の従来技術としては、'９５日立モータドライバＩＣデータブックの２０５頁から２１１頁に記載されている。ここに記載されたＩＣは電源電圧１２Ｖ用のＶＣＭ駆動ＩＣ（製品名ＨＡ１３５２９ＦＰ）であり、ＶＣＭと出力電流検出用抵抗Ｒｓを直列に接続し、２つのパワーアンプＰＡ１、ＰＡ２の出力の一方をＶＣＭに、もう一方をＲｓに接続すると共に出力電流による抵抗Ｒｓでの電圧降下をパワーアンプＰＡ１の入力に帰還させる構成となっている。これにより、入力電圧に比例した出力電流が得られる。

【０００８】
【発明が解決しようとする課題】
しかしながら、前述した前者の従来技術では、カレントミラー回路が複雑となる上に、電流精度を確保するのにバイポーラトランジスタを使わざるを得ないためチップ面積が大き

くなり、低コスト化にむかないという問題があった。また、上、下のカレントミラーの構成が異なるため、ゲインを揃えにくく、アンプの歪を抑えにくいという問題があった。

【０００９】

また、前述した後者の従来技術では、入力信号が急激に変化した場合、ＶＣＭの有するインダクタンス成分のため、入力への帰還ループゲインが２次の周波数特性となり、出力信号が振動を起こしたり、発振するといった問題があった。このため、２つのパワーアンプＰＡ１、ＰＡ２を用いて双方向に電流を流すＶＣＭ駆動ＩＣの出力端子に、数オームの大電力用抵抗と数百ナノファラッド程度の静電容量を直列につないだ回路（いわゆるスナバ回路）を接続し、振動成分を吸収させていた。この回路は大電流用抵抗と静電容量を必要とするため、基板実装容積が必要であり、コスト高ともなっていた。また、これはＨＤＤの小型、低コスト化の上でも障害となっていた。さらに、２つのパワーアンプにおける帰還抵抗の比率を変えることによっても出力信号の振動を抑制できるが、出力で発生した逆起電圧の影響を受けやすく、出力電流の変動が発生するという問題があった。

【００１０】

そこで、本発明の目的は、歪が少なく、集積回路の面積削減に最適な低コストなパワーアンプを提供することである。

【００１１】

また、本発明の他の目的は、このパワーアンプを用いて、出力端子にパワー抵抗と大容量からなる外付けのスナバ回路を使用することなく、小型の部品を外付けするだけで低コストで出力電圧、電流の振動が発生しないモータ駆動回路を提供することである。

【００１２】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るパワーアンプは、出力のパワーＭＯＳトランジスタで構成するシンプルなカレントミラーのペアを用いることを特徴とするものである。すなわち、本発明に係るパワーアンプは電界効果トランジスタからなる回路であって、入力電圧信号の極性により、該入力電圧信号を第１及び第２の出力信号に分配する位相弁別回路と、該位相弁別回路の第１及び第２の出力信号をそれぞれ増幅する第１及び第２の増幅回路と、ソース電極が接地端子に接続された第１の出力用電界効果トランジスタと、ドレイン電極が電源電圧端子に接続された第２の出力用電界効果トランジスタと、前記第１及び第２の出力用電界効果トランジスタとそれぞれ一対の第１及び第２のカレントミラーを形成する第３及び第４の電界効果トランジスタと、を具備し、前記第１及び第２のカレントミラーは前記第１及び第２の増幅回路を介した前記第１及び第２の出力信号により駆動されると共に、該第１及び第２のカレントミラーの出力端子を、前記第１の出力用電界効果トランジスタのドレイン電極と前記第２の出力用電界効果トランジスタのソース電極との接続ノードとするように構成したことを特徴とする。

【００１３】

前記パワーアンプにおいて、前記第１及び第２の増幅回路と前記第１及び第２のカレントミラーがそれぞれ同じ極性の電界効果トランジスタで構成すれば好適である。すなわち、電界効果トランジスタ構成の位相弁別回路を用いることにより、前記第１及び第２の増幅回路を上、下用カレントミラーで構成した場合に同型の電界効果トランジスタで構成することができる。

【００１４】

また、前記第１及び第２のカレントミラーを形成する前記第３及び第４の電界効果トランジスタのドレイン、ゲート電極間に、それぞれ第１及び第２の抵抗を設ければ好適である。これにより、入力電圧信号が零付近では前記第１及び第２のカレントミラーの電流比に従った出力電流が得られ、大入力電圧信号時には前記第１及び第２の抵抗における電圧降下によるゲート電圧に従った第１及び第２の出力用電界効果トランジスタの出力電流を得ることできる。すなわち、第１及び第２の出力パワーＭＯＳトランジスタとカレントミラーペアを構成する第１及び第２のＮチャネルトランジスタのドレイン端子に抵抗を接続したことにより、入力電圧信号が大きいときにはカレントミラー比以上の出力電流を流せる

ように第１及び第２の出力パワーＭＯＳトランジスタのゲートの十分な振り込みを可能にするゲート電圧を得ることができる。

【００１５】

本発明に係るモータ駆動回路は、第１及び第２のパワーアンプの出力端子に負荷の両端を接続して駆動するモータ駆動回路において、前記第１及び第２のパワーアンプに上記のいずれかの本発明のパワーアンプを用いたことを特徴とするものである。

【００１６】

この場合、前記第１のパワーアンプをマスター用パワーアンプとし、前記第２のパワーアンプをスレーブ用アンプとし、前記マスター用の第１のパワーアンプに設けられた位相補償用容量と並列に、容量と抵抗の直列回路を接続すれば好適である。すなわち、マスター用パワーアンプの位相補償用容量と並列に抵抗と容量を接続し、パワーアンプのゲインの周波数特性を操作することにより、スナバ回路を接続せずにゲインピーキングを抑制することができる。

【００１７】

また、このモータ駆動回路は、負荷となるモータの負荷抵抗とインダクタンスで決定される負荷ゲインの周波数特性の極周波数ｆLと、前記第１のパワーアンプのゲインの極周波数ｆxとの関係が、ｆL≦ｆxである。これにより、ゲインピーキングを抑制することができる。

【００１８】

前記いずれかのモータ駆動回路を用いてハードディスクドライブ装置を構成すれば好適である。

【００１９】

【発明の実施の形態】

次に、本発明に係るパワーアンプ及びこれを用いたモータ駆動回路の実施の形態につき、添付図面を参照しながら、以下詳細に説明する。

【００２０】

＜実施の形態１＞

図１は、本発明に係るパワーアンプの構成を示すブロック図であり、３．５インチＨＤＤ用ＶＣＭ駆動集積回路に用いるパワーアンプの例である。図１において参照符号Ｍ１，Ｍ２はパワーアンプの出力段のそれぞれ上、下アームとなるＮチャネル型パワーＭＯＳＦＥＴ（以下、パワーＭＯＳトランジスタと称する）、３は入力信号を受けて動作する初段の差動アンプ、４は差動アンプ３の出力の極性に応じて上、下アームの駆動能力を変える位相弁別回路、５，６はそれぞれ上、下の出力段を駆動するためのカレントミラー回路、Ｍ３，Ｍ４は出力パワーＭＯＳトランジスタＭ１，Ｍ２とそれぞれカレントミラーを成すＮチャネル形ＭＯＳトランジスタ、Ｒg1，Ｒg2は大電流領域で出力段のそれぞれカレントミラー比を変化させるための抵抗、１１は上アームの出力パワーＭＯＳトランジスタＭ２に十分なゲート電圧を与えて低オン抵抗でオン状態とするための昇圧回路、Ｃcはパワーアンプの利得周波数特性の位相補償のための静電容量、Ｖinはパワーアンプの入力電圧、Ｖccは１２Ｖの電源電圧、ＶBSTは昇圧回路１１により得られた１９Ｖの昇圧電圧（ブースター電圧）、ＶPSはモータを駆動するための１２Ｖの電源電圧、Ｖoはアンプの出力電圧である。

【００２１】

続いて、このパワーアンプのさらに詳細な回路構成を図２に示す。位相弁別回路４は、縦列接続されたＰチャネル型ＭＯＳトランジスタ（以下、ＰＭＯＳトランジスタ、或いは単にＭＯＳトランジスタと称する）２３とＮチャネル型ＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタ、或いは単にＭＯＳトランジスタと称する）２４にクロスさせて、縦列接続されたＰＭＯＳトランジスタ２５とＮＭＯＳトランジスタ２６を配置し、ＰＭＯＳトランジスタ２３とＮＭＯＳトランジスタ２６のゲート電極間およびＮＭＯＳトランジスタ２４とＰＭＯＳトランジスタ２５のゲート電極間には、ドレイン電極とゲート電極を接続してピンチオフさせた（バイポーラトランジスタの場合のダイオード接続に対応する）ＰＭ

ＯＳトランジスタ１９とＮＭＯＳトランジスタ２０、および同様にピンチオフさせたＰＭＯＳトランジスタ２１とＮＭＯＳトランジスタ２２が、それぞれ縦列に接続されている。

【００２２】

また、このＭＯＳトランジスタ１９～２２の各トランジスタに流れる電流は、同一電流値の電流源２７，２８，２９により一定となり、さらにＰＭＯＳトランジスタ２１とＮＭＯＳトランジスタ２２の間の電位は電源電圧Ｖccの半分の電圧の６Ｖに固定されている。一方、次段の上、下アーム用カレントミラー５，６は、ＰＭＯＳトランジスタ３０，３１とＰＭＯＳトランジスタ３２，３３によりそれぞれ形成される。

【００２３】

次に、本パワーアンプの動作について説明する。まず、初段の差動アンプ３の負入力端子にＶcc／２を加え、正負入力間の電圧Ｖinを０Ｖとした場合、この差動アンプ３の出力はＶcc／２付近となり、ＮＭＯＳトランジスタ１８はわずかにオン状態となる。ピンチオフ状態で接続されているＭＯＳトランジスタ１９～２２のドレイン、ソース間電圧によりＭＯＳトランジスタ２３～２６のゲート電位は固定される。また、ＭＯＳトランジスタ２１，２２間の電位はＶcc／２に固定されているため、位相弁別回路４はバランスの取れた状態が維持される結果、上アーム制御電流ＩUと下アーム制御電流ＩLは微小電流で等しい値となる。

【００２４】

従って、この電流値と最終的な出力電流ＩUo，ＩLoは、次式で与えられる。ここで、Ｉｏは、電流源２７～２９の電流値である。

【００２５】

ＩU＝Ｉｏ×(ＭＯＳトランジスタ２１と２５のゲート幅Ｗ／ゲート長Ｌの比)

ＩL＝Ｉｏ×(ＭＯＳトランジスタ２２と２４のＷ／Ｌの比)

ＩUo＝ＩU×(上アームのカレントミラー比)×(出力段のカレントミラー比)

ＩLo＝ＩL×(下アームのカレントミラー比)×(出力段のカレントミラー比)

この時の出力電流ＩUoとＩLoが、パワーアンプの入力ゼロ時のアイドリング電流となる。

【００２６】

次に、パワーアンプの入力電圧Ｖinが正となった場合、差動アンプ３の出力電圧は十分に大きくなり、ＮＭＯＳトランジスタ１８も十分にオン状態となる。これにより、ＭＯＳトランジスタ２３と２６のゲート電圧は低い方にシフトし、上アーム制御電流ＩUは遮断され、下アーム制御電流ＩLは増加される。この下アーム制御電流ＩLの増加に加え、下アームカレントミラー５でさらに増幅された電流は、ＮＭＯＳトランジスタＭ３のドレインに挿入された抵抗Ｒg1での電圧降下により出力パワーＭＯＳトランジスタＭ１が駆動される。これにより、出力段においてはカレントミラー比よりも大きな出力電流ＩLoが得られる。

【００２７】

続いて、パワーアンプの入力電圧Ｖinが負となった場合には、ＮＭＯＳトランジスタ１８が十分にオン状態にならないため、ＭＯＳトランジスタ２３，２６のゲート電圧は高い方にシフトする。従って、入力電圧Ｖinが正の場合とは反対に、上アーム用カレントミラー６に大きな電流が流れ、抵抗Ｒg2の効果により、出力にもより大きな出力電流ＩUoが流れる。

【００２８】

次に、図２に示したパワーアンプを構成する各素子の具体的な仕様例を、以下に示す。電源電圧Ｖcc、モータ電源電圧ＶPSがそれぞれ１２Ｖ、昇圧電圧ＶBSTが１９Ｖ、パワーＭＯＳトランジスタＭ１，Ｍ２のＷ（ゲート幅）／Ｌ（ゲート長）が２０ｍｍ／１．２μｍ、ＮＭＯＳトランジスタ１８が６０μｍ／２０μｍ、ＰＭＯＳトランジスタ１９，２１のＷ／Ｌが２４０μｍ／３μｍ、ＮＭＯＳトランジスタ２０，２２のＷ／Ｌが５０μｍ／１．２μｍ、ＰＭＯＳトランジスタ２３，２５のＷ／Ｌが４８μｍ／３μｍ、ＮＭＯＳトランジスタ２４，２６のＷ／Ｌが１０μｍ／１．２μｍ、ＰＭＯＳトランジスタ３０，３２のＷ／Ｌが９６μｍ／６μｍ、ＰＭＯＳトランジスタ３１，３３のＷ／Ｌが４８０μｍ／

６μｍ、ＮＭＯＳトランジスタＭ３，Ｍ４のＷ／Ｌが１０００μｍ／１．２μｍ、抵抗Ｒg1，Ｒg2が１５ｋΩ、電流源２７～２９が５０μＡ、差動アンプ３の相互コンダクタンスｇｍが１２５μＳである。

【００２９】

これらのサイズ比からわかる通り、ＰＭＯＳトランジスタ１９と２３，ＮＭＯＳトランジスタ２０と２６、ＰＭＯＳトランジスタ２１と２５、ＮＭＯＳトランジスタ２２と２４の各電流比は、それぞれ５：１であり、上、下アーム用カレントミラー５，６のカレントミラー比は１：５、ＮＭＯＳトランジスタＭ４と出力のパワーＭＯＳトランジスタＭ２、およびＮＭＯＳトランジスタＭ３と出力のパワーＭＯＳトランジスタＭ１のカレントミラー比は１：２０となっている。

【００３０】

従って、アイドリング電流ＩUo，ＩLoは、以下の通りとなる。

【００３１】

ＩUo＝ＩLo＝５０μＡ×(１／５)×(５／１)×(２０／１)＝１ｍＡ

ここで、このパワーアンプの直流特性を、図３に示す。図３は、図２に示したパワーアンプの負入力端子を６Ｖ（電源電圧の１／２）に固定し、正負入力端子間に入力電圧Ｖinを－０．６ｍＶ～０．６ｍＶの範囲で加え、出力端子１７に抵抗１０ΩとインダクタンスＬ２ｍＨを直列接続し、その終端を６Ｖに固定した時のパワーアンプの出力電圧Ｖoと、さらに上、下パワーＭＯＳトランジスタＭ１，Ｍ２のゲート電圧Ｖgs1，Ｖgs2を示している。ゲート電圧Ｖgs1，Ｖgs2については、抵抗Ｒg1，Ｒg2が無い場合の特性（点線）も比較として示した。

【００３２】

入力電圧Ｖinがオフセット電圧Ｖoffの時、出力電圧Ｖoは６Ｖとなり、この時の出力電流ＩUo（＝ＩLo）がアイドリング電流である。なお、オフセット電圧は電流源の電流値のばらつきや差動アンプのオフセットなどにより生じ、本来ならばＶoff＝０が望ましい。入力電圧ＶinがＶoff付近では、出力電圧Ｖoの変化は小さい（電圧ゲインが小さい）が、ある入力電圧以上になると急激に出力電圧の変化が大きくなる（電圧ゲインが大きい）。これは、出力段がカレントミラーの状態から、抵抗Ｒg1，Ｒg2における電圧降下で出力パワーＭＯＳトランジスタＭ１，Ｍ２が駆動される領域へと移ったことによる。ちなみに、出力段の抵抗Ｒg1，Ｒg2が無い場合は、図３に示した点線の特性のように出力電圧の変化は小さなままとなる。これは、抵抗が無い場合にはカレントミラー比の１：２０により出力電流ＩUo，ＩLoが決定されるためである。逆にいえば、１Ａの出力電流を得るには、５０ｍＡの電流を入力側に流す必要がある。これが、従来技術のように、出力ＬＤＭＯＳトランジスタとセンスＭＯＳトランジスタを用いた構成では、１Ａの出力電流を得るために、１：６００のセンスＭＯＳトランジスタであったとしても、１．７ｍＡのセンス電流が必要であった。これに対して、本発明のように２０ｋΩ程度の抵抗Ｒg1，Ｒg2を用いることにより、入力側の電流が０．５ｍＡでパワーＭＯＳトランジスタのゲート電圧に１０Ｖを印加できるため、フルオン状態にして１Ａの出力電流を得ることができる。

【００３３】

このパワーアンプの過渡特性の測定回路と測定結果を、図４及び図５に示す。図４の測定回路において、抵抗Ｒa，Ｒcを２０kΩ、抵抗Ｒb，Ｒdを４０kΩ、出力の抵抗Ｒを１４Ω、インダクタンスＬを２ｍＨとしている。この回路に正弦波電圧を入力したときのパワーアンプＰＡの出力電流、電圧の測定結果を図５に示した。特性線ａは入力電圧Ｖiであり、周波数１ｋＨｚ、振幅２Ｖの正弦波電圧である。特性線ｂは出力電圧Ｖo、特性線ｃは出力電流Ｉoである。インダクタンス負荷であるため出力電流Ｉoに位相ずれがあるが、零付近のクロスオーバ歪は発生せず、良好な出力特性が得られている。

【００３４】

以上のように、本実施の形態例の特徴は、ＭＯＳトランジスタからなる位相弁別回路４を用いて、上、下アーム用の両カレントミラー回路５，６を同じ形にすることにより、簡単な回路構成で歪の小さなパワーアンプとすることができることである。また、パワーアン

プに入力電圧がない場合のアイドリング電流がカレントミラー比により確実に決定される一方、入力が大電圧となったときはカレントミラー比ではなく抵抗Ｒg1，Ｒg2の電圧降下により生じるゲート電圧で出力電流が決定されるため、小さなバイアス電流で大きな出力電流を得ることが可能であることも特徴である。

【００３５】

従って、簡単な回路構成で歪の小さいＢ級、またはＡＢ級のパワーアンプが得られると同時に、カレントミラー比が小さくても必要とされるバイアス電流は小さくて済み、消費電力の低減に効果がある。

【００３６】

また、本実施の形態例で使用した差動アンプ３の構成素子は、バイポーラトランジスタ、ＭＯＳトランジスタのどちらでもよいが、ＭＯＳトランジスタを用いることでオールＭＯＳトランジスタ構成となり、特にチップ面積を削減する場合に最適である。また、当然のことではあるが、電源電圧１２Ｖの場合を例に示したが、それ以外でも適用可能である。加えて、カレントミラーとして最も単純な形の例を用いたが、ウィルソンなどの高精度なカレントミラーを用いることも可能である。

【００３７】

＜実施の形態２＞

図６は、本発明に係るパワーアンプの他の実施の形態例を示す要部回路図であり、図２示したパワーアンプにおける位相弁別回路の他の構成例である。前記実施の形態１の構成と相違する点は、図２の位相弁別回路４に抵抗５３～５６を付加している点である。

【００３８】

このように構成することにより、パワーアンプのゲインを調整することができる。パワーアンプのゲインが高すぎると、帰還回路において発振等の不都合が生じやすいため、ある程度低く設定したい場合に好適である。この例では、抵抗５３と５４を４kΩ、抵抗５５と５６を２０kΩとして電流による抵抗での電圧降下が、互いに等しくなるように設定した。これ以外の設定は、前記実施の形態１で述べた例と同じにした。これにより、安定した入出力特性が得られるようになった。

【００３９】

＜実施の形態３＞

図７は、本発明に係るパワーアンプを用いたモータ駆動回路の一実施の形態を示す回路構成図である。なお、モータ駆動回路は双方向電流源として動作する。以下、３．５インチＨＤＤ用モータ駆動回路を例に説明する。

【００４０】

図７において、参照符号１００は電流源となるマスター用パワーアンプ、１０１はスレーブ用パワーアンプ、１０２はボイスコイルモータ（ＶＣＭ）、ＲSは出力電流検出用抵抗、Ｒ1～Ｒ7は伝達関数を設定する抵抗、Ｃcは位相補償用容量、Ｒx，Ｃxは後で説明する本発明のモータ駆動回路の特徴となるゲインピーキング対策のための抵抗と容量、Ｖ-は負の入力電圧、Ｖ+は正の入力電圧、Ｖrefはリファレンス電圧（通常電源電圧の１／２）、Ｖo1，Ｖo2はパワーアンプ１００，１０１の出力電圧、ＶNはＶＣＭ１０２と電流検出抵抗ＲSとの接続点電圧、Ｉoutは出力電流、ＺLはパワーアンプの負荷となるＶＣＭのインピーダンスである。

【００４１】

この図７に示した双方向電流源として動作する３．５インチＨＤＤ用モータ駆動回路のブロック線図は、図８のごとく表わされる。なお、このブロック線図は、Ｒ2／Ｒ1＝Ｒ4／Ｒ3の条件で簡略化したものである。図８において、Ａ1(ｓ)，Ａ2(ｓ)は、それぞれ本モータ駆動回路のマスター用パワーアンプ１００、スレーブ用パワーアンプ１０１の周波数ｆを関数とするゲインである。このブロック線図からわかる通り、本モータ駆動回路は負帰還回路であり、そのループゲインがＡloop(ｓ)、トータルゲインがＡall(ｓ)である。

【００４２】

また、マスター用パワーアンプ１００の代表的な構成例を図９に示す。本パワーアンプ１

００は初段アンプ１２４、後段アンプ１２５、ゲイン１倍のバッファアンプ１２６の３つから構成される。後段アンプ１２５の入出力間には、位相補償用容量Ｃcと、直列接続した抵抗Ｒx及び容量Ｃxとがそれぞれ並列に接続されている。位相補償用容量Ｃc、抵抗Ｒx、及び容量Ｃxをまとめて、Ｚ(ｓ)として示している。一方、スレーブ用パワーアンプ１０１は、図９の抵抗Ｒxと容量Ｃxを除いた構成である。

【００４３】

次に、この両者のパワーアンプ１００，１０１の電圧ゲインの周波数特性を図１０(ａ),(ｂ)にそれぞれ示した。同図(ａ)がマスター用パワーアンプ１００、同図(ｂ)がスレーブ用パワーアンプ１０１の特性であり、縦軸がアンプの電圧ゲインＡ(ｓ)の常用対数表示、横軸が入力信号の周波数の常用対数表示、特性線１３０と１３１がゲインの周波数特性である。まず、アンプに位相補償用容量Ｃcのみを付けたスレーブ用アンプ１０１の場合は、同図(ｂ)に示すように傾き－２０ｄＢ／ｄｅｃの直線で、遮断周波数ｆcoにおいてゲインが０ｄＢとなるような特性線１３１となる。一方、抵抗Ｒxと容量Ｃxを接続したマスター用アンプ１００の場合は、(ａ)に示すように、傾き－２０ｄＢ／ｄｅｃで、遮断周波数がｆcoとｆxoの二本の直線の組み合わせの特性線１３０となる。

【００４４】

これらの特性をもつパワーアンプを用いたモータ駆動回路のゲインの周波数特性を、図１１に示す。図８で示したように、本モータ駆動回路は帰還ループを有しており、ループゲインＡloop(ｓ)の特性によりアンプの周波数特性は左右される。また、このループゲインＡloop(ｓ)の周波数特性の変化は、マスター用アンプ１００のゲインＡ1(ｓ)とモータ負荷のゲインＡz(ｓ)の組み合わせで決定されることが、図８からわかる。

【００４５】

このような条件のもとで、モータ駆動回路の周波数特性を見ると、マスター用およびスレーブ用共に、図１０(ｂ)に示した特性を有する位相補償用容量Ｃcのみを付加したアンプを用いた従来技術では、図１１(ａ)に示すように、トータルゲインＡall(ｓ)の特性が周波数ｆpにおいてピーキングが生じる。この理由は、ループゲインＡloopが二次の傾き、すなわち－４０ｄＢ／ｄｅｃで０ｄＢとなっているためである。

【００４６】

一方、本発明に係るモータ駆動回路ではマスター用に図１０(ａ)の特性を有するアンプを、スレーブ用に図１０(ｂ)の特性を有するアンプを用いた結果、図１１(ｂ)に示すように、トータルゲインＡallは周波数ｆpにおいてピーキングを生じることがなくなる。これは、マスター用アンプの周波数特性を図１０で述べたように改良することにより、ループゲインＡloopの傾きが－２０ｄＢ／ｄｅｃでゲイン０ｄＢの横軸を切るようになったことによる。すなわち、負荷でのゲインＡz(ｓ)が低下する周波数ｆLの直前の周波数ｆxでアンプのゲインが一定（零次）となるように付加した抵抗Ｒxと容量Ｃxの値を設定することにより、両者の組み合わせのトータルゲインＡall(ｓ)の傾きを－２０ｄＢ／ｄｅｃに維持することができるからである（すなわち、ｆL≦ｆx）。

【００４７】

具体的な回路構成として、図２のパワーアンプを用いて図７に示したモータ駆動回路を構成した場合の入出力特性を、図１２に示す。ここで用いたパワーアンプの構成では、図９に示した代表的構成の初段アンプ１２４が図２の差動アンプ３に、後段アンプ１２５が位相弁別回路４以降の回路に対応し、ゲイン１倍のバッファアンプ１２６は省略されている。位相補償用容量Ｃcと並列に、抵抗Ｒxと容量Ｃxの直列回路を接続することにより、図７のマスター用パワーアンプ１００となる。図１２の特性は、本モータ駆動回路において、電源電圧１２Ｖ、インダクタンス２ｍＨ、内部抵抗１４Ωのボイスコイルモータ（ＶＣＭ）を方形波入力電圧Ｖin＝６．０±１．０Ｖ（周波数１ｋＨｚ）により駆動したときの入力電圧Ｖin、出力電流Ｉoutを示している。ここで、直流におけるモータ駆動回路の伝達関数は、Ｉout／Ｖin＝０．５となるように、抵抗値を設定してある（Ｉout／Ｖin＝Ｒ2／(Ｒ1・Ｒs)，Ｒ1＝４０ｋΩ，Ｒ2＝２０ｋΩ，Ｒs＝１Ω）。

【００４８】

図１２において、特性線２００が入力電圧Ｖin、特性線２０１が従来技術での出力電流Ｉout、特性線２０２が本発明のモータ駆動回路での出力電流Ｉoutである。従来技術においては、特性線２０１から分かるようにゲインピーキングの影響から出力電流の切り替わりで振動が現われている。従って、従来のモータ駆動回路では、これを緩和するために、出力端子に数Ωのパワー抵抗、数百ｎＦ程度の大容量のスナバ回路を外付けで挿入する必要があった。

【００４９】

一方、本発明に係るモータ駆動回路では、マスター用パワーアンプ１００の位相補償用容量Ｃc＝１５ｐＦと並列に、６８０ｋΩの抵抗Ｒxと２２０ｐＦの容量Ｃxといった、スナバ回路に比べて小型の部品を外付けするだけで、特性線２０２から分かるように振動のない出力電流を得ることができた。

【００５０】

＜実施の形態４＞

図１３は、上記実施の形態３で述べた本発明に係るモータ駆動回路を使用したドライバ用集積回路を搭載する３.５インチハードディスクドライブ（ＨＤＤ）装置の構成を示す図であリ、同図(ａ)は上面の一部切取り外観斜視図、(ｂ)は下面の一部切取り外観斜視図である。図１３において、参照符号３００が磁気ディスク、３０１が磁気ヘッド、３０２がボイスコイルモータ（ＶＣＭ）、３０３がスピンドルモータ、３０４がデータチャネルプロセッサ、３０５がキャッシュメモリ、３０６がハードディスクコントローラ、３０７がマイクロプロセッサ、３０８がＶＣＭ用のモータ駆動回路を含むモータドライバＩＣである。

【００５１】

図１及び図２に示した、ＭＯＳ構成の位相弁別回路４、上、下アーム用カレントミラー５，６、パワーＭＯＳトランジスタＭ１，Ｍ２とからなるオールＭＯＳ構成のパワーアンプを用いることにより、モータドライバＩＣ３０８のチップ容積が小さくなる。また、図７に示したゲインピーキング抑制用の抵抗Ｒxと容量Ｃxは従来のスナバ回路に比べて非常に小さい容積で済むため、実装容積の削減と、部品コストの低減が図れた。

【００５２】

以上、本発明の好適な実施の形態について説明したが、本発明は前記実施の形態例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【００５３】

【発明の効果】

前述した実施の形態から明らかなように、本発明によれば、出力飽和電圧が十分に低く、低消費電力で歪が小さいパワーアンプが低コストで実現できるようになった。

【００５４】

また、このパワーアンプを用いて構成したモータ駆動回路は、マスタ用パワーアンプの位相補償用容量と並列に小型の抵抗と容量の直列回路を付加するだけで、ゲインピーキング抑制のために外付けの従来のスナバ回路を使用する必要がないので、システムの低コスト化と、実装ボードにおける実装容積を削減することができた。

【図面の簡単な説明】

【図１】本発明に係るパワーアンプの構成を示すブロック図である。

【図２】図１に示したパワーアンプの一実施の形態を示す詳細な回路構成図である。

【図３】図２に示したパワーアンプの直流特性を示す図である。

【図４】図２に示したパワーアンプの過渡特性の測定回路図である。

【図５】図２に示したパワーアンプの過渡特性を示す図である。

【図６】本発明に係るパワーアンプの他の実施の形態を示す要部回路図である。

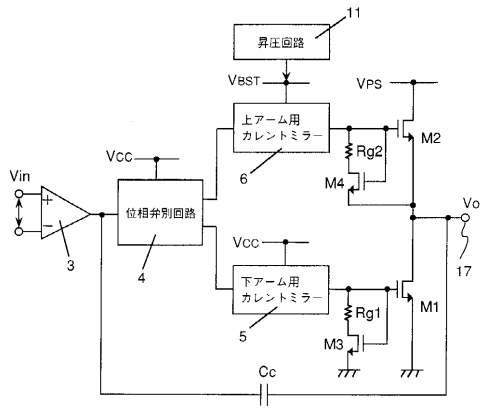
【図７】図２に示したパワーアンプを用いたモータ駆動回路の一実施の形態を示す回路構成図である。

【図８】図７に示したモータ駆動回路のブロック線図である。

【図９】図７に示したモータ駆動回路のマスター用パワーアンプの回路構成を示すブロック図である。
【図１０】図７に示したモータ駆動回路のマスター用パワーアンプとスレーブ用パワーアンプのゲインの周波数特性を示す図である。
【図１１】本発明に係るパワーアンプを用いたモータ駆動回路のゲインの周波数特性を示す図である。
【図１２】本発明に係るパワーアンプを用いたモータ駆動回路の入出力特性を示す図である。
【図１３】本発明に係るパワーアンプを用いたモータ駆動回路を使用したモータドライバＩＣを搭載するハードディスクドライブ装置の外観図である。
【符号の説明】
３…初段差動アンプ、４…位相弁別回路、５…下アーム駆動用カレントミラー回路、６…上アーム駆動用カレントミラー回路、１１…昇圧回路、１９，２１，２３，２５…ＰＭＯＳトランジスタ、１８，２０，２２，２４，２６…ＮＭＯＳトランジスタ、２７～２９…電流源、３０～３３…カレントミラー用ＰＭＯＳトランジスタ、５３～５６…抵抗、１００…マスター用パワーアンプ、１０１…スレーブ用パワーアンプ、１０２…ボイスコイルモータ（ＶＣＭ）、１２４…初段アンプ、１２５…後段アンプ、１２６…バッファアンプ、３０８…モータドライバＩＣ、Ｍ１，Ｍ２…パワーＭＯＳトランジスタ、Ｍ３，Ｍ４…パワーＭＯＳトランジスタとのカレントミラーとして一対を成すＮＭＯＳトランジスタ、Ｒg1，Ｒg2…大電流領域で出力段のカレントミラー比を変化させるための抵抗、Ｃc…位相補償用静電容量、Ｖgs1…下アームパワーＭＯＳトランジスタのゲート電圧、Ｖgs2…上アームパワーＭＯＳトランジスタのゲート電圧、Ｖoff…オフセット電圧、ＩU…上アーム制御電流、ＩL…下アーム制御電流、ＩUo…上アームの出力電流、ＩLo…下アームの出力電流、Ｒ…負荷抵抗、Ｌ…負荷インダクタンス、ＰＡ…パワーアンプ、ＲS…出力電流検出用抵抗、Ｒx…ピーキング対策用抵抗、Ｃx…ピーキング対策用容量、Ｖref…リファレンス電圧（通常電源電圧の１／２）、Ａ1(s)…マスター用パワーアンプの電圧ゲイン、Ａ2(ｓ)…スレーブ用パワーアンプの電圧ゲイン、Ａloop(ｓ)…ループゲイン、Ａall(ｓ)…トータルゲイン、Ａz(ｓ)…モータ負荷のゲイン。

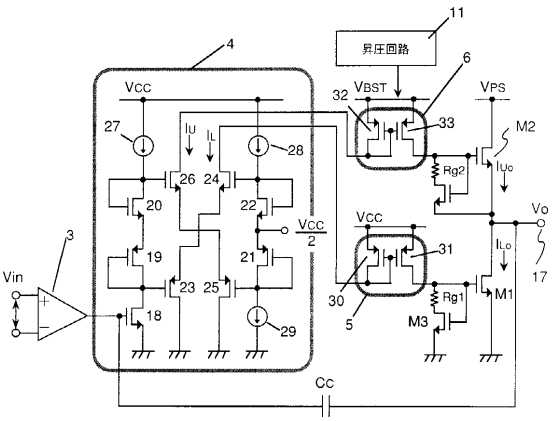
【図１】

図1



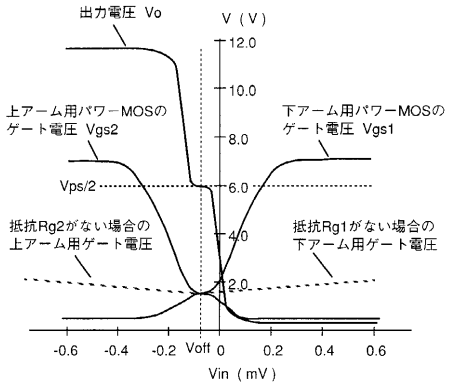
【図２】

図2



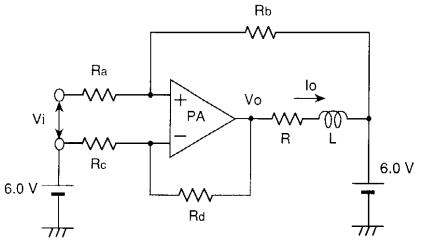
【図３】

図3



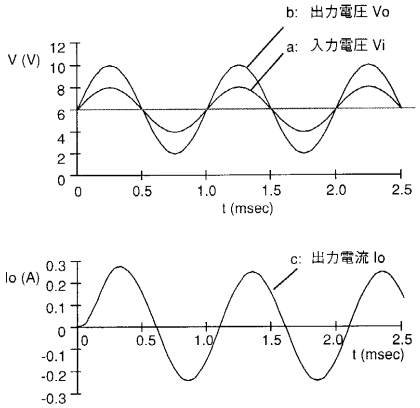
【図４】

図4



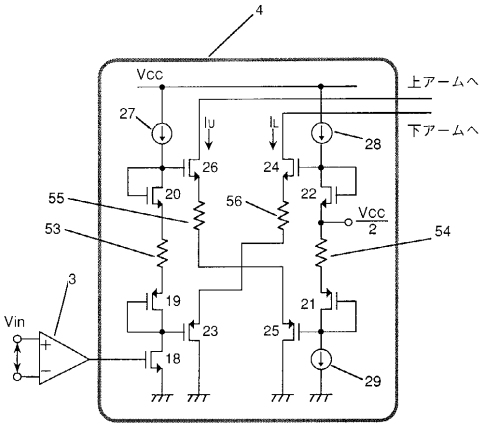
【図５】

図5



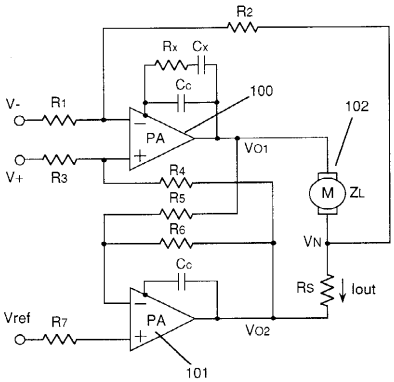
【図６】

図6



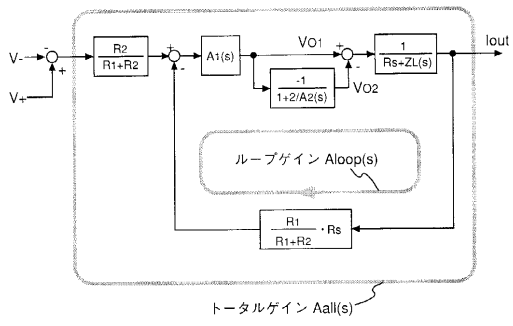
【図７】

図7



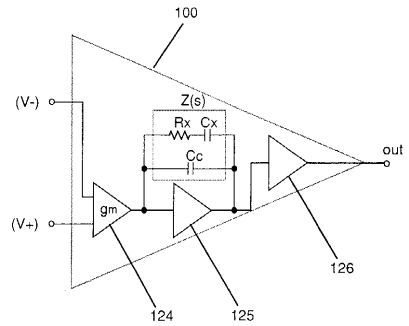
【図８】

図8



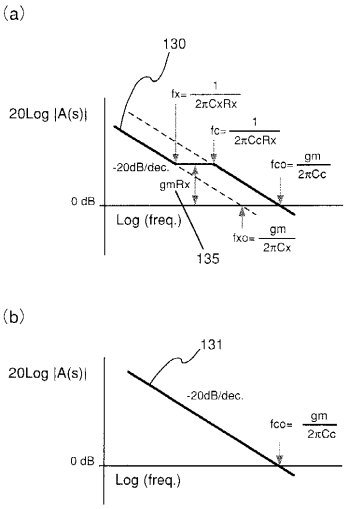
【図９】

図9



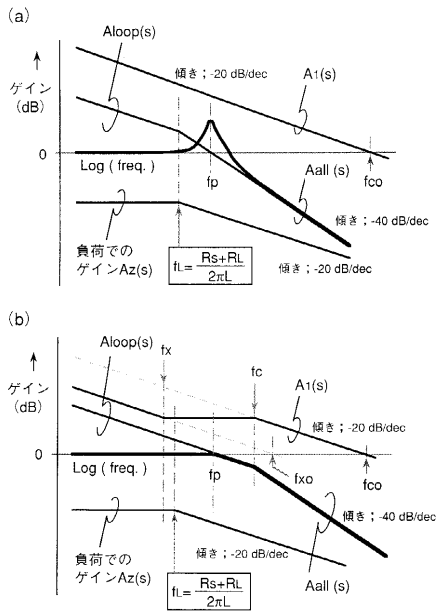
【図１０】

図10



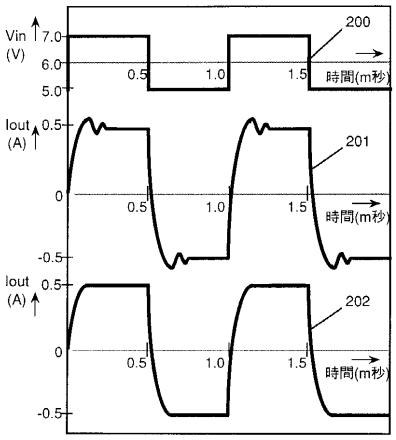
【図１１】

図11



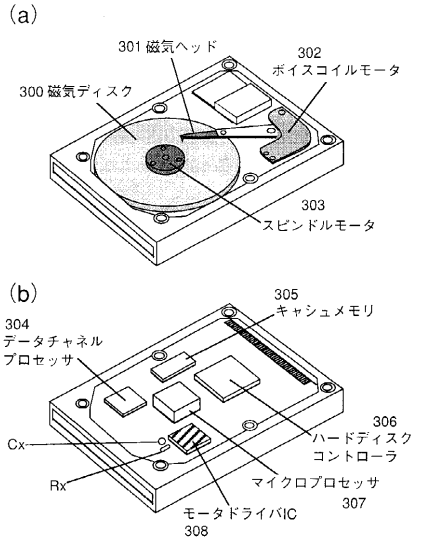
【図１２】

図12



【図１３】

図13


(a)
301 磁気ヘッド
302
ボイスコイルモータ
300 磁気ディスク
303
スピンドルモータ
(b)
305
キャシュメモリ
304
データチャネル
プロセッサ
306
ハードディスク
コントローラ
Cx
Rx
マイクロプロセッサ
307
モータドライバIC
308

フロントページの続き

(56)参考文献 特開平１０－１４５１５３（ＪＰ，Ａ）
特開昭５７－０５３１１２（ＪＰ，Ａ）
特開昭５０－０９３０６４（ＪＰ，Ａ）
特開平０７－０２２８５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03F 3/30