



(12) 发明专利

(10) 授权公告号 CN 110943064 B

(45) 授权公告日 2024.12.27

(21) 申请号 201910875434.9

(22) 申请日 2019.09.17

(65) 同一申请的已公布的文献号
申请公布号 CN 110943064 A

(43) 申请公布日 2020.03.31

(30) 优先权数据
2018-177871 2018.09.21 JP

(73) 专利权人 新光电气工业株式会社
地址 日本长野县

(72)发明人 林真太郎 小池顺 小林浩之佑

(74) 专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 韩香花 崔成哲

(51) Int.Cl.

H01L 23/495 (2006.01)

H01L 21/48 (2006.01)

(56) 对比文件

US 2014319663 A1, 2014.10.30

审查员 黄亮

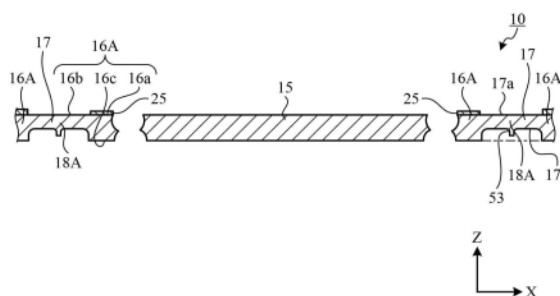
权利要求书2页 说明书10页 附图19页

(54) 发明名称

引线框架及其制造方法

(57) 摘要

本发明提供引线框架及其制造方法。本发明所涉及的引线框架包括：引脚部，其具有一侧表面及另一侧表面；连接条，其具有一侧表面及另一侧表面，引脚部联结于该连接条；以及突起部，其设置于连接条的一侧表面上，其中，连接条的一侧表面位于引脚部的一侧表面与另一侧表面之间，突起部的前端位于引脚部的一侧表面与连接条的一侧表面之间。本发明涉及的引线框架能够在切割加工时防止切割刀刃堵塞。



1. 一种引线框架,其特征在于,包括:
引脚部,其具有一侧表面及另一侧表面;
连接条,其具有一侧表面及另一侧表面,所述引脚部连结于该连接条;以及
突起部,其设置于所述连接条的一侧表面上,其中,
所述连接条的一侧表面位于所述引脚部的一侧表面与另一侧表面之间,
所述突起部的前端位于所述引脚部的一侧表面与所述连接条的一侧表面之间,
所述突起部从所述连接条的一侧表面突起至如下位置:未到达与设置有所述引脚部的外部端子部的一侧表面相同的位置。
2. 根据权利要求1所述的引线框架,其特征在于,还包括:
芯片垫,其具有用于放置半导体元件的放置面。
3. 根据权利要求1所述的引线框架,其特征在于,还包括:
多个引线框架单元,其各自具有:芯片垫,其具有用于放置半导体元件的放置面、以及配置于所述芯片垫的周围的多个所述引脚部。
4. 根据权利要求1所述的引线框架,其特征在于,
所述突起部沿着所述连接条的延伸方向呈直线状延伸。
5. 根据权利要求4所述的引线框架,其特征在于,
所述引脚部包括:长度相对长的多个长引脚部、以及长度相对短的多个短引脚部,
所述连接条在与所述长引脚部及所述短引脚部的长度方向正交的方向上延伸,且将对应的一对所述长引脚部连结及将对应的一对所述短引脚部连结,
所述连接条包括:
多个长引脚连结部,其位于对应的一对所述长引脚部之间;以及
多个短引脚连结部,其位于对应的一对所述短引脚部之间,
所述突起部形成于所述连接条的一侧表面中与所述长引脚连结部及所述短引脚连结部对应的区域。
6. 根据权利要求1所述的引线框架,其特征在于,
所述突起部沿着所述连接条的延伸方向配置成岛状。
7. 根据权利要求6所述的引线框架,其特征在于,
所述引脚部包括:长度相对长的多个长引脚部、以及长度相对短的多个短引脚部,
所述连接条在与所述长引脚部及所述短引脚部的长度方向正交的方向上延伸,且将对应的一对所述长引脚部连结及将对应的一对所述短引脚部连结,
所述连接条包括:
多个长引脚连结部,其位于对应的一对所述长引脚部之间;以及
多个短引脚连结部,其位于对应的一对所述短引脚部之间,
所述突起部形成于所述连接条的一侧表面中与所述长引脚连结部对应的区域。
8. 根据权利要求1至7中任一项所述的引线框架,其特征在于,
在所述引脚部的一侧表面上设置有与外部的电路板连接的外部端子部,
在所述引脚部的另一侧表面上设置有与连接部连接的内部端子部,所述连接部用于将半导体元件与所述引脚部电连接。
9. 一种引线框架的制造方法,其特征在于,包括以下工序:

在金属板上形成光刻胶层；

通过将所述光刻胶层作为掩模对所述金属板进行蚀刻,以在所述金属板上形成:引脚部,其具有一侧表面及另一侧表面;连接条,其具有一侧表面及另一侧表面,所述引脚部连接于该连接条;以及突起部,其设置于所述连接条的一侧表面;以及

从所述金属板去除所述光刻胶层,其中,

所述连接条的一侧表面位于所述引脚部的一侧表面与另一侧表面之间,

所述突起部的前端位于所述引脚部的一侧表面与所述连接条的一侧表面之间,

所述突起部从所述连接条的一侧表面突起至如下位置:未到达与设置有所述引脚部的外部端子部的一侧表面相同的位置。

引线框架及其制造方法

技术领域

[0001] 本发明涉及一种引线框架及其制造方法。

背景技术

[0002] 作为薄型半导体装置已知有QFN(Quad Flat Non-leaded package, 方形扁平无引脚封装)型半导体装置。在QFN型半导体装置中,放置于引线框架的放置面上的半导体元件被包封树脂包封,引脚部的一部分从位于放置面的相反侧的背面外露。

[0003] 在上述的QFN型半导体装置的制造工序中,首先,通过对金属板进行蚀刻加工,来获得引线框架,该引线框架中,与各半导体元件对应的区域配置成矩阵状。在引线框架中,由连接条划分出与各半导体元件对应的区域。在连接条上联结有配置于各半导体元件周围的多个引脚部。接着,在QFN型半导体装置的制造工序中,进行用包封树脂包封半导体元件的塑封(Molding)。

[0004] 之后,在QFN型半导体装置的制造工序中,进行用切割刀片切割包封树脂及连接条以使各半导体元件分离的切割加工。在进行切割加工时,在从连接条切割出的引脚部的切割面上有可能产生金属毛刺。金属毛刺会成为相互相邻的引脚部彼此之间发生短路的原因,因此不理想。于是采取如下方法:通过在连接条上设置进行半蚀刻加工而成的凹部,来抑制从连接条产生金属毛刺。但是当在连接条设置有进行半蚀刻加工而成的凹部时,会使连接条刚度下降。因此,连接条有可能发生变形。

[0005] 对此,已提出了如下技术:使不进行半蚀刻加工的部分残留在位于连接条的放置面的相反侧的背面。

[0006] 专利文献1:日本特开2015-72946号公报

发明内容

[0007] 另外,在QFN型半导体装置的制造工序中,在进行了塑封后,有时还进行外镀层处理,即,对在引线框架的背面中从包封树脂外露的部分形成焊料镀膜等外镀层。例如,引脚部的外部端子部为从包封树脂外露的部分,通过进行外镀层处理,在引脚部的外部端子部上形成焊料镀膜。

[0008] 如上述技术,在连接条的背面残留有未进行半蚀刻加工的部分时,未进行半蚀刻加工的部分位于与引脚部的外部端子部相同的面上,由此其在引线框架的背面从包封树脂外露。因此,如果进行外镀层处理,则在连接条背面的未进行半蚀刻加工的部分也形成焊料镀膜。因此,在进行切割加工时,切割刀片将焊料镀膜与连接条一同切割。由此,有可能发生焊料镀膜附着在切割刀片的刀刃上的堵塞。

[0009] 本申请所公开的技术是鉴于上述问题而完成的,其目的在于提供一种引线框架及其制造方法,其能够实现在切割加工时可防止切割刀片堵塞的引线框架。

[0010] 本申请所公开的引线框架,作为一实施方式,包括:引脚部,其具有一侧表面及另一侧表面;连接条,其具有一侧表面及另一侧表面,上述引脚部联结于该连接条;以及突起

部,其设置于上述连接条的一侧表面上,其中,上述连接条的一侧表面位于上述引脚部的一侧表面与另一侧表面之间,上述突起部的前端位于上述引脚部的一侧表面与上述连接条的一侧表面之间。

[0011] 根据本申请所公开的引线框架的一实施方式,获得实现能够实现在切割加工时可防止切割刀片堵塞的引线框架的效果。

附图说明

- [0012] 图1为表示实施例1涉及的引线框架的表面的平面图。
- [0013] 图2为表示实施例1涉及的引线框架的背面的平面图。
- [0014] 图3为沿着图1的III-III线的截面图。
- [0015] 图4A为放大表示实施例1涉及的连接条的背面的局部放大平面图。
- [0016] 图4B为实施例1涉及的连接条的长引脚连结部的截面图。
- [0017] 图4C为实施例1涉及的连接条的短引脚连结部的截面图。
- [0018] 图5为表示使用实施例1涉及的引线框架而制成的半导体装置的表面的平面图。
- [0019] 图6为沿着图5的VI-VI线的截面图。
- [0020] 图7A为表示实施例1涉及的引线框架的制造方法的截面图。
- [0021] 图7B为表示实施例1涉及的引线框架的制造方法的截面图。
- [0022] 图7C为表示实施例1涉及的引线框架的制造方法的截面图。
- [0023] 图7D为表示实施例1涉及的引线框架的制造方法的截面图。
- [0024] 图7E为表示实施例1涉及的引线框架的制造方法的截面图。
- [0025] 图7F为表示实施例1涉及的引线框架的制造方法的截面图。
- [0026] 图7G为表示实施例1涉及的引线框架的制造方法的截面图。
- [0027] 图7H为表示实施例1涉及的引线框架的制造方法的截面图。
- [0028] 图8A为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0029] 图8B为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0030] 图8C为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0031] 图8D为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0032] 图8E为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0033] 图8F为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0034] 图8G为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0035] 图8H为表示实施例1涉及的半导体装置的制造方法的截面图。
- [0036] 图9A为放大表示实施例2涉及的连接条的背面的局部放大平面图。
- [0037] 图9B为实施例2涉及的连接条的长引脚连结部的截面图。
- [0038] 图9C为实施例2涉及的连接条的短引脚连结部的截面图。
- [0039] 图10为表示实施例3涉及的引线框架的表面的平面图。
- [0040] 图11为表示实施例3涉及的引线框架的背面的平面图。
- [0041] 图12为放大表示实施例3涉及的连接条的背面的局部放大平面图。
- [0042] 图13为放大表示实施例4涉及的连接条的背面的局部放大平面图。
- [0043] 图14为放大表示实施例5涉及的连接条的背面的局部放大平面图。

[0044] 图15为表示实施例6涉及的引线框架的表面的平面图。

[0045] 图16为沿着图15的XVI-XVI线的截面图。

[0046] 图17为表示使用实施例6涉及的引线框架而制成的半导体装置的结构示例的侧视截面图。

[0047] 符号说明

[0048] 10、10A~10E引线框架;14引线框架单元;15芯片垫;16A长引脚部;16B短引脚部;17连接条;17a表面;17b背面;18A长引脚连结部;18B短引脚连结部;20、20E半导体装置;21半导体元件;22接合线;24包封树脂;26焊料镀膜;53突起部。

具体实施方式

[0049] 以下,参照附图,详细地说明本申请公开的引线框架及引线框架的制造方法的实施例。另外,本发明所公开的技术并不限于该实施例。此外,在实施例中,对具有相同功能的结构要素赋予相同的符号,并省略其重复说明。

[0050] 实施例1

[0051] 引线框架的结构

[0052] 图1为表示实施例1涉及的引线框架10的表面的平面图。图2为表示实施例1涉及的引线框架10的背面的平面图。图3为沿着图1的III-III线的截面图。另外,在以下说明中,“表面”表示位于放置后述的半导体元件21的放置面侧的面,“背面”表示位于放置半导体元件21的放置面的相反侧的面。此外,在图2中,用斜线表示进行了半蚀刻加工的部分。

[0053] 如图1至图3所示,引线框架10为用于制作后述的半导体装置20的框架,其具有在X方向及Y方向上配置成矩阵状的多个引线框架单元14。

[0054] 各引线框架单元14为与各半导体装置20对应的区域。各引线框架单元14具有芯片垫(Die Pad)15、以及配置于芯片垫15周围的多个长引脚部16A及多个短引脚部16B。另外,在图1及图2中,以双点划线围绕的区域分别对应于引线框架单元14。此外,多个长引脚部16A及短引脚部16B为引脚部的一个示例。

[0055] 芯片垫15具有用于放置半导体元件21的放置面,且在俯视观察时大致呈矩形形状。此外,各长引脚部16A及各短引脚部16B为通过后述的接合线(Bonding Wire)22与半导体元件21连接的端子,其配置成与芯片垫15之间隔开空间。

[0056] 此外,如图1及图2所示,各长引脚部16A及各短引脚部16B分别沿着X方向或Y方向延伸。此外,各长引脚部16A的长度长于各短引脚部16B。此外,各长引脚部16A及各短引脚部16B沿着芯片垫15的周围交替地配置。

[0057] 各长引脚部16A及各短引脚部16B分别包括:具有相对较宽宽度且与接合线22连接的内部端子部16a;以及具有相对较窄宽度的连结部16b。内部端子部16a设置于各长引脚部16A及各短引脚部16B的表面。内部端子部16a设置有用于提高其与接合线22的密合性的镀层部25。此外,在各长引脚部16A及各短引脚部16B的背面设置有与未图示的外部电路板连接的外部端子部16c(参见图3)。即,在各长引脚部16A及各短引脚部16B的表面侧,内部端子部16a排列成“之”字状(参见图1),在背面侧外部端子部16c排列成“之”字状(参见图2)。各长引脚部16A及各短引脚部16B的外部端子部16c是在使用包封树脂来包封半导体元件21来进行塑封后,引线框架10的背面中从包封树脂外露的部分。

[0058] 在引线框架单元14的周围,格子状地配置有多个连接条17。在各引线框架单元14中,芯片垫15通过从芯片垫15的角部延伸的4条支撑脚43与连接条17连结。

[0059] 连接条17配置于相邻的引线框架单元14之间,且在与长引脚部16A及短引脚部16B的长度方向正交的方向上延伸,将对应的一对长引脚部16A连结及将对应的一对短引脚部16B连结。例如,在Y方向上延伸的连接条17上连结有在X方向上延伸的多个长引脚部16A及多个短引脚部16B。这里,对应的一对长引脚部16A(短引脚部16B)为通过连接条17在长引脚部16A(短引脚部16B)的长度方向上相邻的一对长引脚部16A(短引脚部16B)。例如,在图3中,对应的一对长引脚部16A为通过连接条17在X方向上相邻的一对长引脚部16A。

[0060] 如图1至图3所示,连接条17具有多个长引脚连结部18A、多个短引脚连结部18B、及多个中间部19。

[0061] 各长引脚连结部18A位于对应的一对长引脚部16A之间,各短引脚连结部18B位于对应的一对短引脚部16B之间。例如,在图3中,各长引脚连结部18A位于在X方向上配置的一对长引脚部16A之间。中间部19位于相互相邻的长引脚连结部18A与短引脚连结部18B之间。即,长引脚连结部18A及中间部19及短引脚连结部18B沿着连接条17的长度方向以长引脚连结部18A、中间部19、短引脚连结部18B、中间部19、长引脚连结部18A…的顺序配置。

[0062] 图4A为放大表示实施例1涉及的连接条17的背面的局部放大平面图。图4B为实施例1涉及的连接条17的长引脚连结部18A的截面图。图4C为实施例1涉及的连接条17的短引脚连结部18B的截面图。图4B相当于沿着图4A的IVB-IVB线的截面图,图4C相当于沿着图4A的IVC-IVC线的截面图。

[0063] 如图4A及图4B所示,连接条17具有位于芯片垫15的放置面侧的表面17a及位于芯片垫15的放置面的相反侧的背面17b。连接条17的背面17b相当于通过对引线框架10的背面进行半蚀刻加工而形成的凹部的底面。

[0064] 如图4A及图4B所示,连接条17的背面17b位于各长引脚部16A及各短引脚部16B的、表面(即,设置有内部端子部16a的面)与背面(即,设置有外部端子部16c的面)之间。

[0065] 连接条17的背面17b设置有突起部53。突起部53从连接条17的背面17b突起至如下位置:未到达与各长引脚部16A及各短引脚部16B的背面(即,设置有外部端子部16c的面)相同的面位置。即,突起部53的前端位于各长引脚部16A及各短引脚部16B的背面(即,设置有外部端子部16c的面)与连接条17的背面17b之间。换言之,突起部53的前端相对于与各长引脚部16A及各短引脚部16B的背面(即,设置有外部端子部16c的面)相同的面,朝连接条17的背面17b侧缩进。

[0066] 此外,如图4A所示,突起部53沿着连接条17的延伸方向呈直线状延伸。即,如图4B及图4C所示,突起部53形成于连接条17的背面17b中与长引脚连结部18A及短引脚连结部18B对应的区域。

[0067] 另外,在QFN型半导体装置20的制造工序中,有可能在进行了塑封后,会对引线框架10的背面中从包封树脂外露的部分进行用于形成焊料镀膜的焊料镀膜处理。例如,各长引脚部16A及各短引脚部16B的外部端子部16c为从包封树脂外露的部分,通过进行外镀层处理,在各长引脚部16A及短引脚部16B的外部端子部16c上形成焊料镀膜。

[0068] 这里,对如专利文献1所记载的技术那样在连接条17的背面17b残留有未进行半蚀刻加工的部分的结构进行考虑。在该结构中,未进行半蚀刻加工的部分位于与各长引脚部

16A及各短引脚部16B的外部端子部16c相同的面上,因此在引线框架10的背面从包封树脂外露。因此,如果进行外镀层处理,则在连接条17的背面17b中未进行半蚀刻加工的部分形成出焊料镀膜。因此,在进行切割加工时,切割刀片将焊料镀膜与连接条17一同切割。由此,有可能发生在切割刀片的刀刃上附着焊料镀膜的堵塞。

[0069] 因此,如图3、图4B及图4C所示,在引线框架10中,在连接条17的背面17b设置突起部53,其前端位于各长引脚部16A及各短引脚部16B的背面与连接条17的背面17b之间。由此,能够实现在切割加工时可防止切割刀片堵塞的引线框架10。

[0070] 即,突起部53的前端相对于与各长引脚部16A及各短引脚部16B的背面(即,设置有外部端子部16c的面)相同的面,朝连接条17的背面17b侧缩进。因此,突起部53在引线框架10的背面不会从包封树脂外露,且在外镀层处理后,在突起部53上不会形成焊料镀膜。由此,能够抑制在切割连接条17的切割加工时焊料镀膜附着在切割刀片的刀刃上。其结果,能够实现在切割加工时可防止切割刀片堵塞的引线框架10。此外,即使在连接条17上形成有进行半蚀刻加工而成的背面17b时,通过突起部53可保持连接条17的厚度。由此,能够维持连接条17的刚度。其结果,能够维持连接条17的刚度,同时能够在切割加工时防止切割刀片堵塞。

[0071] 半导体装置的结构

[0072] 接着,参考图5及图6说明使用实施例1涉及的引线框架10而制成的半导体装置20。图5为表示使用实施例1涉及的引线框架10而制成的半导体装置20的表面的平面图。图6为沿着图5的VI-VI线的截面图。

[0073] 图5及图6所示出的半导体装置20具有芯片垫15、长引脚部16A及短引脚部16B、以及放置在芯片垫15的放置面上的半导体元件21。此外,半导体装置20具有将长引脚部16A及短引脚部16B与半导体元件21的端子部21a电连接的接合线22。此外,芯片垫15、长引脚部16A、短引脚部16B、半导体元件21及接合线22被包封树脂24包封。

[0074] 半导体元件21例如为集成电路、大规模集成电路、晶体管、晶闸管、二极管等。半导体元件21例如通过芯片粘合浆(Die Bonding Paste)等粘合材料固定于芯片垫15的放置面上。另外,粘合材料为芯片粘合浆时,例如能够选择由环氧树脂或硅树脂制成的芯片粘合浆。

[0075] 各接合线22例如由金或铜等具有导电性的材料构成,其一端与半导体元件21的各端子部21a连接,其另一端与各长引脚部16A及各短引脚部16B连接。

[0076] 作为包封树脂24例如能够使用环氧树脂或硅树脂等。各长引脚部16A及短引脚部16B的外部端子部16c从包封树脂24外露于半导体装置20的背面。各长引脚部16A及各短引脚部16B的外部端子部16c由作为半导体装置20的外层的焊料镀膜26覆盖。此外,芯片垫15的与放置面相反侧的背面也从包封树脂24外露,且由焊料镀膜26覆盖。

[0077] 引线框架的制造方法

[0078] 接着,参考图7A至图7H,说明图1至图3、图4A及图4B所示出的引线框架10的制造方法。图7A至图7H为表示实施例1涉及的引线框架10的制造方法的截面图。图7A至图7H所示出的截面图是与图3对应的图。

[0079] 首先,如图7A所示,准备平板状的金属板31。作为金属板31的材料能够使用由铜等制成的金属。

[0080] 接着,如图7B所示,分别在金属板31的整个表面及整个背面涂敷光刻胶32a、33a,并进行干燥。

[0081] 接着,如图7C所示,使用具有预定的图案的光掩模34、35,对光刻胶32a、33a进行曝光。

[0082] 接着,如图7D所示,通过对曝光后的光刻胶32a、33a进行显影,来形成具有预定的开口部的光刻胶层32、33。具体地,在金属板31的表面侧,在进行贯通蚀刻加工的部分形成开口部32b。另一方面,在金属板31的背面侧,在进行贯通蚀刻加工的部分及进行半蚀刻加工的部分形成开口部33b。此外,在金属板31的背面侧,以在对应于连接条17的突起部53的位置残留用于抑制被蚀刻液侵蚀的部分光刻胶33c的方式形成开口部33b。

[0083] 接着,如图7E所示,将光刻胶层32、33作为掩模(耐腐蚀掩模)对金属板31用蚀刻液进行蚀刻。根据使用的金属板31的材质可以选择合适的蚀刻液。例如,在使用铜作为金属板31时,能够使用氯化铁水溶液。金属板31的蚀刻例如是将蚀刻液用喷射器向金属板31的表面及背面喷射而进行的。由此,在金属板31上形成多个引线框架单元14,该多个引线框架单元14分别包括:具有用于放置半导体元件21的放置面的芯片垫15;以及配置于芯片垫15周围的多个长引脚部16A及多个短引脚部16B。此外,在形成多个引线框架单元14时,在彼此相邻的引线框架14之间形成具有长引脚连结部18A、短引脚连结部18B、及中间部19的连接条17。此外,在形成多个引线框架单元14时,以使连接条17的背面17b位于各长引脚部16A及各短引脚部16B的表面与背面之间的方式形成。进一步地,在形成多个引线框架单元14时,蚀刻液从部分光刻胶33c两侧的开口部33b绕入而侵蚀金属板31。由此,在连接条17的背面17b形成出其前端位于各长引脚部16A及各短引脚部16B的表面与连接条17的背面17b之间的突起部53。

[0084] 接着,如图7F所示,将光刻胶层32、33剥离而去除。

[0085] 接着,如图7G所示,对长引脚部16A及短引脚部16B的内部端子部16a分别进行镀层处理(例如电镀处理),来形成镀层部25。镀层部25只要能够确保与接合线22的密合性即可,可以采用任意种类,例如可以是Ag或Au等单层镀层,也可以是将Ni/Pd或Ni/Pd/Au依次层叠的多层镀层。此外,镀层部25可以仅形成在内部端子部16中与接合线22连接的连结部,也可以形成在引线框架10的整个表面上。通过如上的方式,能够制造本实施例的引线框架10。

[0086] 接着,如图7H所示,将引线框架10放置于背胶带(Back Tape)37而固定。

[0087] 半导体装置的制造方法

[0088] 接着,参考图8A至图8H,说明图5及图6所示出的半导体装置20的制造方法。图8A至图8H为表示实施例1涉及的半导体装置20的制造方法的截面图。图8A至图8H所示出的截面图是与图6对应的图。

[0089] 首先,如图8A所示,制作具备芯片垫15、以及配置于芯片垫15周围的多个长引脚部16A及多个短引脚部16B的引线框架10。引线框架10通过图7A至图7H所示出的工序制作而成。

[0090] 接着,如图8B所示,在引线框架10的芯片垫15上放置半导体元件21。这时,例如使用芯片粘合浆等粘合材料将半导体元件21放置于芯片垫15的放置面上而固定。将图8B所示出的工序可称为“芯片粘接(Die Attach)”。

[0091] 接着,如图8C所示,通过接合线22将半导体元件21的端子部21a与引线框架10的各

长引脚部16A及各短引脚部16B分别进行电连接。接合线22为连接部的一个示例。将图8C所示出的工序可称为“焊线(Wire Bonding)”。

[0092] 接着,如图8D所示,用包封树脂24对芯片垫15、长引脚部16A、短引脚部16B、半导体元件21、及接合线22进行包封。由此,在连接条17的背面17b填充有包封树脂24,突起部53被包封树脂24覆盖。将图8D所示出的工序可称为“塑封”。

[0093] 接着,如图8E所示,从引线框架10的背面剥离背胶带37。

[0094] 接着,如图8F所示,对在引线框架10的背面中从包封树脂24外露的部分形成焊料镀膜26。焊料镀膜26例如通过电镀处理形成。例如,各长引脚部16A及各短引脚部16B的外部端子部16c在引线框架10的背面从包封树脂24外露。因此,对各长引脚部16A及各短引脚部16B的外部端子部16c形成焊料镀膜26。作为焊料镀膜26例如可以例举镀铅膜、镀铅-铋膜、镀铅-银膜等。另外,芯片垫15的与放置面相反侧的背面也从包封树脂24外露。因此,对芯片垫15的与放置面相反侧的背面形成焊料镀膜26。相对于此,突起部53在引线框架10的背面未从包封树脂24外露。因此,不会对突起部53形成焊料镀膜26。将图8F所示出的工序可称为“外镀层处理”。

[0095] 接着,如图8G所示,将相邻的引线框架单元14之间的连接条17及包封树脂24用切割刀片38进行切割,以使引线框架10分割成各引线框架单元14。将图8G所示出的工序可称为“切割加工”。

[0096] 具体地,通过使例如金刚石砂轮等切割刀片38沿着连接条17的延伸方向移动,来切割相邻的引线框架单元14之间的连接条17及包封树脂24。在本实施例中,在形成于连接条17的背面17b的突起部53上未形成焊料镀膜26。因此,用切割刀片38切割连接条17时,未形成焊料镀膜26的突起部53被切割刀片38切割,进而能够抑制焊料镀膜26附着于切割刀片38的刀刃上。由此,能够防止切割刀片38堵塞。

[0097] 如图8H所示,以上述方式制造出本实施例的半导体装置20。

[0098] 如上所述,实施例1涉及的引线框架10具有多个长引脚部16A及多个短引脚部16B、连接条17、及突起部53。多个长引脚部16A及多个短引脚部16B具有表面(即,设置有内部端子部16a的面)及背面(即,设置有外部端子部16c的面)。连接条17具有表面17a及背面17b,并与长引脚部16A及短引脚部16B连结。突起部53设置于连接条17的背面17b。连接条17的背面17b位于各长引脚部16A及各短引脚部16B的表面(即,设置有内部端子部16a的面)与背面(即,设置由外部端子部16c的面)之间。突起部53的前端位于各长引脚部16A及各短引脚部16B的背面(即,设置由外部端子部16c的面)与连接条17的背面17b之间。

[0099] 根据该引线框架10的结构,能够使突起部53的前端相对于与各长引脚部16A及各短引脚部16B的背面(即,设置有外部端子部16c的面)相同的面,朝连接条17的背面17b缩进。因此,突起部53在引线框架10的背面不会从包封树脂24外露,在外镀层处理后,突起部53上不会形成焊料镀膜26。由此,在切割连接条17的切割加工时,能够抑制焊料镀膜26附着于切割刀片38的刀刃上。其结果,能够实现在切割加工时可防止切割刀片38堵塞的引线框架10。此外,即使在连接条17上形成有进行半蚀刻加工而成的背面17b时,通过突起部53保持连接条17的厚度。由此,能够维持连接条17的刚度。其结果,能够维持连接条17的刚度,同时能够在切割加工时防止切割刀片38堵塞。

[0100] 此外,在引线框架10中,突起部53沿着连接条17的延伸方向呈直线状延伸。

[0101] 根据该引线框架10的结构,在连接条17的延伸方向上的整个区域,能够提高连接条17的刚度。

[0102] 此外,在引线框架10中,连接条17具有位于对应的一对长引脚部16A之间的多个长引脚连结部18A及位于对应的一对短引脚部16B之间的多个短引脚连结部18B。突起部53形成于连接条17的背面17b中与长引脚连结部18A及短引脚连结部18B对应的区域。

[0103] 根据该引线框架10的结构,能够提高连接条17中发生应力集中的部分、即长引脚连结部18A及短引脚连结部18B的刚度。

[0104] 实施例2

[0105] 接着,说明实施例2。实施例2涉及的引线框架10A除长引脚连结部18A及短引脚连结部18B上的突起部53的配置外,具有与上述实施例1涉及的引线框架10相同的结构。因此,在实施例2中,对与上述实施例1共同的构成要素使用相同的符号,并省略其详细说明。

[0106] 图9A为放大表示实施例2涉及的连接条17的背面的局部放大平面图。图9B为实施例2涉及的连接条17的长引脚连结部18A的截面图。图9C为实施例2涉及的连接条17的短引脚连结部18B的截面图。图9B相当于沿着图9A的IXB-IXB线的截面图,图9C相当于沿着图9A的IXC-IXC线的截面图。

[0107] 如图9A所示,突起部53沿着连接条17的延伸方向配置成岛状。即,如图9B所示,突起部53形成于连接条17的背面17b中与长引脚连结部18A对应的区域。另一方面,如图9C所示,突起部53未形成于连接条17的背面17b中与短引脚连结部18B对应的区域。

[0108] 根据实施例2涉及的引线框架10A,能够提高连接条17中发生最大的应力集中的部分即长引脚连结部18A的刚度。

[0109] 实施例3

[0110] 接着,说明实施例3。实施例3涉及的引线框架10B除省略了多个长引脚部16A外,具有与上述实施例1涉及的引线框架10相同的结构。因此,在实施例3中,对与上述实施例1共同的构成要素使用相同的符号,并省略其详细说明。

[0111] 图10为表示实施例3涉及的引线框架10B的表面的平面图。图11为表示实施例3涉及的引线框架10B的背面的平面图。图12为放大表示实施例3涉及的连接条17的背面的局部放大平面图。

[0112] 在图10及图11所示出的引线框架10B中,各引线框架单元14具有芯片垫15、及配置于芯片垫15周围的短引脚部16B。即,引线框架10B与实施例1的引线框架10的不同之处在于省略了多个长引脚部16A(参见图1及图2)。多个短引脚部16B为引脚部的一个示例。另外,在引线框架10B中,各中间部19位于相互相邻的短引脚连结部18B之间。

[0113] 在引线框架10B中,在连接条17的背面17b设置有其前端位于各短引脚部16B的背面与连接条17的背面17b之间的突起部53。由此,能够维持连接条17的刚度,同时能够在切割加工时防止切割刀片38的堵塞。

[0114] 此外,如图12所示,突起部53沿着连接条17的延伸方向呈直线状延伸。在连接条17的延伸方向上的整个区域,能够提高连接条17的刚度。

[0115] 实施例4

[0116] 接着,说明实施例4。实施例4涉及的引线框架10C除突起部53的配置外,具有与上述实施例3涉及的引线框架10B相同的结构。因此,在实施例4中,对与上述实施例3共同的构

成要素使用相同的符号,并省略其详细说明。

[0117] 图13为放大表示实施例4涉及的连接条17的背面的局部放大平面图。

[0118] 如图13所示,在引线框架10C中,突起部53沿着连接条17的延伸方向配置成岛状。即,突起部53形成于连接条17的背面17b中与短引脚连结部18B对应的区域。另一方面,突起部53未形成于连接条17的背面17b中与中间部19对应的区域。

[0119] 根据实施例4涉及的引线框架10C,能够提高连接条17中发生应力集中的部分即短引脚连结部18B的刚度。

[0120] 实施例5

[0121] 接着,说明实施例5。实施例5涉及的引线框架10D除突起部53的配置外,具有与上述实施例3涉及的引线框架10B相同的结构。因此,在实施例5中,对与上述实施例3共同的构成要素使用相同的符号,并省略其详细说明。

[0122] 图14为放大表示实施例5涉及的连接条17的背面的局部放大平面图。

[0123] 如图14所示,在引线框架10D中,突起部53沿着连接条17的延伸方向配置成岛状。即,突起部53形成于连接条17的背面17b中与中间部19对应的区域。另一方面,突起部53未形成于连接条17的背面17b中与短引脚连结部18B对应的区域。

[0124] 根据实施例5涉及的引线框架10D,即使在连接条17的宽度较窄而在背面17b中与短引脚连结部18B对应的区域无法设置突起部53的情况下,也能够提高连接条17的刚度。

[0125] 实施例6

[0126] 引线框架的结构

[0127] 图15为表示实施例6涉及的引线框架10E的表面的平面图。图16为沿着图15的XVI-XVI线的截面图。实施例6涉及的引线框架10E除省略了芯片垫15及支撑脚43外,具有与上述实施例1涉及的引线框架10相同的结构。因此,在实施例6中,对与上述实施例1共同的构成要素使用相同的符号,并省略其详细说明。

[0128] 在图15及图16所示出的引线框架10E中,各引线框架单元14具有多个长引脚部16A及多个短引脚部16B。即,引线框架10E与实施例1的引线框架10的不同之处在于省略了芯片垫15及支撑脚43。

[0129] 半导体装置的结构

[0130] 接着,参照图17说明使用实施例6涉及的引线框架10E而制成的半导体装置20E。图17为表示使用实施例6涉及的引线框架10E而制成的半导体装置20E的结构示例的侧视截面图。

[0131] 图17所示出的半导体装置20E具有长引脚部16A及短引脚部16B、以及放置于长引脚部16A及短引脚部16B上的半导体元件21。此外,半导体装置20E具有将长引脚部16A及短引脚部16B与半导体元件21电连接的凸块27。此外,长引脚部16A、短引脚部16B、半导体元件21、及凸块27被包封树脂24包封。

[0132] 半导体元件21例如为集成电路、大规模集成电路、晶体管、晶闸管、二极管等。半导体元件21通过凸块27固定在长引脚部16A及短引脚部16B上。

[0133] 凸块27例如为焊料等,其上表面与半导体元件21的各端子部连接,且其下表面与各长引脚部16A及各短引脚部16B连接。

[0134] 作为包封树脂24例如能够使用环氧树脂或硅树脂等。各长引脚部16A及短引脚部

16B的外部端子部16c在半导体装置20E的背面从包封树脂24外露。各长引脚部16A及各短引脚部16B的外部端子部16c由作为半导体装置20E的外围层的焊料镀膜26覆盖。

[0135] 在引线框架10E中,在连接条17的背面17b设置有其前端位于各长引脚部16A及各短引脚部16B的背面与连接条17的背面17b之间的突起部53。由此,能够维持连接条17的刚度,同时能够在切割加工时防止切割刀片38的堵塞。

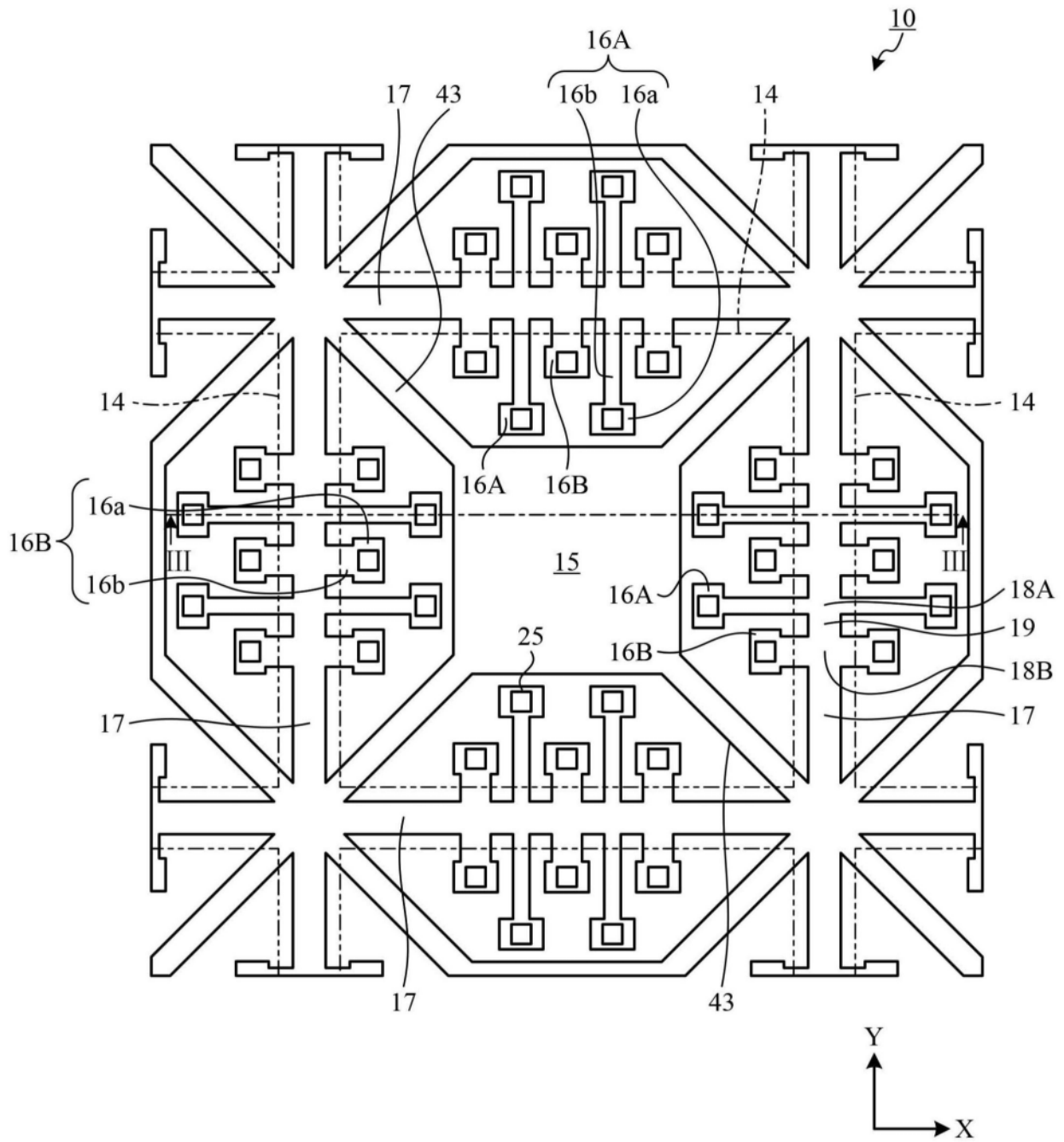


图1

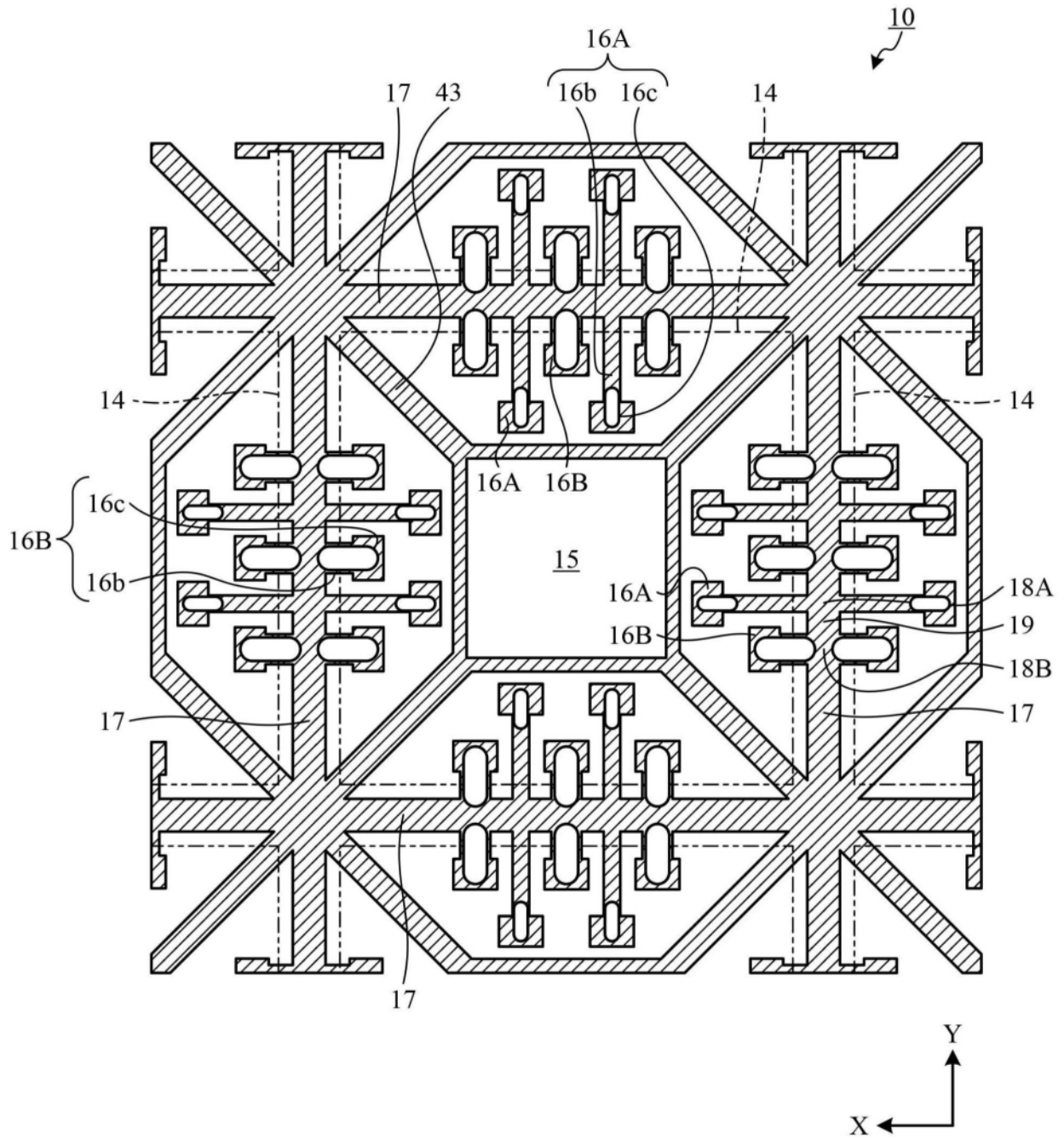


图2

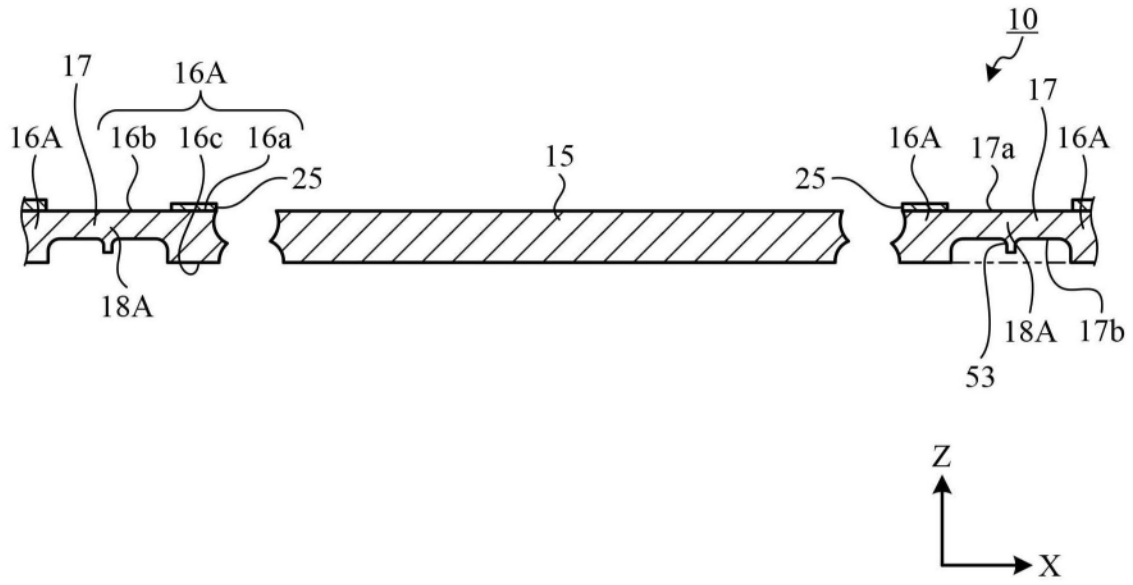


图3

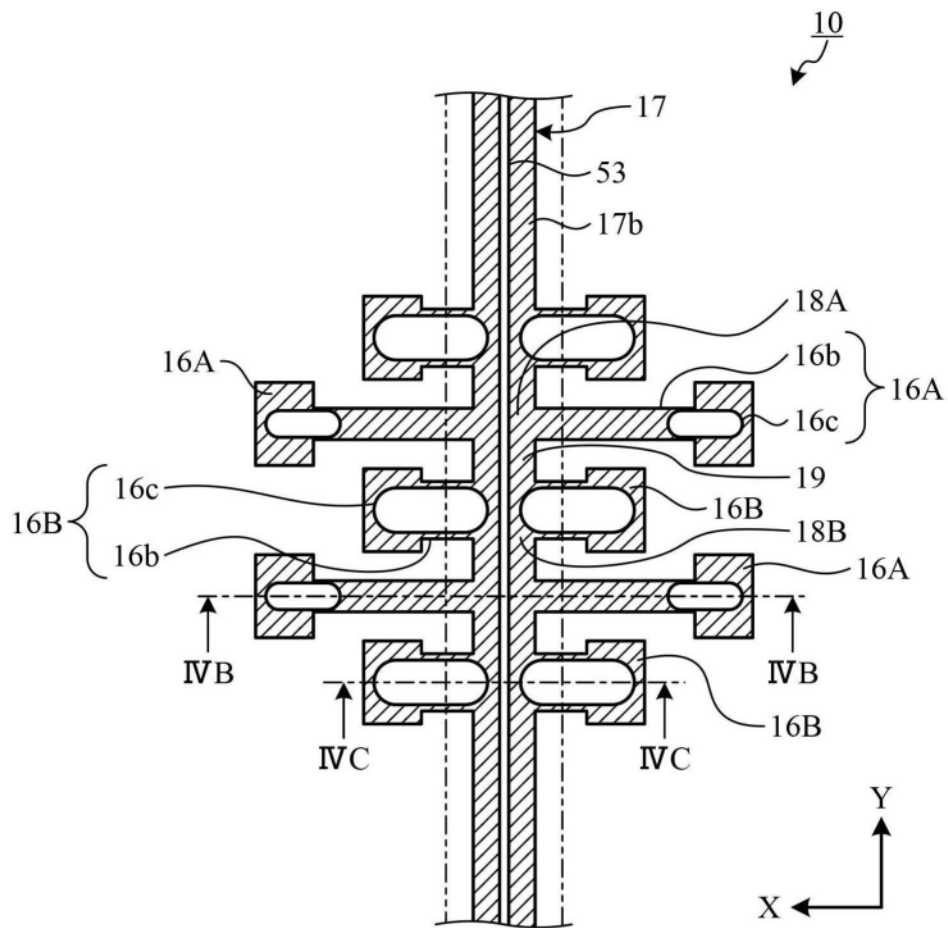


图4A

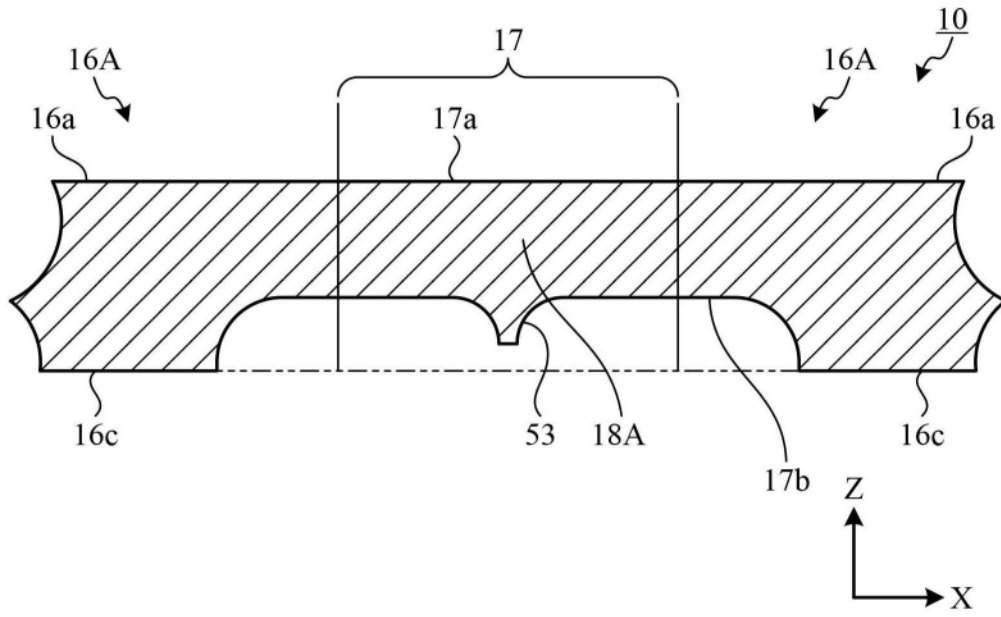


图4B

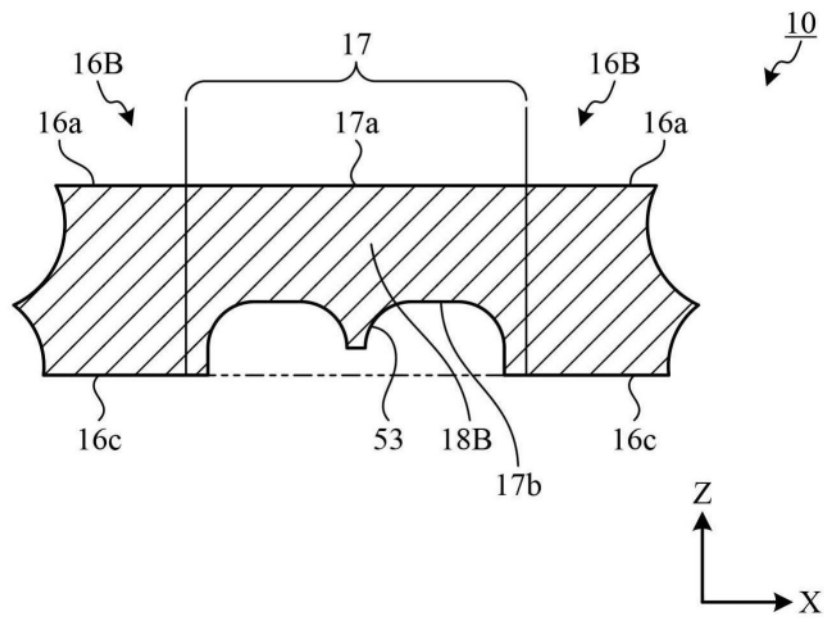


图4C

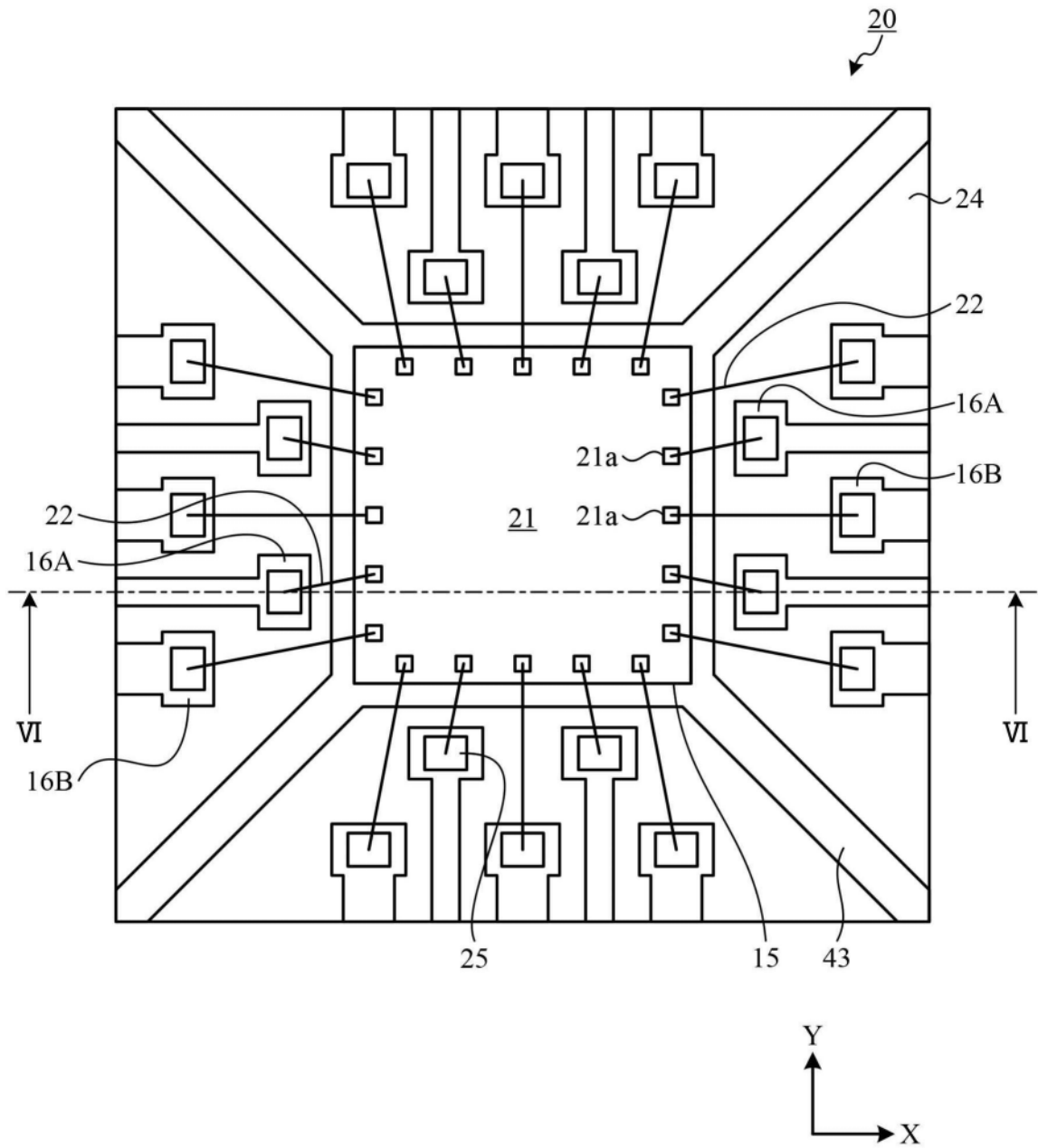


图5

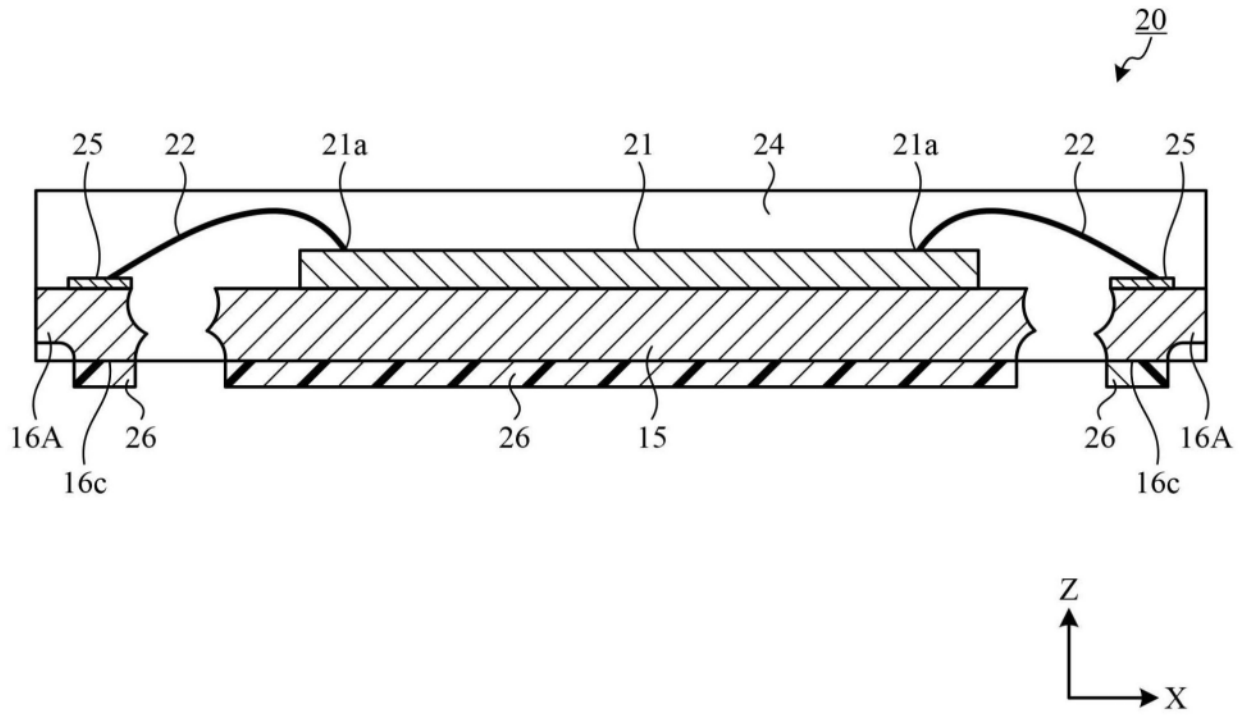


图6

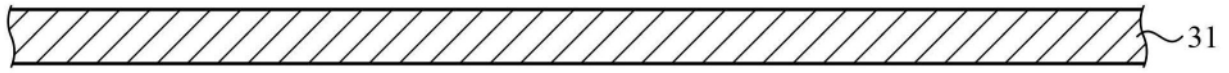


图7A

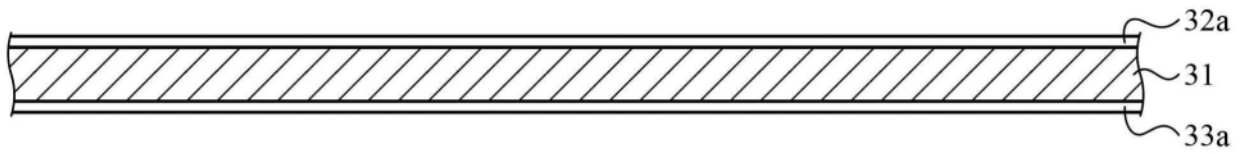


图7B

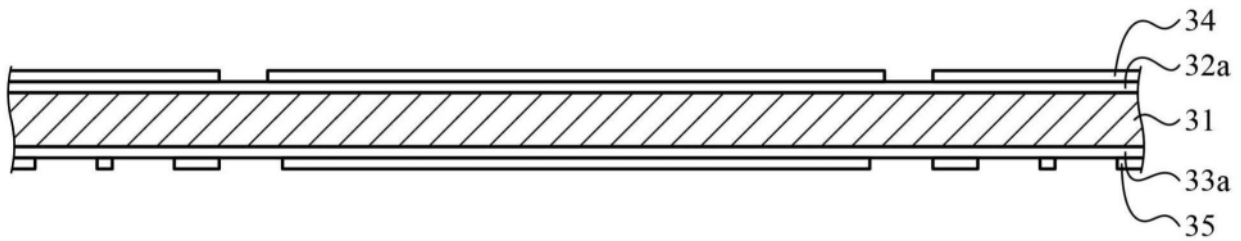


图7C

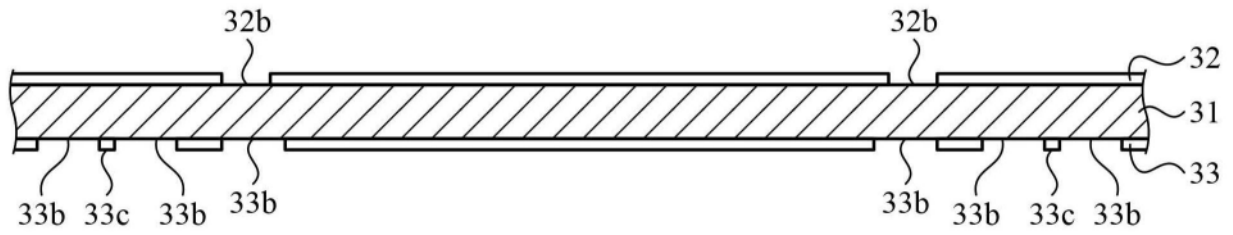


图7D

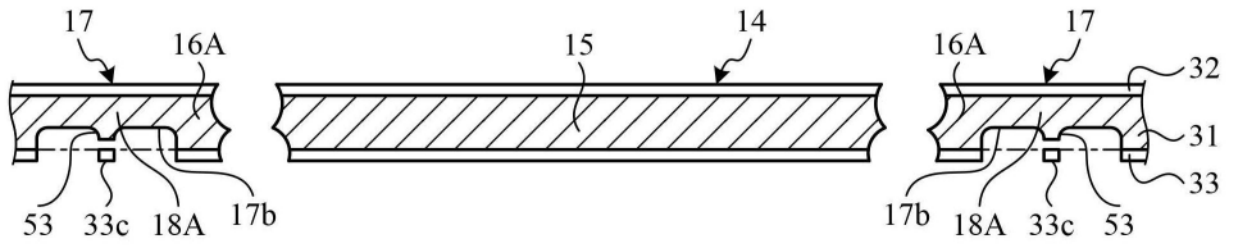


图7E

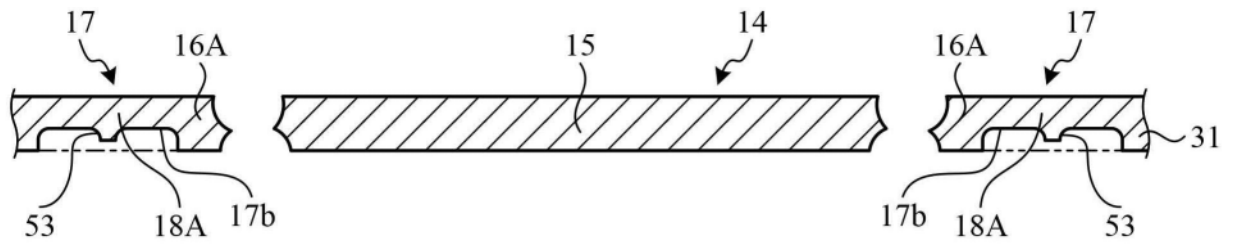


图7F

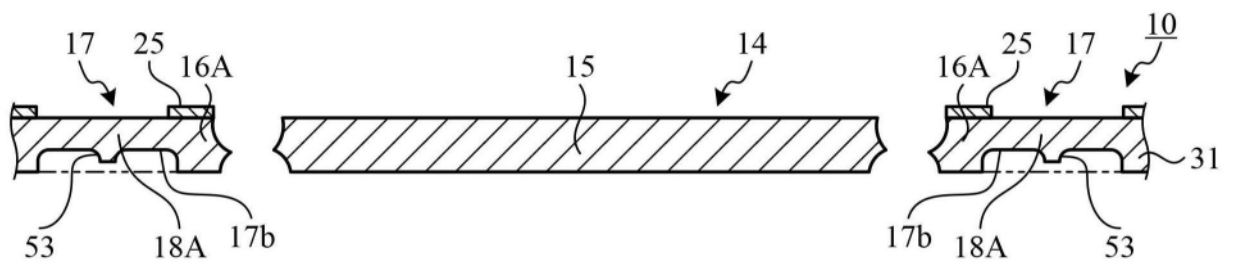


图7G

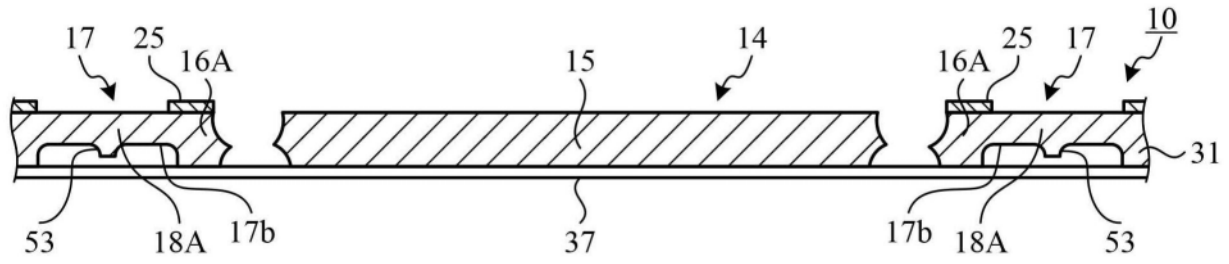


图7H

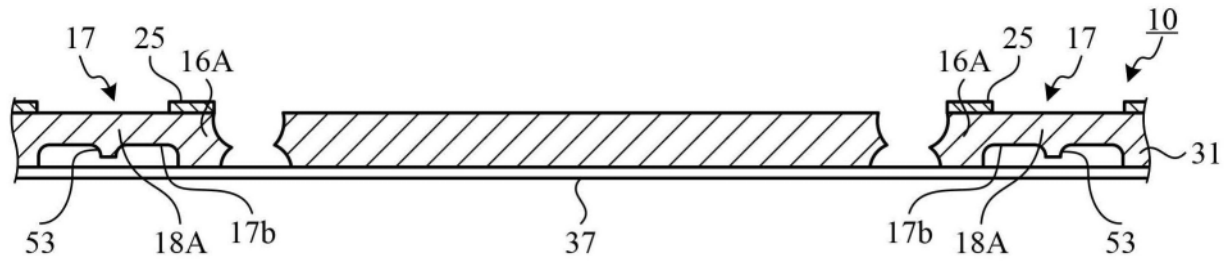


图8A

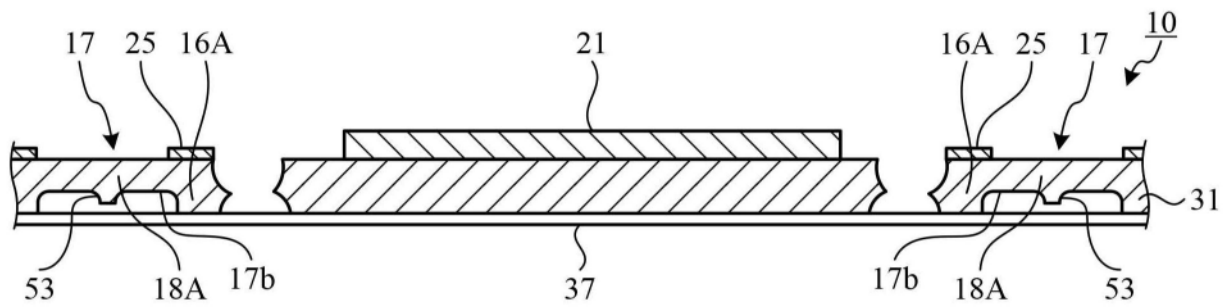


图8B

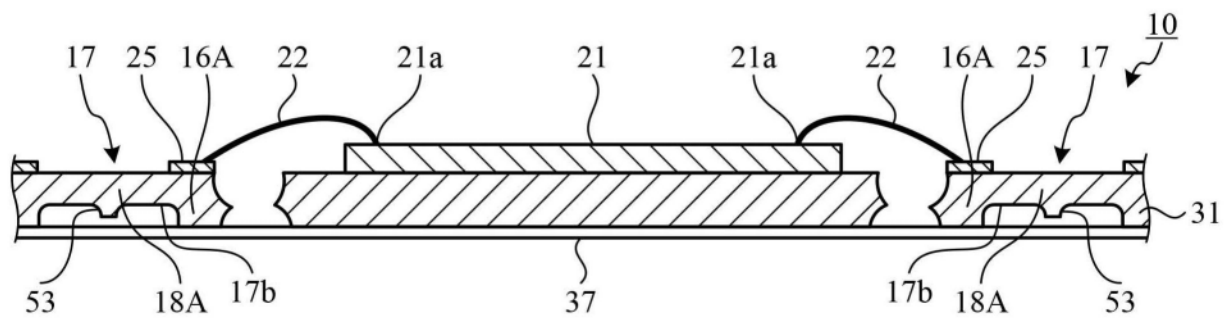


图8C

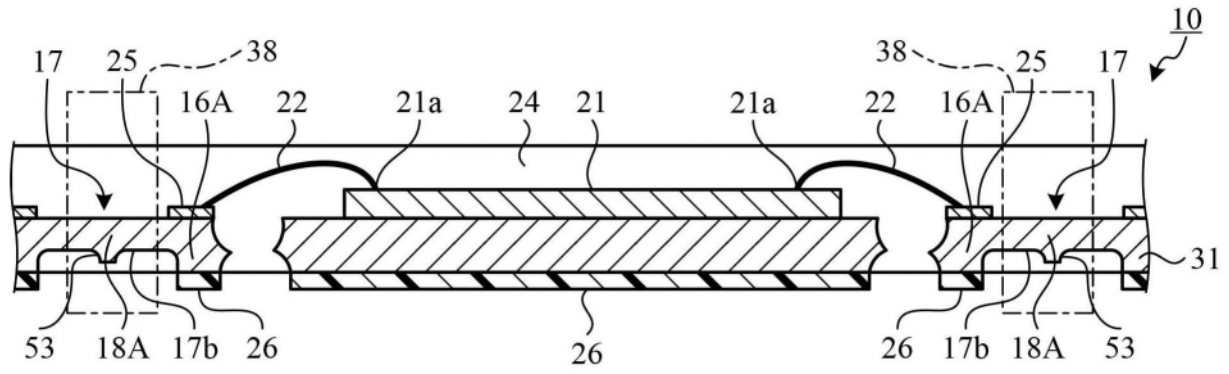


图8G

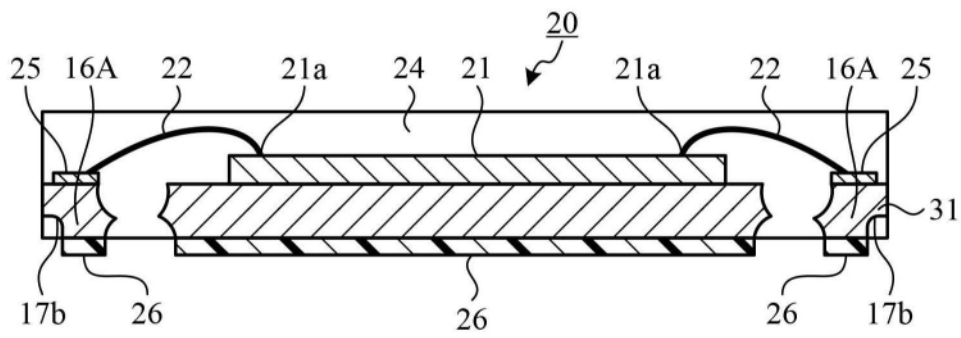


图8H

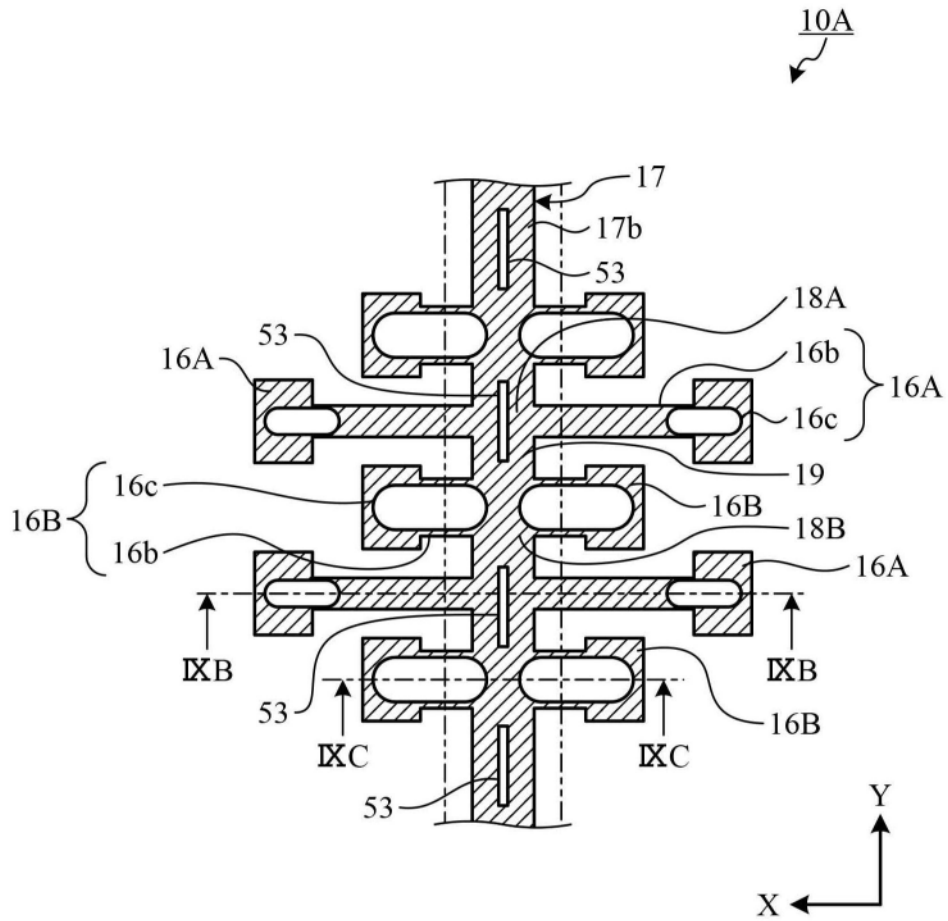


图9A

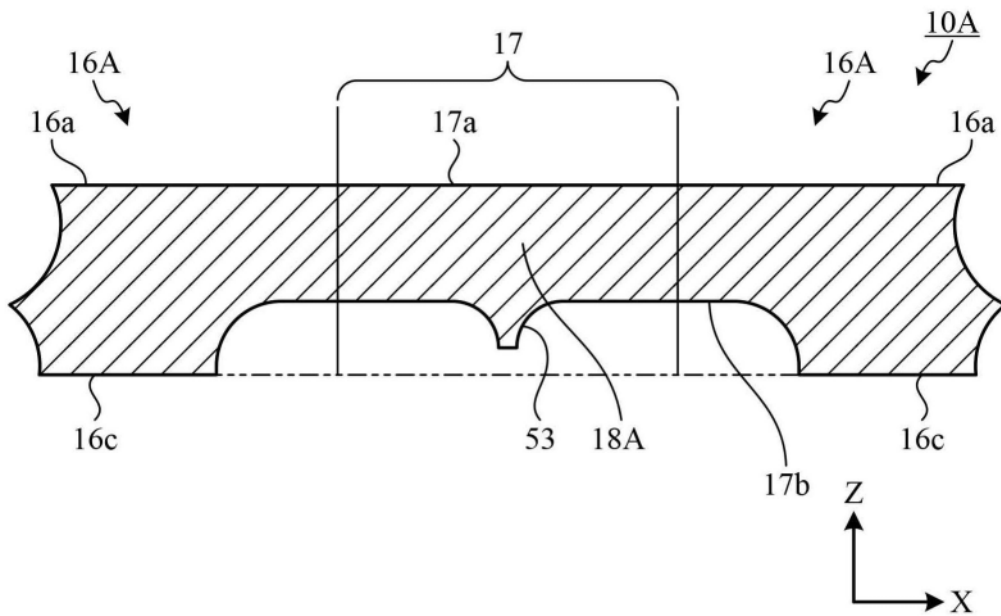


图9B

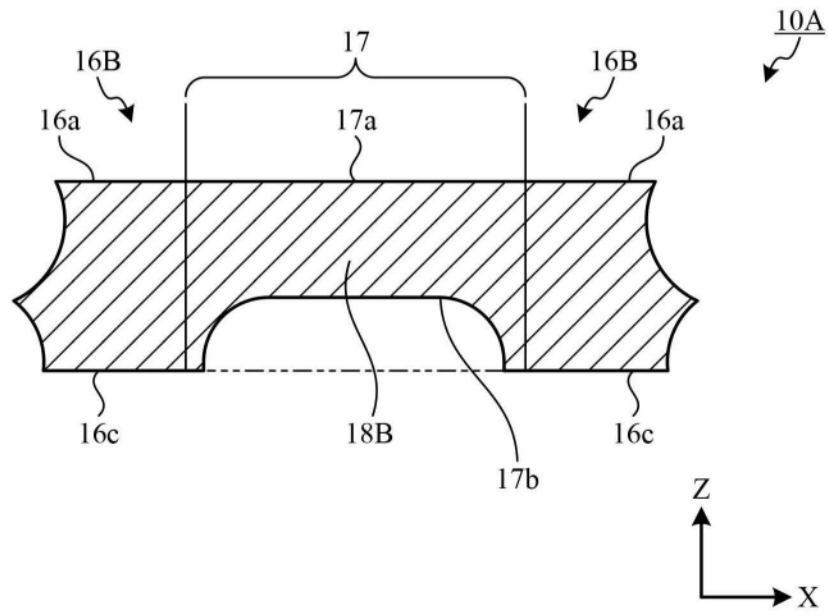


图9C

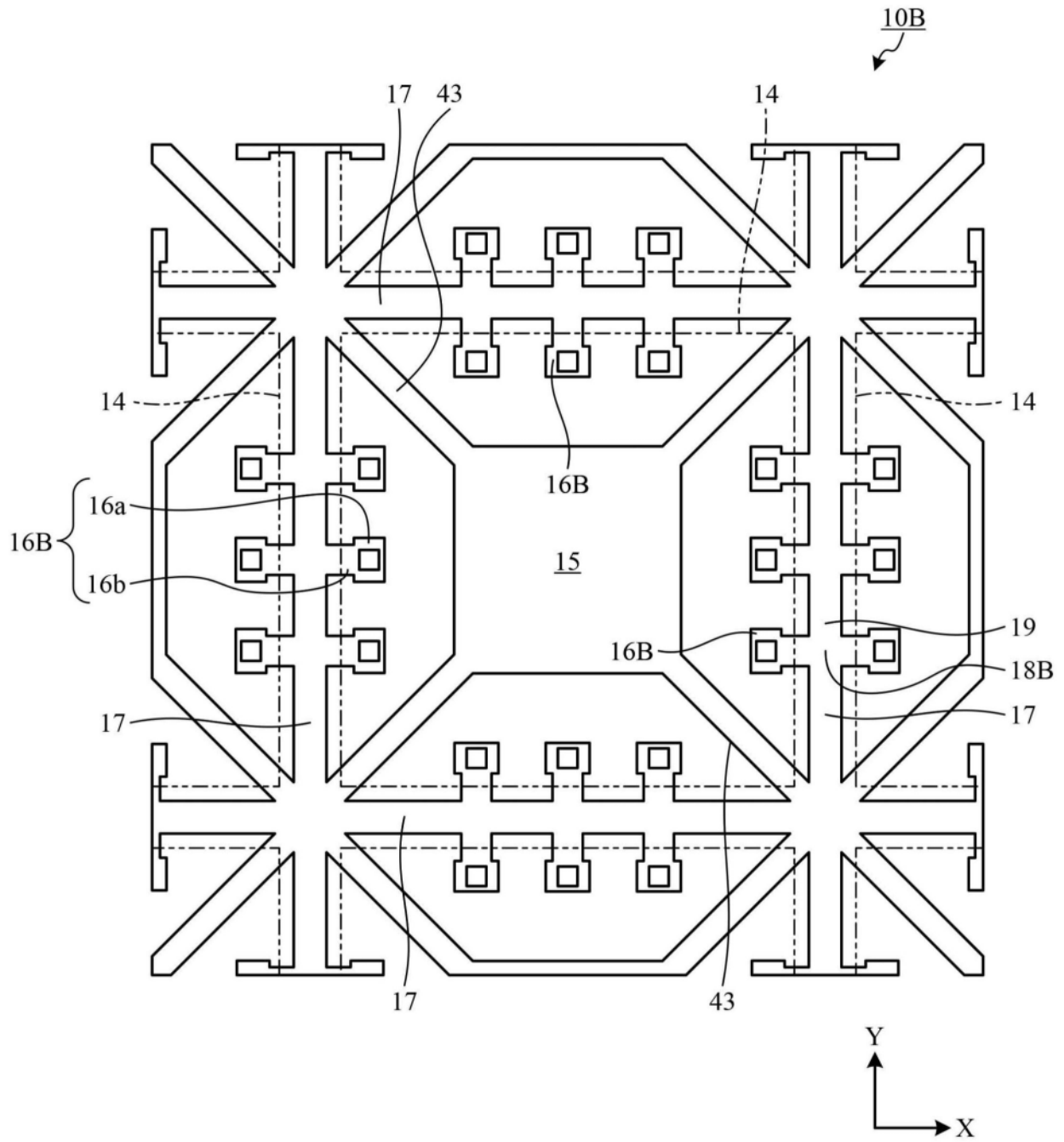


图10

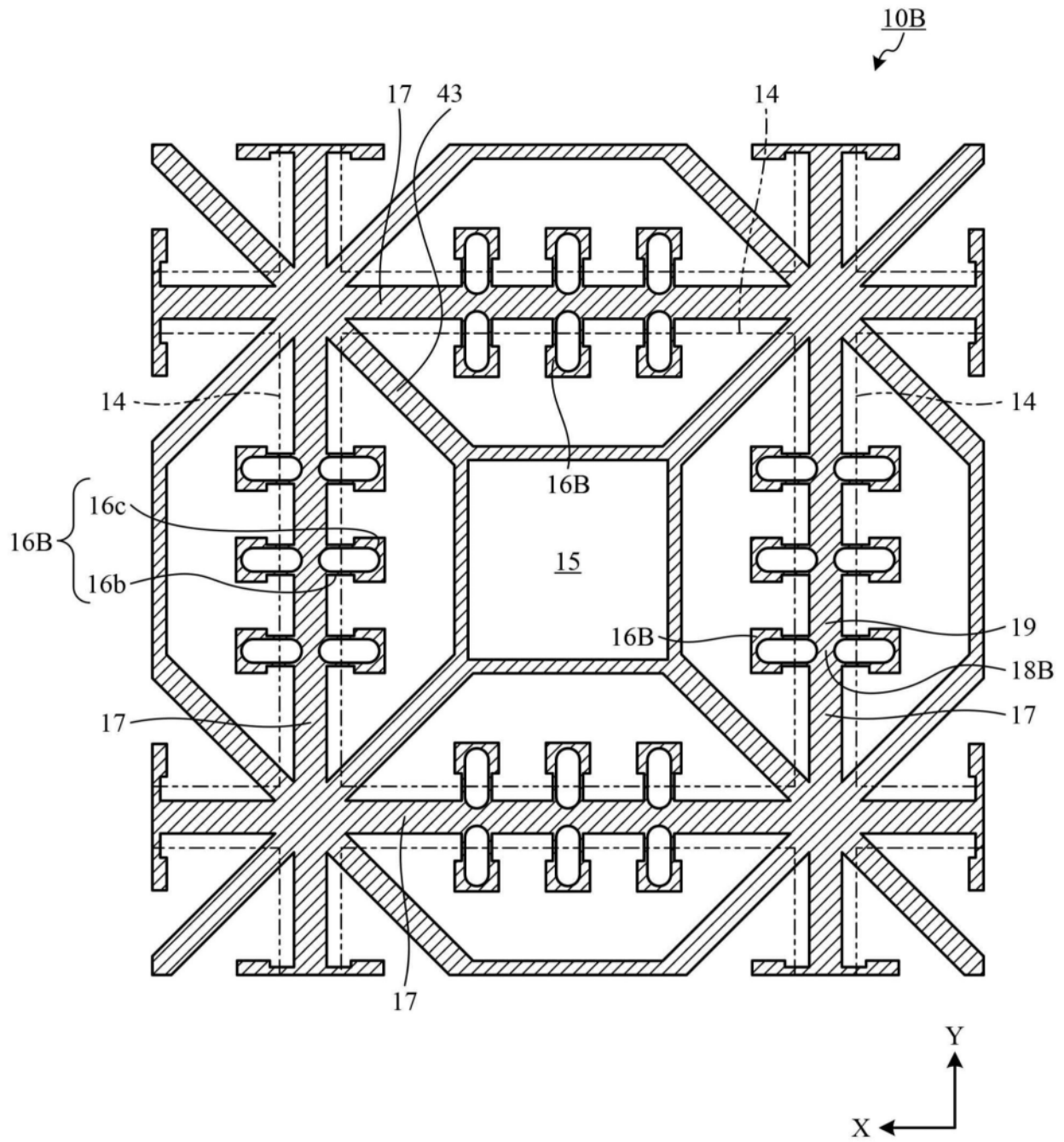


图11

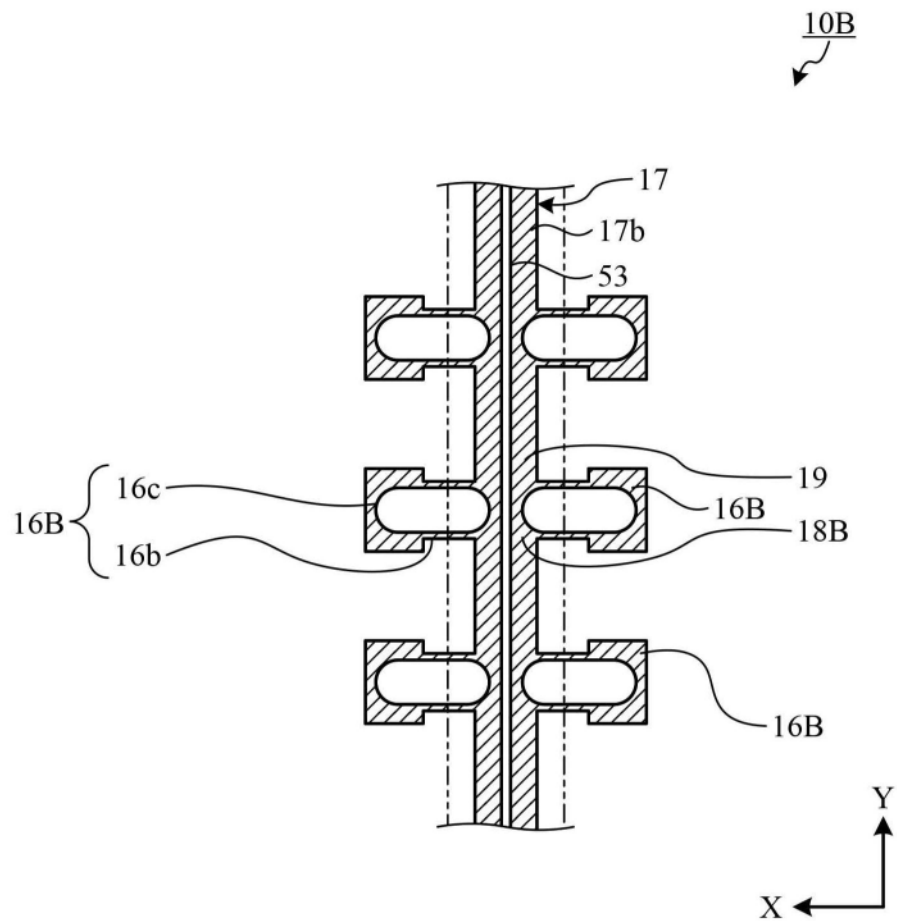


图12

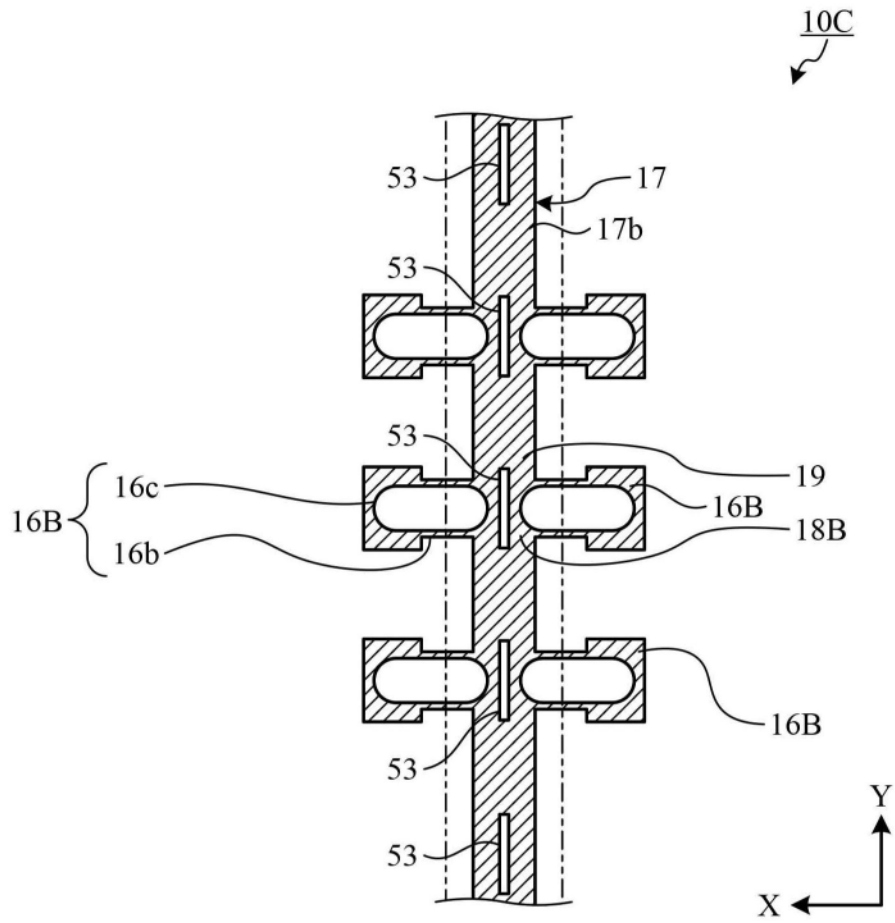


图13

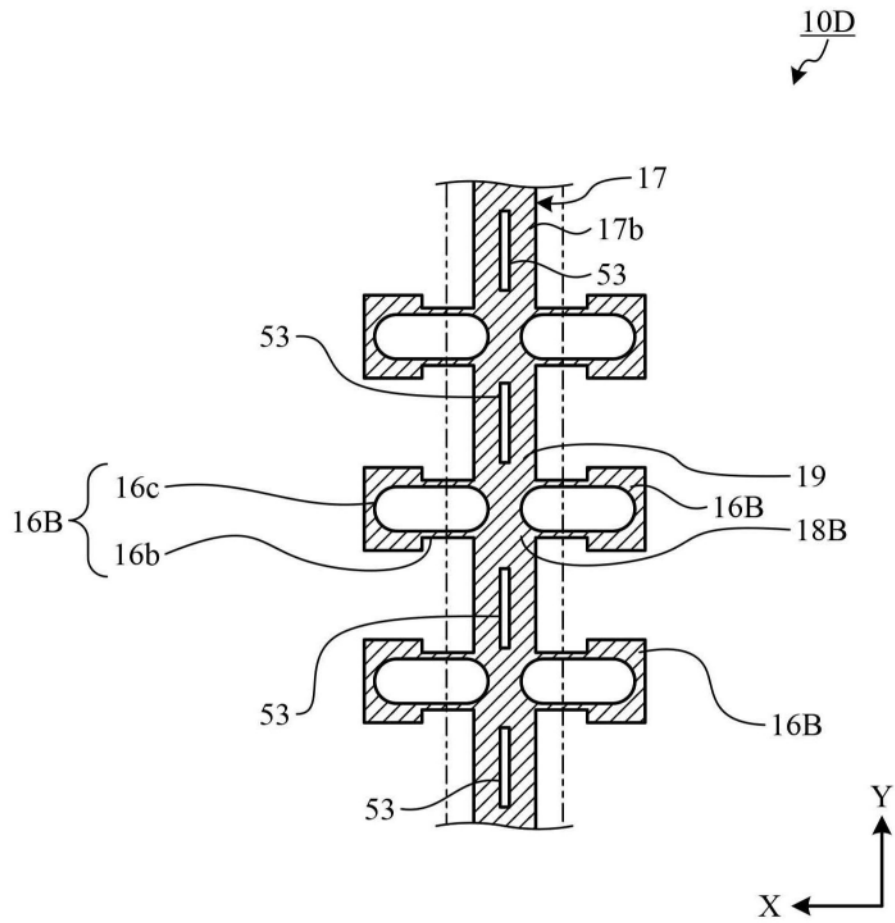


图14

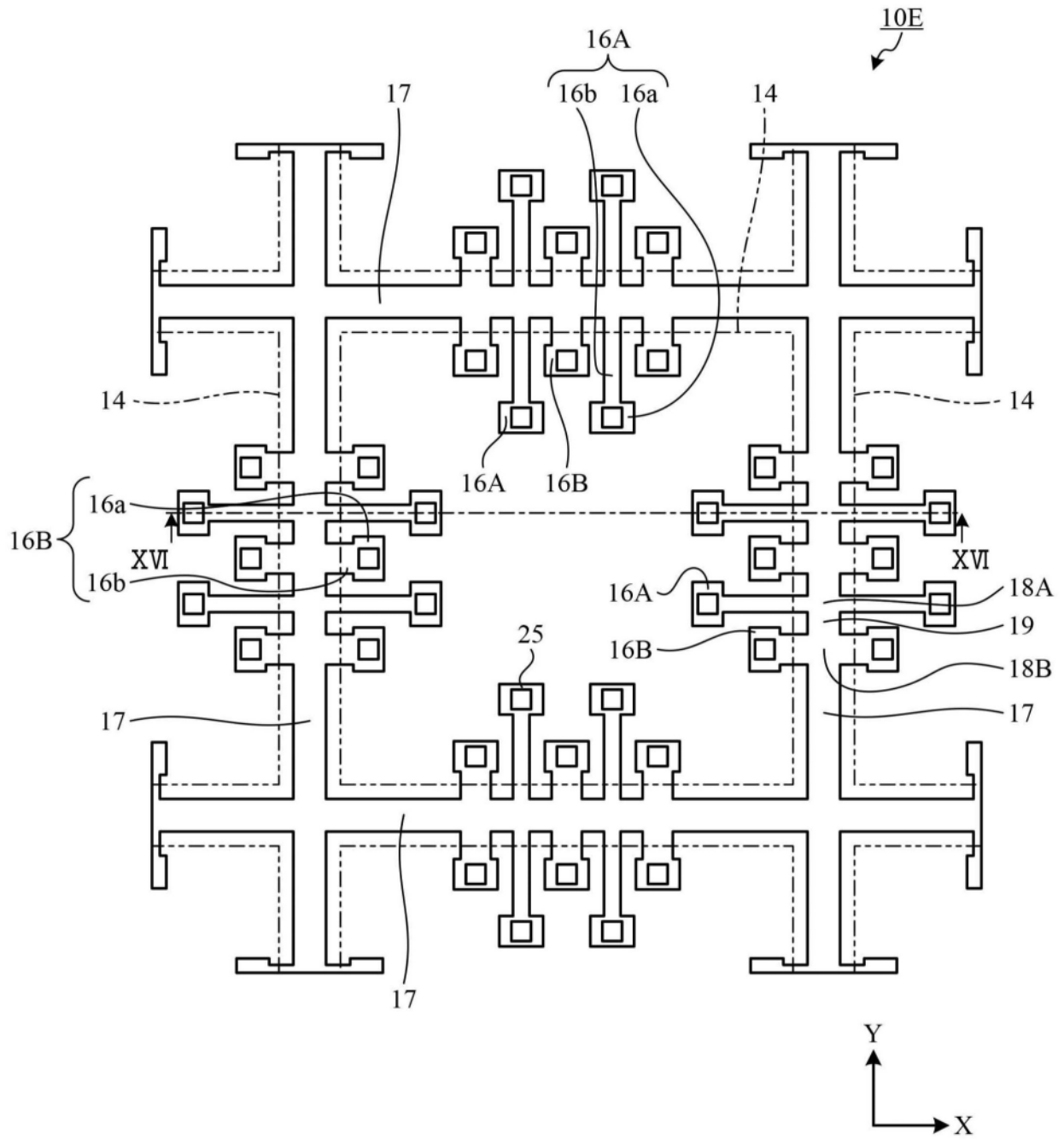


图15

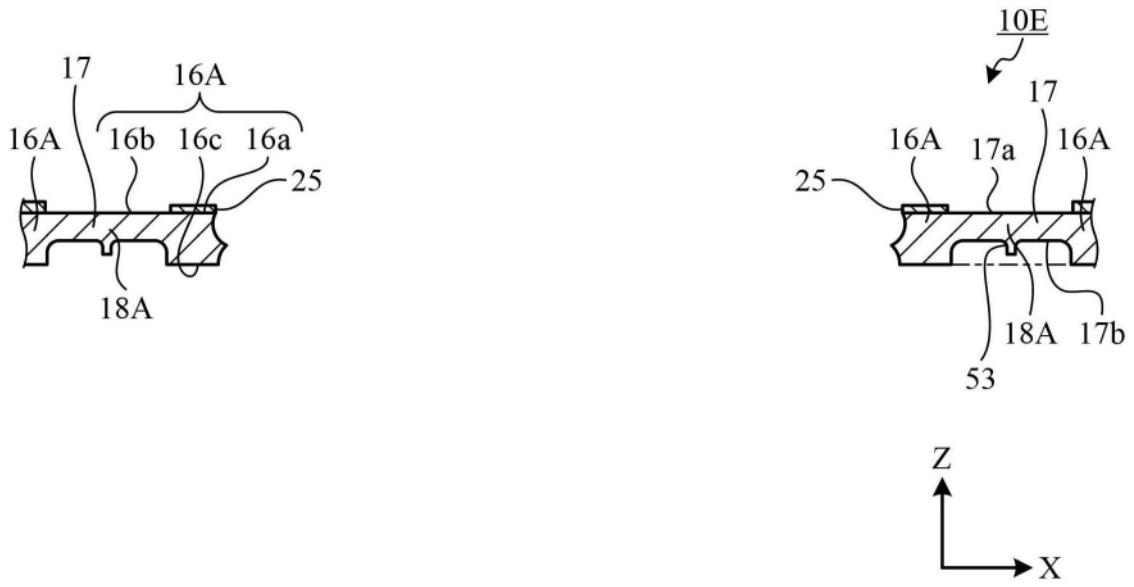


图16

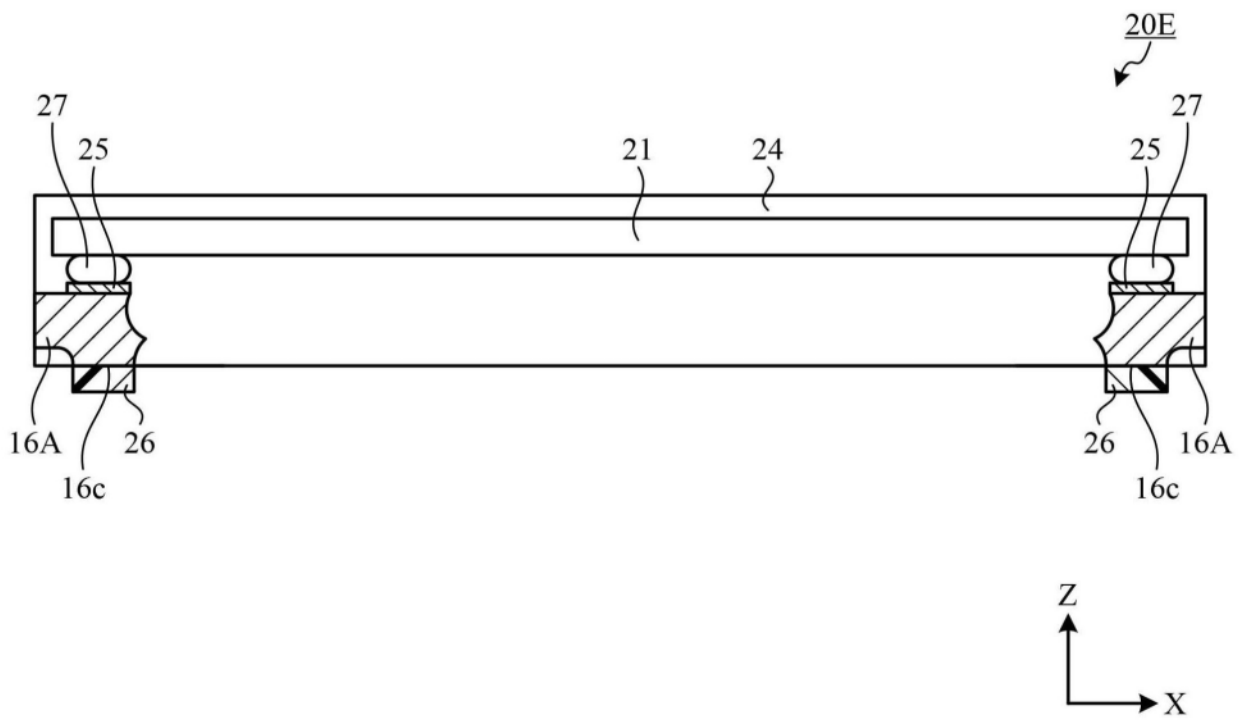


图17