

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258497

(P2007-258497A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	5 F O 8 3
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 O 1
H O 1 L 29/792 (2006.01)		
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2006-81844 (P2006-81844)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成18年3月24日(2006.3.24)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	石井 泰之 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	鳥羽 功一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	川嶋 祥之 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

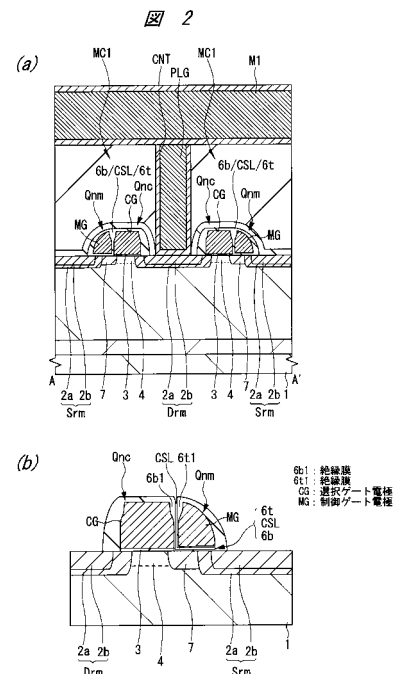
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 スプリットゲート構造のMONOS型不揮発性メモリセルを有する半導体装置において、選択ゲート電極と制御ゲート電極との短絡不良を低減することのできる技術を提供する。

【解決手段】 第1領域上にゲート絶縁膜3を介して選択用nMIS (Qnc) の多結晶シリコンからなる選択ゲート電極CGを形成し、第1領域に隣接する第2領域上に絶縁膜6b、6tおよび電荷蓄積層CSLを介してメモリ用nMIS (Qnm) の多結晶シリコンからなる制御ゲート電極MGを形成した後、酸化処理を施すことにより、選択ゲート電極CGの上部と電荷蓄積層CSLとの間の絶縁膜6bをバズピーク形状(絶縁膜6b1)とし、制御ゲート電極MGの上部と電荷蓄積層CSLとの間の絶縁膜6tをバズピーク形状(絶縁膜6t1)とするものである。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板の主面の第 1 領域に第 1 電界効果トランジスタを含み、第 2 領域に前記第 1 電界効果トランジスタに隣接する第 2 電界効果トランジスタを含む不揮発性メモリセルを有する半導体装置の製造方法であって、以下の工程を有することを特徴とする半導体装置の製造方法；

- (a) 前記第 1 領域上に第 1 絶縁膜を形成する工程、
- (b) 前記第 1 領域上に前記第 1 絶縁膜を介して第 1 多結晶シリコンからなる前記第 1 電界効果トランジスタの第 1 ゲート電極を形成する工程、
- (c) 前記 (b) 工程の後、前記半導体基板上に第 2 絶縁膜、電荷蓄積層および第 3 絶縁膜を順次堆積する工程、
- (d) 前記第 3 絶縁膜上に第 2 多結晶シリコンを堆積する工程、
- (e) 前記第 2 領域上に前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜を介して前記第 2 多結晶シリコンからなる前記第 2 電界効果トランジスタの第 2 ゲート電極を形成する工程、
- (f) 前記 (e) 工程の後、前記第 2 領域上の前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜を残して、その他の領域上の前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜を除去する工程、
- (g) 前記第 1 ゲート電極と前記半導体基板との間の露出する前記第 1 絶縁膜の側面、ならびに前記第 2 ゲート電極と前記半導体基板との間の露出する前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜の側面を第 4 絶縁膜で覆う工程、
- (h) 前記第 1 ゲート電極の上部と前記電荷蓄積層との間の前記第 2 絶縁膜および前記第 2 ゲート電極の上部と前記電荷蓄積層との間の前記第 3 絶縁膜を酸化処理によりバースビーク形状とする工程。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、前記 (h) 工程の前にさらに以下の工程を含むことを特徴とする半導体装置の製造方法；

- (i) 前記第 1 ゲート電極の上部と前記電荷蓄積層との間の前記第 2 絶縁膜および前記第 2 ゲート電極の上部と前記電荷蓄積層との間の前記第 3 絶縁膜を所定量エッチングする工程。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、前記 (h) 工程の後の前記第 1 ゲート電極の上部と前記第 2 ゲート電極の上部との間の距離が、前記第 2 ゲート電極と前記半導体基板との間の距離よりも長いことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、前記電荷蓄積層は窒化シリコンを含むことを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板の主面の第 1 領域に第 1 電界効果トランジスタを含み、第 2 領域に前記第 1 電界効果トランジスタに隣接する第 2 電界効果トランジスタを含む不揮発性メモリセルを有する半導体装置であって、

前記第 1 領域上に形成された第 1 絶縁膜と、前記第 1 領域上に前記第 1 絶縁膜を介して形成された前記第 1 電界効果トランジスタの第 1 ゲート電極と、前記第 2 領域上に下層から順次形成された第 2 絶縁膜、電荷蓄積層および第 3 絶縁膜と、前記第 2 領域上に前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜を介して形成された前記第 2 電界効果トランジスタの第 2 ゲート電極とを有し、

前記第 1 ゲート電極と前記第 2 ゲート電極との間に前記第 2 絶縁膜、前記電荷蓄積層および前記第 3 絶縁膜が形成されており、前記第 1 ゲート電極の上部と前記電荷蓄積層との間の前記第 2 絶縁膜および前記第 2 ゲート電極の上部と前記電荷蓄積層との間の前記第 3 絶縁膜がバースビーク形状であることを特徴とする半導体装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術および半導体装置に関し、特に、窒化膜を電荷蓄積層とするMONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

電氣的に書き換え可能な不揮発性メモリとしては、多結晶シリコンをフローティング電極としたEEPROM (Electrically Erasable Programmable Read Only Memory) が主に使用されている。しかし、この構造のEEPROMでは、フローティングゲート電極を取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上すると、この問題がより顕著になると考えられる。

【0003】

そこで、近年は、窒化膜を電荷蓄積層とするMONOS型メモリセルが注目されている。この場合、データ記憶に寄与する電荷は、絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り巻く酸化膜のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることが可能である。

【0004】

MONOS型メモリセルとしては、単一トランジスタ構造のメモリセルが提案されている。さらにこの構造のメモリセルの場合、EEPROMのメモリセルと比べてディスタープの影響を受け易いので、選択ゲート電極を設けた2トランジスタ構成のスプリットゲート構造のメモリセルも提案されている。

【0005】

例えば基板の主表面に半導体のチャネル領域を挟んで形成された一对の不純物領域と、チャネル領域の表面に第1ゲート絶縁膜を介して形成された選択ゲート電極と、選択ゲート電極の各不純物領域側の側面の少なくとも一方に、ゲート分離絶縁膜を介して側壁状に形成された制御ゲート電極と、制御ゲート電極と基板との間に形成された第2ゲート絶縁膜とを具備し、各ゲート電極がシリコンであり、その表面の一部がシリサイドとする不揮発性半導体メモリが開示されている (例えば特許文献1参照)。

【特許文献1】特開2002-231829号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

選択ゲート電極と制御ゲート電極とを設けたスプリットゲート構造のMONOS型メモリセルでは、選択ゲート電極と制御ゲート電極とは薄いゲート分離絶縁膜を介して絶縁されている。このため、選択ゲート電極と制御ゲート電極とが短絡しやすく、これが原因となって製造歩留まりの低下が生じていた。ゲート分離絶縁膜を厚くすることにより選択ゲート電極と制御ゲート電極とは短絡しにくくなる。しかし、ゲート分離絶縁膜が厚くなると集積度が低下する、さらに制御ゲート電極と半導体基板との間にはゲート分離絶縁膜と同一の絶縁膜が形成されているため、制御ゲート電極と半導体基板との間の絶縁膜も厚くなりメモリ特性が劣化するなどの新たな課題が生ずる。

【0007】

本発明の目的は、スプリットゲート構造のMONOS型不揮発性メモリセルを有する半導体装置において、選択ゲート電極と制御ゲート電極との短絡不良を低減することのできる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面か

10

20

30

40

50

ら明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

本発明は、互いに隣接するように配置された第1および第2電界効果トランジスタを含む不揮発性メモリセルを半導体基板の主面に形成する半導体装置の製造方法であって、第1領域上に第1絶縁膜を介して第1電界効果トランジスタの多結晶シリコンからなる第1ゲート電極を形成し、第2領域上に第2絶縁膜、電荷蓄積層および第3絶縁膜からなる積層膜を介して第2電界効果トランジスタの多結晶シリコンからなる第2ゲート電極を形成した後、第1ゲート電極の上部と電荷蓄積層との間の第2絶縁膜および第2ゲート電極の上部と電荷蓄積層との間の前記第3絶縁膜を酸化処理によりバースピーク形状とするものである。

【0011】

本発明は、互いに隣接するように配置された第1および第2電界効果トランジスタを含む不揮発性メモリセルを半導体基板の主面に有する半導体装置であって、第1領域上に第1絶縁膜を介して形成された第1電界効果トランジスタの多結晶シリコンからなる第1ゲート電極と、第2領域上に第2絶縁膜、電荷蓄積層および第3絶縁膜からなる積層膜を介して形成された第2電界効果トランジスタの多結晶シリコンからなる第2ゲート電極とを有し、第1ゲート電極と第2ゲート電極との間に第2絶縁膜、電荷蓄積層および第3絶縁膜が形成され、第1ゲート電極の上部と電荷蓄積層との間の第2絶縁膜および第2ゲート電極の上部と電荷蓄積層との間の第3絶縁膜をバースピーク形状とし、第2ゲート電極と半導体基板との間の第2絶縁膜および第3絶縁膜の厚さを一定とするものである。

【発明の効果】

【0012】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0013】

選択ゲート電極の上部と制御ゲート電極の上部との間にバースピーク形状の絶縁膜を形成して、選択ゲート電極の上部と制御ゲート電極との距離を制御ゲート電極と半導体基板との距離よりも長くすることにより選択ゲート電極と制御ゲート電極との短絡が抑制でき、両者間の短絡不良を低減することができる。

【発明を実施するための最良の形態】

【0014】

本実施の形態においては、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、本実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また本実施の形態においては、電界効果トランジスタを代表するMISFET（Metal Insulator Semiconductor Field Effect Transistor）をMISと略し、nチャネル型のMISFETをnMISと略す。なおMOSFET（Metal Oxide Semiconductor FET）は、そのゲート絶縁膜が酸化シリコン（ SiO_2 等）膜からなる構造の電界効果トランジスタであり、上記MISの下位概念に含まれるものとする。また本実施の形態で記載す

るMONOS型メモリセルについても、上記MISの下位概念に含まれることは勿論である。

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0017】

(実施の形態1)

本発明の実施の形態1であるメモリセルの構造の一例を図1および図2によって説明する。図1はメモリセルの要部平面図、図2(a)はチャンネルを制御ゲート電極に対して交差する方向(図1のA-A'線)に沿って切断したメモリセルの要部断面図、図2(b)は同図(a)のメモリセルの一部を拡大して示す要部断面図である。ここでは、スプリットゲート構造のサイドウォール方式制御ゲート電極乗り上げ型のメモリセルMC1を例示している。

【0018】

半導体基板1は、例えばp型の単結晶シリコンからなり、その主面(デバイス形成面)の活性領域ACTにはメモリセルMC1の選択用nMIS(Qnc)と、メモリ用nMIS(Qnm)とが配置されている。このメモリセルMC1のドレイン領域Drainおよびソース領域Sourceは、例えばn⁻型の半導体領域2aと、その半導体領域2aよりも不純物濃度の高いn⁺型の半導体領域2bとを有している(LDD(Lightly Doped Drain)構造)。n⁻型の半導体領域2aは、メモリセルMC1のチャンネル領域側に配置され、n⁺型の半導体領域2bは、メモリセルMC1のチャンネル領域側からn⁻型の半導体領域2a分だけ離れた位置に配置されている。

【0019】

このドレイン領域Drainとソース領域Sourceとの間の半導体基板1の主面上には、上記選択用nMIS(Qnc)の選択ゲート電極CGと、上記メモリ用nMIS(Qnm)の制御ゲート電極MGとが隣接して延在しており、その延在方向において複数のメモリセルMC1は半導体基板1に形成された素子分離部SGIを介して隣接している。選択ゲート電極CGおよび制御ゲート電極MGは、例えばn型の低抵抗多結晶シリコンからなり、選択ゲート電極CGのゲート長は、例えば0.1~0.3μm程度、制御ゲート電極MGのゲート長は、例えば0.02~0.15μm程度である。

【0020】

選択ゲート電極CGと半導体基板1の主面との間には、例えば厚さ1~5nm程度の薄い酸化シリコンからなるゲート絶縁膜3が設けられている。従って素子分離部SGI上およびゲート絶縁膜3を介した半導体基板1上に選択ゲート電極CGが配置されている。このゲート絶縁膜3の下方の半導体基板1の主面には、例えばボロンが導入されてp型の半導体領域4が形成されている。この半導体領域4は、選択用nMIS(Qnc)のチャンネル形成用の半導体領域であり、この半導体領域4により選択用nMIS(Qnc)のしきい値電圧が所定の値に設定されている。

【0021】

制御ゲート電極MGは選択ゲート電極CGの側壁に設けられており、絶縁膜6b、電荷蓄積層CSLおよび絶縁膜6tからなる積層膜(以下、絶縁膜6b, 6tおよび電荷蓄積層CSLと記す)または絶縁膜6b1、電荷蓄積層CSLおよび絶縁膜6t1からなる積層膜(以下、絶縁膜6b1, 6t1および電荷蓄積層CSLと記す)により選択ゲート電極CGと制御ゲート電極MGとの絶縁がなされている。また絶縁膜6b, 6tおよび電荷蓄積層CSLを介した半導体基板1上に制御ゲート電極MGが配置されている。なお、図2(a)では絶縁膜6b, 6tおよび電荷蓄積層CSLまたは絶縁膜6b1, 6t1および電荷蓄積層CSLの表記を6b/CSL/6tとして表現している。さらに、選択ゲート電極CGの上部には絶縁膜6bよりも厚いバースピーク形状(半導体基板1に近づくに従い細くなるくさび形状)の絶縁膜6b1が選択ゲート電極CGと電荷蓄積層CSLとの間

に形成されている。同様に、制御ゲート電極MGの上部には絶縁膜6tよりも厚いバースピーク形状の絶縁膜6t1が制御ゲート電極MGと電荷蓄積層CSLとの間に形成されている。一方、制御ゲート電極MGと半導体基板1との間に形成された絶縁膜6b, 6tは上記絶縁膜6b1, 6t1のようなバースピーク形状とはなっておらず、一定の厚さを有している。

【0022】

このように、選択ゲート電極CGの上部および制御ゲート電極MGの上部において、選択ゲート電極CGと制御ゲート電極MGとの間にバースピーク形状の絶縁膜6b1, 6t1を形成することにより、選択ゲート電極CGの上部と制御ゲート電極MGの上部との距離を、制御ゲート電極MGと半導体基板1との距離（絶縁膜6b, 6tおよび電荷蓄積層CSLの成膜時の厚さ）よりも離すことができる。従って、制御ゲート電極MGと半導体基板1との間に絶縁膜6b, 6tを形成することにより、所望するメモリ用nMIS (Qnm)のメモリ特性を得ることができ、選択ゲート電極CGの上部と制御ゲート電極MGの上部との間に相対的に厚いバースピーク形状の絶縁膜6b1, 6t1を形成することにより、選択ゲート電極CGの上部と制御ゲート電極MGの上部との短絡を抑制することができる。

10

【0023】

電荷蓄積層CSLは、その上下の絶縁膜6b, 6t（または絶縁膜6b1, 6t1）に挟まれた状態で設けられており、例えば窒化シリコンからなり、その厚さは、例えば5～20nmである。絶縁膜6b, 6tは、例えば酸化シリコン等からなる。絶縁膜6bの厚さは、例えば1～10nm程度、絶縁膜6tの厚さは、例えば5～15nm程度である。絶縁膜6b, 6tを窒素を含んだ酸化シリコンで形成してもよい。

20

【0024】

上記絶縁膜6bの下方、p型の半導体領域4とソース領域Srmとの間の半導体基板1の主面には、例えばヒ素またはリンが導入されてn型の半導体領域7が形成されている。この半導体領域7は、メモリ用nMISQnmのチャネル形成用の半導体領域であり、この半導体領域7によりメモリ用nMISQnmのしきい値電圧が所定の値に設定されている。ドレイン領域Drnには、コンタクトホールCNTに埋め込まれたプラグPLGを介して制御ゲート電極MG（または選択ゲート電極CG）に対して交差する方向に延在する第1層配線M1が接続されている。

30

【0025】

次に、半導体の製造方法の一例を図3～図14を用いて説明する。図3～図14は半導体装置の製造工程中にけるメモリ領域の要部断面図である。ここでは、メモリセルMC1への適用例を説明し、図3～図14は前記図2(b)に示したメモリセルMC1の要部断面図と同じ箇所を示す。

【0026】

まず、半導体基板（この段階では半導体ウェハと称する平面略円形状の半導体の薄板）1の主面に、例えば溝型の素子分離部SGIおよびこれに取り囲まれるように配置された活性領域ACT等を形成する。すなわち半導体基板1の所定箇所に分離溝を形成した後、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜を堆積し、さらにその絶縁膜が分離溝内のみに残されるように絶縁膜をCMP (Chemical Mechanical Polishing) 法等によって研磨することで、素子分離部SGIを形成する。

40

【0027】

次に、図3に示すように、半導体基板1の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込みnウェルNWおよびpウェルPWを形成する。続いて半導体基板1の主面に、例えばフッ化ボロンをイオン注入法により導入する。これにより半導体基板1の主面に、選択用nMIS (Qnc)のチャネル形成用のp型の半導体領域4を形成する。この時の不純物イオンの打ち込みエネルギーは、例えば60KeV程度、ドーズ量は、例えば $9 \times 10^{12} \text{ cm}^{-2}$ 程度である。

【0028】

50

次に、半導体基板 1 に対して酸化処理を施すことにより、半導体基板 1 の主面上に、例えば酸化シリコンからなる厚さ 1 ～ 5 nm 程度のゲート絶縁膜 3 を形成する。

【0029】

次に、図 4 に示すように、半導体基板 1 の主面上に、例えば低抵抗多結晶シリコンからなる厚さ 100 ～ 300 nm 程度の導体膜を CVD (Chemical Vapor Deposition) 法により堆積する。その後、この導体膜をリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、選択ゲート電極 CG を形成する。

【0030】

次に、図 5 に示すように、選択ゲート電極 CG およびレジストパターンをマスクとして、半導体基板 1 の主面に、例えばヒ素またはリンをイオン注入することにより、メモリ用 nMIS のチャンネル形成用の n 型の半導体領域 7 を形成する。この時の不純物イオンの打ち込みエネルギーは、例えば 20 ～ 40 keV 程度である。 10

【0031】

次に、図 6 に示すように、半導体基板 1 の主面上に、例えば酸化シリコンからなる絶縁膜 6b、窒化シリコンからなる電荷蓄積層 CSL および酸化シリコンからなる絶縁膜 6t を下層から順に堆積する。絶縁膜 6b は熱酸化法により形成され、その厚さは、例えば 1 ～ 10 nm 程度、電荷蓄積層 CSL は CVD 法により形成され、その厚さは、例えば 5 ～ 20 nm 程度、絶縁膜 6t は CVD 法により形成され、その厚さは、例えば 5 ～ 15 nm 程度を例示することができる。

【0032】

次に、半導体基板 1 の主面上に低抵抗多結晶シリコンからなる制御ゲート形成用の導体膜を堆積する。この導体膜は CVD 法により形成され、その厚さは、例えば 20 ～ 150 nm 程度を例示することができる。続いて、図 7 に示すように、リソグラフィ技術およびドライエッチング技術により、導体膜を異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極 CG の側面側にサイドウォール 10 を形成する。 20

【0033】

次に、図 8 に示すように、半導体基板 1 の主面上に、制御ゲート電極 MG 形成用のレジストパターン 11 をリソグラフィ技術により形成する。その後、レジストパターン 11 をマスクとして、そこから露出するサイドウォール 10 をエッチングして、選択ゲート電極 CG の片側面に制御ゲート電極 MG (サイドウォール 10) を形成する。 30

【0034】

次に、図 9 に示すように、レジストパターン 11 を除去した後、選択ゲート電極 CG および制御ゲート電極 MG をマスクとして、例えばヒ素またはリンを半導体基板 1 の主面にイオン注入することにより、半導体基板 1 の主面に n⁻ 型の半導体領域 2a を選択ゲート電極 CG および制御ゲート電極 MG に対して自己整合的に形成する。

【0035】

次に、図 10 に示すように、絶縁膜 6b, 6t および電荷蓄積層 CSL を選択的にエッチングすることにより、電荷蓄積層 CSL をパターニングする。続いて半導体基板 1 の主面上に、例えば酸化シリコンからなる厚さ 50 ～ 200 nm 程度の絶縁膜を CVD 法により堆積した後、これを異方性のドライエッチング法でエッチバックすることにより、選択ゲート電極 CG の片側面および制御ゲート電極 MG の上面にサイドウォール 12 を形成する。これにより、選択ゲート電極 CG と半導体基板 1 との間のゲート絶縁膜 3 の露出していた側面、ならびに制御ゲート電極 MG と半導体基板 1 との間の絶縁膜 6b, 6t および電荷蓄積層 CSL の露出していた側面をサイドウォール 12 によって覆うことができる。 40

【0036】

次に、図 11 に示すように、700 ～ 1100 °C 程度の温度で酸化処理を施すことにより、選択ゲート電極 CG を構成する導体膜および制御ゲート電極 MG を構成する導体膜を酸化してこれら上部に絶縁膜 6b1, 6t1 を形成する。上記酸化処理には、半導体基板 1 に厚さ 1 ～ 10 nm 程度の絶縁膜が形成される酸化条件が選択される。選択ゲート電極 CG を構成する導体膜の酸化は選択ゲート電極 CG の上面のみならず選択ゲート電極 CG 50

と電界蓄積層CSLとの間および選択ゲート電極CGとサイドウォール12との間にも進みバズビーク形状の絶縁膜6b1を形成する。同様に、制御ゲート電極MGを構成する導体膜の酸化は制御ゲート電極MGの上面のみならず選択ゲート電極MGと電界蓄積層CSLとの間および選択ゲート電極MGとサイドウォール12との間にも進みバズビーク形状の絶縁膜6t1を形成する。一方、選択ゲート電極CGと半導体基板1との間はサイドウォール12により酸化が阻止されるので、ゲート絶縁膜3にバズビーク形状が形成されることはなく、ゲート絶縁膜3の成膜時の厚さを維持することができる。同様に、制御ゲート電極MGと半導体基板1との間はサイドウォール12により酸化が阻止されるので、絶縁膜6b, 6tのバズビーク形状が形成されることはなく、絶縁膜6b, 6tおよび電荷蓄積層CSLの成膜時の厚さを維持することができる。

10

【0037】

次に、図12に示すように、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜13をCVD法により堆積した後、サイドウォール12および制御ゲート電極MGをマスクとして、例えばヒ素またはリンを半導体基板1の主面にイオン注入することにより、半導体基板1の主面に n^+ 型の半導体領域2bを選択ゲート電極CGおよび制御ゲート電極MGに対して自己整合的に形成する。このようにしてメモリセルMC1のドレイン領域Dr_mおよびソース領域Sr_mを形成し、選択用nMIS(Q_{nc})およびメモリ用nMIS(Q_{nm})を形成する。

【0038】

なお、その後、図13に示すように、絶縁膜13を除去した後、半導体基板1の主面部に、例えばコバルトシリサイド(CoSi_x)等のようなシリサイド層14をシリサイド(Salicide: Self Align silicide)プロセスにより形成することもできる。

20

【0039】

次に、図14に示すように、半導体基板1の主面上に、例えば窒化シリコン膜15aおよび酸化シリコン膜15bからなる絶縁膜15をCVD法により堆積する。続いて絶縁膜15にコンタクトホールCNTを形成した後、コンタクトホールCNT内にプラグPLGを形成する。プラグPLGは、例えばチタンおよび窒化チタンの積層膜からなる相対的に薄いバリア膜と、そのバリア膜に包まれるように形成されたタングステンまたはアルミニウム等からなる相対的に厚い導体膜とを有している。その後、絶縁膜15上に、例えばタングステンまたはアルミニウム等からなる第1層配線M1を形成することによって、前記図2(a)に示すメモリセルMC1が略完成する。これ以降は、通常の半導体装置の製造工程を経て、不揮発性メモリを有する半導体装置を製造する。

30

【0040】

なお、本実施の形態1では、シリサイド層14を半導体基板1の主面部にのみ形成したが、選択ゲート電極CGの上面、制御ゲート電極MGの上面、あるいは選択ゲート電極CGおよび制御ゲート電極MGの双方の上面にシリサイド層14を形成してもよい。MONOS型メモリセルでは、選択ゲート電極CGおよび制御ゲート電極MGの双方に電位を供給する必要がある、その動作速度は選択ゲート電極CGおよび制御ゲート電極MGの抵抗値に大きく依存する。従ってシリサイド層14を形成することにより選択ゲート電極CGおよび／または制御ゲート電極MGの低抵抗化を図ることが望ましい。本願発明であるメモリセルMC1では、選択ゲート電極MGの上部および制御ゲート電極CGの上部にバズビーク形状の絶縁膜6b1, 6t1が形成されて両者間の距離を離すことができるので、シリサイドプロセスによりシリサイド層14を形成しても、選択ゲート電極CGと制御ゲート電極MGとの短絡を防ぐことができる。

40

【0041】

このように、本実施の形態1によれば、選択ゲート電極CGと制御ゲート電極MGとを隣接して設けたスプリットゲート構造のメモリセルMC1において、制御ゲート電極MGと半導体基板1との間に相対的に薄い絶縁膜6b, 6tおよび電荷蓄積層CSLを形成しても、選択ゲート電極CGの上部と電荷蓄積層CSLとの間にバズビーク形状の絶縁膜6b1を形成し、制御ゲート電極MGの上部と電荷蓄積層CSLとの間にバズビーク形

50

状の絶縁膜 6 t 1 を形成することにより、選択ゲート電極 C G の上部と制御ゲート電極 M G の上部との距離を上記絶縁膜 6 b , 6 t および電荷蓄積層 C S L の厚さよりも離すことができる。従って、選択ゲート電極 C G の上部と制御ゲート電極 M G の上部とが接触しにくくなり、両者間の短絡の発生を抑制することができる。

【0042】

(実施の形態 2)

前述の実施の形態 1 と相違する点は、バズビーク形状の絶縁膜 6 b 1 , 6 t 1 を形成する前に、選択ゲート電極 C G の上部において選択ゲート電極 C G と電荷蓄積層 C S L との間の絶縁膜 6 b および制御ゲート電極 M G の上部において制御ゲート電極 M G と電荷蓄積層 C S L との間の絶縁膜 6 t を後退させておき、その後、酸化処理を行うことにより絶縁膜 6 b 2 , 6 t 2 を形成することにある。

10

【0043】

本発明の実施の形態 2 による半導体装置の製造方法の一例を図 1 5 および図 1 6 を用いて説明する。図 1 5 および図 1 6 は半導体装置の製造工程中にけるメモリ領域の半導体基板の要部断面図である。なお、選択ゲート電極 C G 、絶縁膜 6 b , 6 t および制御ゲート電極 M G を形成した後、選択ゲート電極 C G の片側面および制御ゲート電極 M G の上面にサイドウォール 1 2 を形成するまでの製造過程は、前述した実施の形態 1 と同様であるためその説明を省略する。

【0044】

図 1 5 に示すように、選択ゲート電極 C G の上部において選択ゲート電極 C G と電荷蓄積層 C S L との間の絶縁膜 6 b を、また制御ゲート電極 M G の上部において制御ゲート電極 M G と電荷蓄積層 C S L との間の絶縁膜 6 t を、それぞれ例えば 20 nm 程度後退させる。この時、酸化シリコンからなる絶縁膜により構成されるパターン、例えばサイドウォール 1 2 などがエッチングされないようにレジスト膜により保護しておき、絶縁膜 6 b , 6 t を選択的にエッチングする。

20

【0045】

次に、図 1 6 に示すように、700 ~ 1100 °C 程度の温度で酸化処理を施すことにより、選択ゲート電極 C G を構成する導体膜および制御ゲート電極 M G を構成する導体膜を酸化してこれら上部に絶縁膜 6 b 2 , 6 t 2 を形成する。この酸化処理により、露出した選択ゲート電極 C G の上部の側面および制御ゲート電極 M G の上部の側面に、前述の実施の形態 1 で形成された絶縁膜 6 b 1 , 6 t 1 よりも厚い絶縁膜 6 b 2 , 6 t 2 が形成されて、選択ゲート電極 C G と制御ゲート電極 M G との距離を前述の実施の形態 1 の場合よりもさらに離すことができる。その後は、前述した実施の形態 1 と同様にして、メモリセル M C 1 のドレイン領域 D r m およびソース領域 S r m 、第 1 層配線 M 1 等を形成する。

30

【0046】

このように、本実施の形態 2 によれば、選択ゲート電極 C G の上部と制御ゲート電極 M G の上部との距離を前述した実施の形態 1 の場合よりもさらに離すことができるので、両者間の短絡の発生をより抑制することができる。

【0047】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【0048】

例えば、前記実施の形態では、M O N O S 型メモリセルに適用した場合について説明したが、例えば半導体基板上に、酸化シリコン膜、電荷蓄積用の窒化シリコン膜（または酸窒化シリコン膜）および低抵抗多結晶シリコン膜を下層から順に積層した構成を有する、M N O S (Metal Nitride Oxide Semiconductor) 型メモリセルに適用することもできる。

【産業上の利用可能性】

【0049】

本発明は、絶縁膜を介して隣接して形成される第 1 ゲート電極と第 2 ゲート電極とを備

50

える半導体素子、特に２トランジスタ構成のスプリットゲート構造のメモリセルを有する半導体装置に利用できる。

【図面の簡単な説明】

【００５０】

【図１】本発明の実施の形態１によるメモリセルのレイアウトを示す要部平面図である。

【図２】（ａ）は図１のＡ－Ａ'線における要部断面図、（ｂ）は（ａ）のメモリセルの一部を拡大して示す要部断面図である。

【図３】本発明の実施の形態１による半導体装置の製造工程中の要部断面図である。

【図４】図３に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図５】図４に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

10

【図６】図５に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図７】図６に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図８】図７に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図９】図８に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１０】図９に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１１】図１０に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１２】図１１に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１３】図１２に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１４】図１３に続く半導体装置の製造工程中の図３と同じ箇所の要部断面図である。

【図１５】本発明の実施の形態２による半導体装置の製造工程中の要部断面図である。

20

【図１６】図１５に続く半導体装置の製造工程中の図１５と同じ箇所の要部断面図である。

。

【符号の説明】

【００５１】

- 1 半導体基板
- 2 a 半導体領域
- 2 b 半導体領域
- 3 ゲート絶縁膜（第１絶縁膜）
- 4 半導体領域
- 6 b, 6 b 1, 6 b 2 絶縁膜（第２絶縁膜）
- 6 t, 6 t 1, 6 t 2 絶縁膜（第３絶縁膜）
- 7 半導体領域
- 10 サイドウォール
- 11 レジストパターン
- 12 サイドウォール（第４絶縁膜）
- 13 絶縁膜
- 14 シリサイド層
- 15 絶縁膜
- 15 a 窒化シリコン膜
- 15 b 酸化シリコン膜
- A C T 活性領域
- C G 選択ゲート電極（第１ゲート電極）
- C N T コンタクトホール
- C S L 電荷蓄積層
- D r m ドレイン領域
- M 1 第１層配線
- M C 1 メモリセル
- M G 制御ゲート電極（第２ゲート電極）
- N W 埋め込みｎウェル
- P L G プラグ

30

40

50

PW pウェル

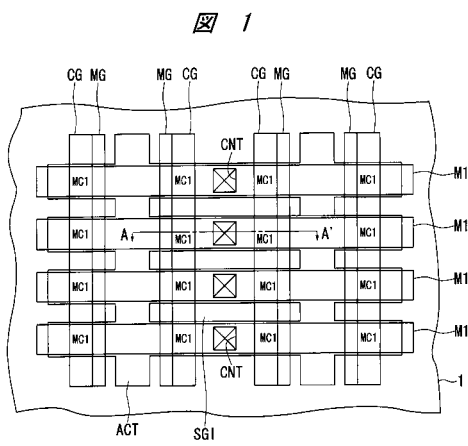
Qnc 選択用nMIS（第1電界効果トランジスタ）

Qnm メモリ用nMIS（第2電界効果トランジスタ）

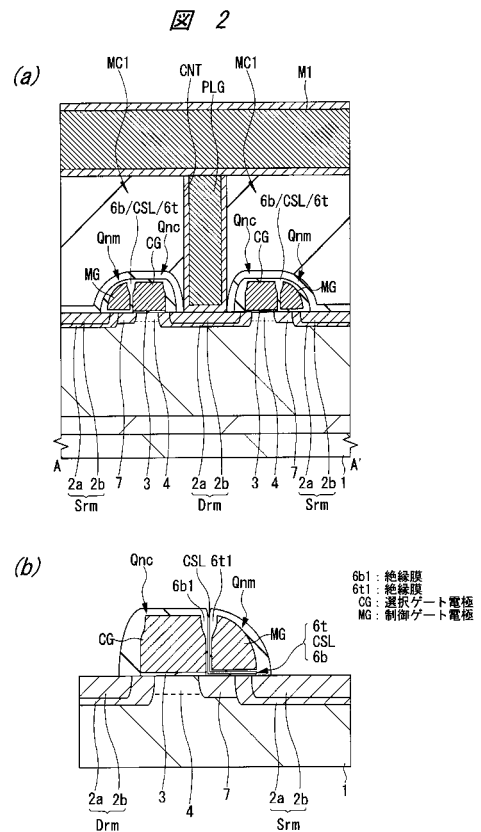
SGI 素子分離部

Srm ソース領域

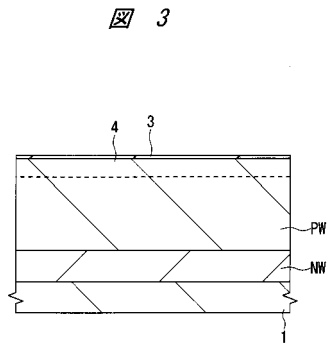
【図1】



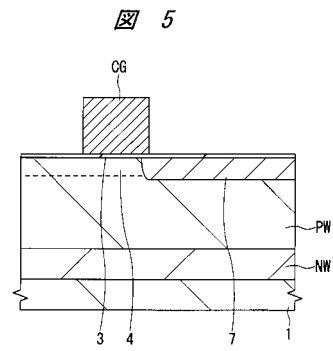
【図2】



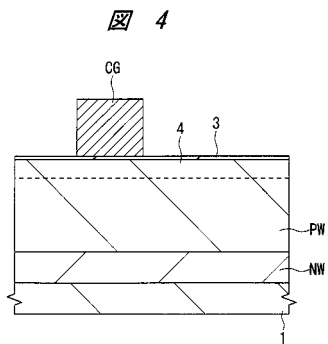
【図 3】



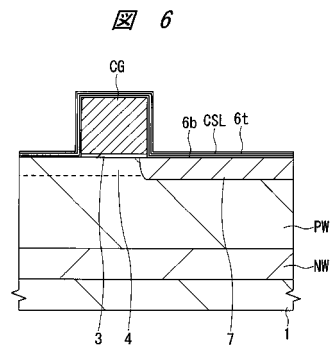
【図 5】



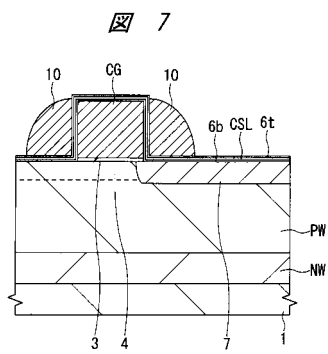
【図 4】



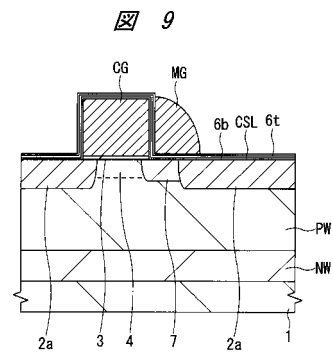
【図 6】



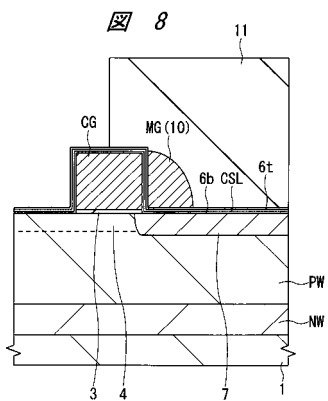
【図 7】



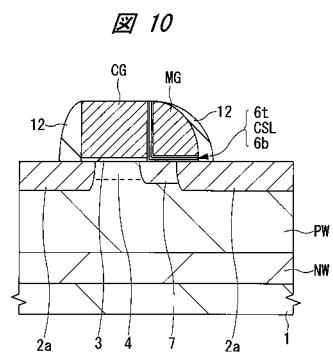
【図 9】



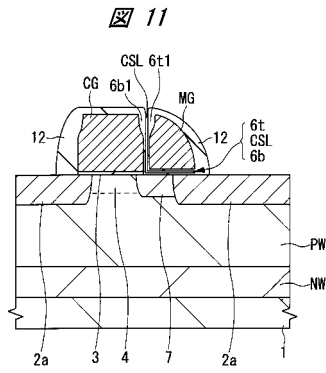
【図 8】



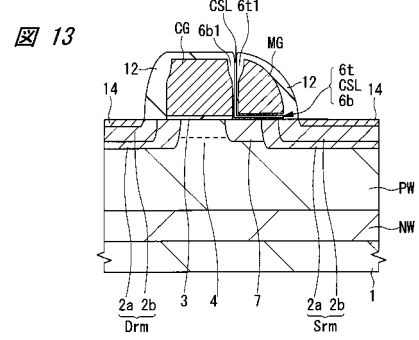
【図 10】



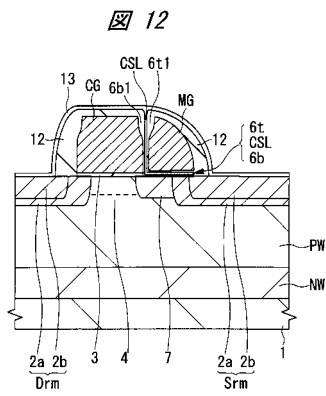
【図 1 1】



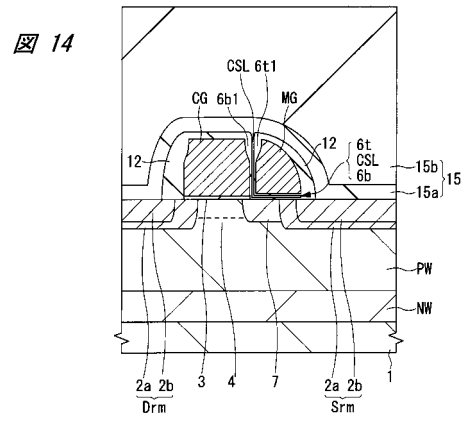
【図 1 3】



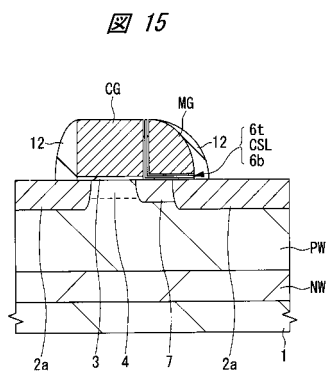
【図 1 2】



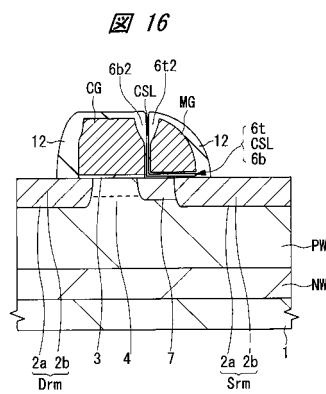
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

(72)発明者 中川 宗克

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 橋本 孝司

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5F083 EP18 EP22 EP33 EP35 EP43 EP63 EP68 ER21 GA30 JA04

JA35 JA36 JA39 JA40 JA53 MA06 MA19 NA01 PR09 PR12

PR40

5F101 BA45 BB02 BD22 BD35 BE07 BH03