

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-344959

(P2006-344959A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 X	5 F O 3 3
H O 1 L 23/52 (2006.01)	H O 1 L 21/88 S	5 F O 4 8
H O 1 L 21/3205 (2006.01)	H O 1 L 27/08 1 O 2 A	5 F 1 4 O
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 1 O 2 D	
H O 1 L 21/8234 (2006.01)		

審査請求 未請求 請求項の数 22 O L (全 18 頁)

(21) 出願番号	特願2006-156335 (P2006-156335)	(71) 出願人	390019839
(22) 出願日	平成18年6月5日 (2006.6.5)		三星電子株式会社
(31) 優先権主張番号	10-2005-0049018		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成17年6月8日 (2005.6.8)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

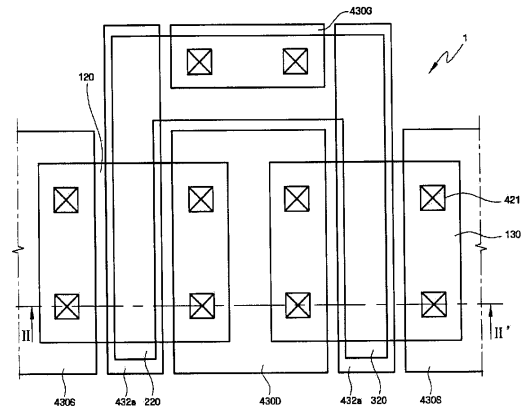
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 外部イオンや水分のゲート絶縁膜への浸透を防止する半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、半導体基板、半導体基板上に一方方向に延びて形成されたゲート配線220とゲート配線に整列して半導体基板内に形成されたソース/ドレイン領域を含むトランジスタ、ゲート配線上にゲート配線と同一方向に延びて形成され、半導体基板に拡散されるイオンを遮断する拡散防止メタルパターン432aを含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に一方向に延びて形成されたゲート配線と前記ゲート配線に整列して前記半導体基板内に形成されたソース/ドレイン領域を含むトランジスタと、
前記ゲート配線上に前記ゲート配線と同一方向に延びて形成され、前記半導体基板に拡散されるイオンを遮断する拡散防止メタルパターンとを含む半導体集積回路素子。

【請求項 2】

前記拡散防止メタルパターンは、第 1 配線と同一層に形成される請求項 1 に記載の半導体集積回路素子。

【請求項 3】

前記拡散防止メタルパターンは、電氣的にフローティング状態となる請求項 2 に記載の半導体集積回路素子。

【請求項 4】

前記拡散防止メタルパターンには、所定電圧が印加される請求項 2 に記載の半導体集積回路素子。

【請求項 5】

前記第 1 配線は前記トランジスタのソース領域にソース電圧を印加するソース電圧配線を含み、前記拡散防止メタルパターンは前記ソース電圧配線が延びて形成される請求項 4 に記載の半導体集積回路素子。

【請求項 6】

前記第 1 配線は前記トランジスタのドレイン領域にドレイン電圧を印加するドレイン電圧配線を含み、前記拡散防止メタルパターンは前記ドレイン電圧配線が延びて形成される請求項 4 に記載の半導体集積回路素子。

【請求項 7】

前記第 1 配線は前記トランジスタのゲート配線にゲート電圧を印加するゲート電圧配線を含み、前記拡散防止メタルパターンは前記ゲート電圧配線が延びて形成される請求項 4 に記載の半導体集積回路素子。

【請求項 8】

前記第 1 配線、拡散防止メタルパターンの全面上に前記半導体基板に拡散されるイオンを遮断する窒化膜をさらに含む請求項 1 に記載の半導体集積回路素子。

【請求項 9】

前記第 1 配線、拡散防止メタルパターンの全面と前記窒化膜との間に酸化膜をさらに含む請求項 8 に記載の半導体集積回路素子。

【請求項 10】

前記トランジスタは、高電圧駆動トランジスタである請求項 1 に記載の半導体集積回路素子。

【請求項 11】

前記ソース/ドレイン領域は、前記ゲート配線に整列して形成され、前記半導体基板と異なる導電型の低濃度不純物領域と前記ゲート配線から所定距離離隔して前記低濃度不純物領域の深さより浅い深さで形成され、前記半導体基板と異なる導電型の高濃度不純物領域からなる請求項 10 に記載の半導体集積回路素子。

【請求項 12】

半導体基板上に一方向に延びて形成されたゲート配線と前記ゲート配線に整列して前記半導体基板内に形成されたソース/ドレイン領域を含むトランジスタを形成するステップと、
前記ゲート配線上に前記ゲート配線と同一方向に延びて、前記半導体基板に拡散されるイオンを遮断する拡散防止メタルパターンを形成するステップとを含む半導体集積回路素子の製造方法。

【請求項 13】

10

20

30

40

50

前記拡散防止メタルパターンは、第1配線と同一層に形成される請求項12に記載の半導体集積回路素子の製造方法。

【請求項14】

前記拡散防止メタルパターンは、電氣的にフローティング状態となる請求項13に記載の半導体集積回路素子の製造方法。

【請求項15】

前記拡散防止メタルパターンには、所定電圧が印加される請求項13に記載の半導体集積回路素子の製造方法。

【請求項16】

前記第1配線は前記トランジスタのソース領域にソース電圧を印加するソース電圧配線を含み、前記拡散防止メタルパターンは前記ソース電圧配線が延びて形成される請求項15に記載の半導体集積回路素子の製造方法。 10

【請求項17】

前記第1配線は前記トランジスタのドレーン領域にドレーン電圧を印加するドレーン電圧配線を含み、前記拡散防止メタルパターンは前記ドレーン電圧配線が延びて形成される請求項15に記載の半導体集積回路素子の製造方法。

【請求項18】

前記第1配線は前記トランジスタのゲート配線にゲート電圧を印加するゲート電圧配線を含み、前記拡散防止メタルパターンは前記ゲート電圧配線が延びて形成される請求項15に記載の半導体集積回路素子の製造方法。 20

【請求項19】

前記拡散防止メタルパターンを形成するステップの後に、前記第1配線、拡散防止メタルパターンの全面上に前記半導体基板に拡散されるイオンを遮断する窒化膜を形成するステップをさらに含む請求項12に記載の半導体集積回路素子の製造方法。

【請求項20】

前記窒化膜を形成するステップの前に、前記第1配線、拡散防止メタルパターンの全面上に酸化膜を形成するステップをさらに含む請求項19に記載の半導体集積回路素子の製造方法。

【請求項21】

前記トランジスタは、高電圧駆動トランジスタである請求項12に記載の半導体集積回路素子の製造方法。 30

【請求項22】

前記ソース/ドレーン領域は、前記ゲート配線に整列して形成され、前記半導体基板と異なる導電型の低濃度不純物領域と前記ゲート配線から所定距離離隔して前記低濃度不純物領域の深さより浅い深さで形成され、前記半導体基板と異なる導電型の高濃度不純物領域からなる請求項21に記載の半導体集積回路素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置およびその製造方法に関するものであって、より詳しくは、動作特性が向上した半導体集積回路装置およびその製造方法に関するものである。 40

【背景技術】

【0002】

SOC(System On Chip)、MCU(MicroController Unit)、DDI(Display Driver IC)のような半導体集積回路装置は、プロセッサ、メモリー、そして論理回路、音声および画像処理回路、多様なインターフェース用回路などからなる多数の周辺装置を備えている。したがって、半導体集積回路装置には、多様な駆動電圧を有するトランジスタが共存する。例えば、高電圧(15～30V)駆動、中電圧(4～6V)駆動、低電圧(1～3V)駆動のトランジスタを含むことができる。

【0003】

特に、高電圧駆動トランジスタは、高電圧が印加されていても正常動作をするために、高電圧駆動トランジスタのドレーン領域と半導体基板との間のブレイクダウン(breakdown)電圧が十分に高くなければならない。したがって、高電圧駆動トランジスタは、ブレイクダウン電圧を高めるためにドレーン領域の高濃度不純物領域とゲート配線との間が十分に離隔していて、ドレーン領域の低濃度不純物領域と半導体基板のドーピング濃度とを低くして空乏(depletion)領域を長くする。また、高電圧駆動トランジスタのゲート絶縁膜の厚さは、低電圧駆動トランジスタのゲート絶縁膜の厚さに比べて厚い。

【0004】

一方、高電圧駆動トランジスタを製造した後、多層の配線および多層の絶縁膜を形成する後続(back-end)工程が進行される。このような後続工程の中で外部イオンや水分がゲート絶縁膜に浸透するようになる。NMO S 高電圧駆動トランジスタを例にすれば、ゲート絶縁膜に浸透した陽イオンは閾値電圧(threshold voltage)を下げてゲート絶縁膜の下部にチャンネルを形成させ、ドレーンオフ電流(Idoff)を増加させる。特に、高電圧駆動トランジスタは、ドレーン領域の低濃度不純物領域と半導体基板とのドーピング濃度とが低いため、このような小さい外部イオンの浸透にも動作特性の激しい変化を示す。

【0005】

【特許文献1】大韓民国登録公告10-0365937号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の技術的課題は、動作特性が向上した半導体集積回路装置を提供することにある。

【0007】

本発明の他の技術的課題は、動作特性が向上した半導体集積回路装置の製造方法を提供することにある。

【0008】

本発明の技術的課題は、以上で言及した技術的課題に制限されず、言及されていないまた他の技術的課題は、以下の記載から当業者に明確に理解できる。

【課題を解決するための手段】

【0009】

前記技術的課題を達成するための本発明の第1実施例に係る半導体集積回路装置は、半導体基板、半導体基板上に一方向に延びて形成されたゲート配線とゲート配線に整列して半導体基板内に形成されたソース/ドレーン領域を含むトランジスタ、ゲート配線上にゲート配線と同一方向に延びて形成され、半導体基板に拡散されるイオンを遮断する拡散防止メタルパターンを含む。

【0010】

前記技術的課題を達成するための本発明の第1実施例に係る半導体集積回路装置の製造方法は、半導体基板上に一方向に延びて形成されたゲート配線とゲート配線に整列して半導体基板内に形成されたソース/ドレーン領域を含むトランジスタを形成するステップ、ゲート配線上にゲート配線と同一方向に延びて、半導体基板に拡散されるイオンを遮断する拡散防止メタルパターンを形成するステップを含む。

【0011】

その他の実施例の具体的な事項は、詳細な説明および図面に含まれている。

【発明の効果】

【0012】

上記のような半導体集積回路装置およびその製造方法によれば、次のような効果が一つ、あるいはそれ以上ある。

第一に、拡散防止メタルパターンは、外部イオンおよび水分が半導体基板に浸透することを遮断することができる。

第二に、閾値電圧を一定に維持してドレーンオフ電流を減らすことによって、半導体集積

回路装置の動作特性が向上する。

【発明を実施するための最良の形態】

【0013】

本発明の利点および特徴、そしてそれらを達成する方法は、添付する図面と共に詳細に後述されている実施例を参照すれば明確になる。しかし、本発明は以下で開示される実施例に限定されず、多種多様な形態からなることができ、単に本実施例は本発明の開示を完全なものとし、本発明が属する技術分野で通常の知識を有する者に発明の範囲を完全に知らせるために提供されているものであり、本発明は請求項の範囲によってのみ定義されるものである。明細書全体に亘って、同一参照符号は同一構成要素を示している。

【0014】

10

本明細書において、高電圧駆動トランジスタは15～30Vの駆動電圧が印加されるトランジスタを、低電圧駆動トランジスタは3V以下の駆動電圧が印加されるトランジスタを示している。しかし、駆動電圧の具体的な数値は当業者によって容易に変更され得ることは言うまでもない。

【0015】

図1は本発明の第1実施例に係る半導体集積回路装置の概略のレイアウト図であり、図2は図1のI-I'に沿って切断した断面図である。ここで、半導体集積回路装置は、DDIのインバータを例にして説明するが、これに制限されるものではない。

【0016】

図1および図2を参照すれば、本発明の第1実施例に係る半導体集積回路装置1は、半導体基板100、NMOS高電圧駆動トランジスタ200、PMOS高電圧駆動トランジスタ300、絶縁膜構造物400を含む。

20

【0017】

半導体基板100は、シリコン基板、SOI (Silicon On Insulator)基板、ガリウムヒ素基板、シリコンゲルマニウム基板、セラミック基板、石英基板、またはディスプレイ用ガラス基板などになることができる。また、半導体基板100は主にP型基板を用いて、図示していないが、半導体基板100の上部にP型エピタキシャル層(epitaxial layer)を成長させて用いることができる。

【0018】

半導体基板100上に形成された素子分離膜110は、活性(active)領域を画定する。素子分離膜は、LOCOS (Local Oxidation of Silicon)方法を用いたFOX (Field Oxide)、またはSTI (Shallow Trench Isolation)であってもよい。

30

【0019】

半導体基板100内に高電圧駆動トランジスタが形成されるように、Pウェル120、Nウェル130を形成することができる。特に、高電圧駆動トランジスタで用いられるウェルの濃度は、通常の低電圧駆動トランジスタで用いられるウェルの濃度より低い。例えば、Pウェル120および/またはNウェル130の濃度は、 1×10^{15} ないし 1×10^{17} 原子/cm³ であり得る。

【0020】

NMOS高電圧駆動トランジスタ200は、ゲート配線220、ゲート絶縁膜210、ソース/ドレイン領域230、240を含む。

40

【0021】

ゲート配線220は、半導体基板100上に一方向に延びて形成された導電膜パターンであって、ゲート絶縁膜210にて半導体基板100と絶縁される。ゲート絶縁膜210は、主にシリコン酸化物(SiO_x)で形成することができる。特に、高電圧駆動トランジスタのゲート絶縁膜210の厚さは、通常の低電圧駆動トランジスタのゲート絶縁膜の厚さより厚い。例えば、高電圧駆動トランジスタのゲート絶縁膜210は200～400Åで、低電圧駆動トランジスタのゲート絶縁膜は30～150Åであり得る。すなわち、低電圧駆動トランジスタのゲート絶縁膜は薄いために半導体装置の駆動速度を増加させることができ、高電圧駆動トランジスタのゲート絶縁膜210は厚いために15V以上の高電

50

圧にも十分な耐圧特性を有するようになる。

【0022】

ソース/ドレイン領域230、240は、ゲート配線220の両側壁に整列して形成される。特に、NMOS高電圧駆動トランジスタ200が高電圧駆動に適しているように、ソース/ドレイン領域230、240はMIDDD(Mask Islanded Double Diffused Drain)構造を有する。すなわち、低濃度不純物領域232、242はゲート配線220に整列して半導体基板100内に形成され、高濃度不純物領域234、244はゲート配線220から所定距離離隔して低濃度不純物領域232、242の深さより浅い深さに限定して形成される。このように、高電圧が印加される高濃度不純物領域234、244がゲート配線220と十分な離隔距離を有さなければ、ブレイクダウン電圧を高めることができない。 10

【0023】

特に、低濃度不純物領域232、242は、通常の低電圧駆動トランジスタに用いられる低濃度不純物領域の濃度より低い。例えば、低濃度不純物領域232、242の濃度は、 1×10^{14} ないし 1×10^{16} 原子/cm³ であり得る。このように、Pウェル120と低濃度不純物領域232、242とが低い濃度でドーピングされれば、Pウェル120と低濃度不純物領域232、242との境界部分の空乏領域の幅が広くなる。したがって、ブレイクダウン電圧が十分に高まるため、ドレイン領域240に高電圧が印加されても安定して動作することができる。

【0024】

本発明の第1実施例において、ソース/ドレイン領域230、240はMIDDD構造を例としたが、高電圧駆動に適している構造であればLDD(Lightly Diffused Drain)、MLDD(Mask LDD)、LDMOS(Lateral Double-diffused MOS)構造などの何れも可能である。 20

【0025】

PMOS高電圧駆動トランジスタ300は、ゲート配線320、ゲート絶縁膜310、ソース/ドレイン領域330、340を含む。NMOS高電圧駆動トランジスタ200と相補的な特性を有するため、説明を省略する。

【0026】

絶縁膜構造物400は、層間絶縁膜410、コンタクト423、第1配線430、拡散防止メタルパターン432a、第1メタル間絶縁膜450、第1ビア463、第2配線470、第2メタル間絶縁膜480、第2ビア493、第3配線495、保護膜496を含む。 30

【0027】

層間絶縁膜(InterLayer Dielectric)410は、NMOSおよびPMOS高電圧駆動トランジスタ200、300および半導体基板100上に形成される。層間絶縁膜410は、低誘電率の絶縁物質が用いられ、例えばFOX(Flowable Oxide)膜、TOSZ(Tonnen Silazane)膜、USG(Undoped Silica Glass)膜、BSG(Borosilica Glass)膜、PSG(PhosphoSilica Glass)膜、BPSG(BoroPhosphoSilica Glass)膜、PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate)膜、FSG(Fluoride Silicate Glass)膜、HDDP(high density plasma)膜、PEOX(Plasma Enhanced Oxide)膜、またはこれらの積層膜からなることができる。層間絶縁膜410として低誘電率の絶縁物質を用いることによって、半導体集積回路装置の配線の全体的な誘電率を低くするようになり、RC遅延を改善することができる。 40

【0028】

本発明の第1実施例における層間絶縁膜410として、PEOX膜411、BPSG膜412、PETEOS膜413の積層膜を用いる。ここで、PEOX膜411はバッファ層として用いられ、BPSG膜412はギャップ充填(gap-fill)特性が優れていて、ゲート配線220、320などにより発生した段差を減らす役割をする。PETEOS膜413はスループット(throughput)の良い物質であるため、速やかに層間絶縁膜410を一 50

定の厚さで形成することができる。

【0029】

コンタクト423は、層間絶縁膜410の所定領域に形成され、NMOSおよびPMOS高電圧駆動トランジスタ200、300のソース/ドレイン領域230、240、330、340、ゲート配線220、320と第1配線430を電氣的に連結する。コンタクト423は、銅、チタニウム、またはタングステンのような金属物質からなることができる。

【0030】

また、第1バリア膜パターン422は、コンタクト423の周囲に形成され、コンタクト423を構成する物質が層間絶縁膜410に拡散されることを防止することができる。第1バリア膜パターン422は、Ti、TiN、Ti/TiN、Ta、Ta₂N₅、Ta/Ta₂N₅などからなることができる。

【0031】

第1配線430は、層間絶縁膜410上に形成され、NMOSおよびPMOS高電圧駆動トランジスタ200、300のソース/ドレイン領域230、240、330、340、ゲート配線220、320と各々連結した導電膜パターンである。詳しく説明すれば、第1配線430は、NMOSおよびPMOS高電圧駆動トランジスタ200、300のソース領域230、330にソース電圧を印加するソース電圧配線430S、ドレイン領域240、340にドレイン電圧を印加するドレイン電圧配線430D、ゲート配線220、320にゲート電圧を印加するゲート電圧配線430Gを含む。本発明の第1実施例では、NMOS高電圧駆動トランジスタ200のソース領域230には接地電圧が印加され、PMOS高電圧駆動トランジスタ300のソース領域330には電源電圧が印加され、NMOSおよびPMOS高電圧駆動トランジスタ200、300のドレイン領域240、340には所定の信号電圧が共通に印加される。

【0032】

第1配線430は、主にアルミニウムで、約5000Åの厚さで形成され得る。図示していないが、第1配線430がアルミニウム配線で形成される場合、第1配線430とコンタクト423との接触特性を良くするために、第1配線430とコンタクト423との間にTi/TiNなどからなる粘着膜(adhesion film)がさらに形成されることができ、第1配線430上にフォトリソグラフィ工程時のアルミニウムの乱反射を防止するためのTi、TiN、またはTi/TiNなどからなる反射防止膜(anti-reflected coating film)をさらに形成することができる。

【0033】

拡散防止メタルパターン432aは、第1配線430と同一層に形成される。拡散防止メタルパターン432aは、NMOSおよびPMOS高電圧駆動トランジスタ200、300のゲート配線220、320上にゲート配線220、320と同一方向に延びて形成される。また、拡散防止メタルパターン432aは、ソース電圧配線430S、ドレイン電圧配線430D、ゲート電圧配線430Gから所定距離離隔して形成され、本発明の第1実施例に係る拡散防止メタルパターン432aは電氣的にフローティング状態となる。このように拡散防止メタルパターン432aがゲート配線220、320の上部を十分に覆うことによって、ゲート絶縁膜210、310に外部イオン、または水分が浸透することを防ぐことができる。

【0034】

詳しく説明すれば、第1配線430および拡散防止メタルパターン432a上に形成される第1および第2メタル間絶縁膜450、480などには製造工程中の外部イオンや水分が含まれることができる。このような外部イオンや水分は、拡散(diffusion)してゲート絶縁膜210、310に蓄積される。このように蓄積された外部イオンや水分は、閾値電圧の電圧レベルを変化させてドレインオフ電流を増加させる。拡散防止メタルパターン432aは、外部イオンや水分がゲート絶縁膜210、310に到達する前に遮断することができるため、閾値電圧の電圧レベルを一定に維持してドレインオフ電流を減らすこと

ができる。

【0035】

また、拡散防止メタルパターン432aは、第1配線430と同様にアルミニウムで形成することができる。

【0036】

第1メタル間絶縁膜(InterMetallic Dielectric)450は、第1配線430、拡散防止メタルパターン432a、層間絶縁膜410の全面上に形成される。第1メタル間絶縁膜450は、低誘電率の絶縁物質が用いられ、例えばFOX膜、TOSZ膜、USG膜、BSG膜、PSG膜、BPSG膜、PETEOS膜、FSG膜、HDP膜、PEOX膜、またはこれらの積層膜からなることができる。第1メタル間絶縁膜450として低誘電率物質を用いることによって、半導体集積回路装置の配線の全体的な誘電率を低くするようになり、RC遅延を改善することができる。

【0037】

本発明の第1実施例において、HDP膜451、PETEOS膜452の積層膜を順次的に蒸着する。ここで、HDP膜451、PETEOS膜452は、主にプラズマ蒸着工程によって形成する。プラズマを用いた蒸着工程は、低温で蒸着工程を進行することができる長所がある。HDP膜はギャップ充填特性が優れていて第1配線430などにより発生した段差を減らす役割をし、PETEOS膜はスループットが良い物質であるため、速やかに第1メタル間絶縁膜450を一定の厚さで形成することができる。一方、製造過程中に第1メタル間絶縁膜450には外部イオンや水分が含まれ得るが、拡散防止メタルパターン432aがゲート絶縁膜210、310に浸透する外部イオンや水分を遮断するため、半導体集積回路装置1の損傷を防止することができる。

【0038】

第1ビア463は、第1メタル間絶縁膜450の所定領域に形成し、第1配線430と第2配線470とを電氣的に連結する。第1ビア463は、銅、チタニウム、またはタングステンのような金属物質で形成することができる。また、第2バリア膜パターン462は第1ビア463の周囲に形成して、第1ビア463を構成する物質が第1メタル間絶縁膜450に拡散されることを防止することができる。

【0039】

第2配線470は、第1メタル間絶縁膜450上に形成し、第1配線430と電氣的に連結する。第2配線470は、主にアルミニウムで形成することができる。第2メタル間絶縁膜480は第2配線470上に形成し、低誘電率の絶縁物質が用いられる。第2ビア493は、第2メタル間絶縁膜480の所定領域に形成し、第2配線470と第3配線495とを電氣的に連結する。第3配線495上には保護膜496が形成され、半導体集積回路装置1を保護する。

【0040】

図3は、本発明の第1実施例に係る半導体集積回路装置の効果を説明するための図面である。ここで、(a)の半導体集積回路装置は拡散防止メタルパターンがない場合であり、(b)の半導体集積回路装置は拡散防止メタルパターンがある場合を示している。

【0041】

図3を参照すれば、(a)の半導体集積回路装置は、多数のメタル間絶縁膜(図2の'450、480'参照)などに含まれた外部イオンや水分が拡散されてPMOS高電圧駆動トランジスタ300のゲート絶縁膜310に陰イオンが蓄積され得る。ゲート絶縁膜310に陰イオンが蓄積されれば、これに対応して、陽電荷が蓄積されて反転層134が形成される。特に、反転層134は、PMOS高電圧駆動トランジスタ300のNウェル130の濃度が低いため、さらに容易に形成することができる。したがって、ゲート配線320に閾値電圧以上の電圧が印加されなくても、ドレインオフ電流が発生することができる。

【0042】

反面、(b)の半導体集積回路装置では、外部イオンや水分が拡散防止メタルパターン4

10

20

30

40

50

32aにより遮断されるため、PMOS高電圧駆動トランジスタ300のゲート絶縁膜310に陰イオンが蓄積されない。

【0043】

図3では、ゲート絶縁膜310に陰イオンが蓄積される場合のみを説明したが、半導体基板に印加される基板バイアスなどにより陽イオンが蓄積されることもできるのは、本発明が属する技術分野の当業者には自明である。また、NMOS高電圧駆動トランジスタにおいても陽イオン、または陰イオンが蓄積され得ることは自明である。

【0044】

以下、図4～図9を参照して、本発明の第2～第5実施例に係る半導体集積回路装置を説明する。図1および図2と実質的に同一の構成要素については同一の図面符号を用い、
10 該当構成要素に対する詳細な説明は省略することにする。

【0045】

図4および図5を参照すれば、本発明の第2実施例に係る半導体集積回路装置2が本発明の第1実施例と異なる点は、拡散防止メタルパターン432bに所定電圧が印加されるという点である。すなわち、拡散防止メタルパターン432bは、NMOSおよびPMOS高電圧駆動トランジスタ200、300のソース領域230、330にソース電圧を印加するソース電圧配線430Sが延びて形成される。したがって、拡散防止メタルパターン432bは、ソース電圧が印加される。

【0046】

図6および図7を参照すれば、本発明の第3実施例に係る半導体集積回路装置3が本発明の第1実施例と異なる点は、拡散防止メタルパターン432cにドレーン電圧が印加されるという点である。すなわち、拡散防止メタルパターン432cは、NMOSおよびPMOS高電圧駆動トランジスタ200、300のドレーン領域240、340にドレーン電圧を印加するドレーン電圧配線430Dが延びて形成される。したがって、拡散防止メタルパターン432cは、ドレーン電圧が印加される。
20

【0047】

図8を参照すれば、本発明の第4実施例に係る半導体集積回路装置4が本発明の第1実施例と異なる点は、拡散防止メタルパターン432dにゲート電圧が印加されるという点である。すなわち、拡散防止メタルパターン432dは、NMOSおよびPMOS高電圧駆動トランジスタ200、300のゲート配線220、320にゲート電圧を印加するゲート電圧配線430Gが延びて形成される。したがって、拡散防止メタルパターン432dは、ゲート電圧が印加される。
30

【0048】

図9を参照すれば、本発明の第5実施例に係る半導体集積回路装置5が本発明の第1実施例と異なる点は、拡散防止メタルパターン432eに別途の電圧が印加されるという点である。すなわち、第2配線(図2の‘470’参照)と同一層に形成された電圧配線471を用いて、拡散防止メタルパターン432eに所定電圧を印加する。説明しない図面符号‘463’は、拡散防止メタルパターン432eと電圧配線471とを電氣的に連結するための第1ビアを示している。

【0049】

図10は、本発明の第6実施例に係る半導体集積回路装置の断面図である。図2と実質的に同一の構成要素については同一の図面符号を用い、該当構成要素に対する詳細な説明は省略することにする。
40

【0050】

図10を参照すれば、本発明の第6実施例に係る半導体集積回路装置6は、第1配線430、拡散防止メタルパターン432a、層間絶縁膜410の全面に形成された窒化膜440をさらに含む。窒化膜440は、半導体基板100に浸透する外部イオン、または水分を遮断する。したがって、窒化膜440をさらに形成することによって、外部イオン、または水分の遮断効果がさらに良くなり得る。窒化膜440は、SiN膜、またはSiON膜を用いることができるが、これに制限されるものではない。ここで、SiN膜はSi
50

ON膜に比べて、外部イオン、または水分の遮断効果が良いため、50 Å以上の厚さで形成することができ、SiON膜は500 Å以上の厚さで形成することができるが、具体的な数値は当業者によって容易に変更することができる。また、SiN膜およびSiON膜は、厚いほど、外部イオン、または水分の遮断効果が向上するが、半導体集積回路装置の特性に応じて厚さは調節することができる。

【0051】

図11は、本発明の第7実施例に係る半導体集積回路装置の断面図である。図10と実質的に同一の構成要素については同一の図面符号を用い、該当構成要素に対する詳細な説明は省略することにする。

【0052】

図11を参照すれば、本発明の第7実施例に係る半導体集積回路装置7は、第1配線430、拡散防止メタルパターン432a、層間絶縁膜410の全面と窒化膜440との間に酸化膜435がさらに含まれることができる。酸化膜435は、第1配線430、拡散防止メタルパターン432a、層間絶縁膜410の全面と窒化膜440との間のバッファの役割をする。また、酸化膜435は、ギャップ充填効果が大きい物質を用いることによって、第1配線430と拡散防止メタルパターン432aとの空間を十分に埋めることができる。

【0053】

図12A～図12Dは、本発明の第1実施例に係る半導体集積回路装置の製造方法を説明するための断面図である。

【0054】

図12Aを参照すれば、まず、半導体基板100を提供する。半導体基板100上に素子分離膜110を形成して活性領域を定義する。活性領域上にNMOS高電圧駆動トランジスタ200およびPMOS高電圧駆動トランジスタ300を各々形成する。

【0055】

続いて、層間絶縁膜410をNMOSおよびPMOS高電圧駆動トランジスタ200、300並びに半導体基板100上に形成する。層間絶縁膜410は、低誘電率の絶縁物質を使用でき、本発明の第1実施例ではPEOX膜411、BPSG膜412、PETEOS膜413を順次形成する。

【0056】

次に、層間絶縁膜410を通常的なエッチング工程を用いてNMOS高電圧駆動トランジスタ200のソース/ドレイン領域230、240、PMOS高電圧駆動トランジスタ300のソース/ドレイン領域330、340を露出させるコンタクトホール421を形成する。

【0057】

図12Bを参照すれば、コンタクトホール421の側面と底面および層間絶縁膜410の上面のプロファイルに合わせて第1バリア膜を形成する。第1バリア膜は、Ti、TiN、Ti/TiN、Ta、Ta₂N₅、Ta/Ta₂N₅、Ta/TiNなどで形成することができ、CVD法、またはスパッタリング法によって形成することができる。

【0058】

続いて、コンタクトホール421を十分に埋め立てるように、第1バリア膜440上にCu、Ti、またはWのような導電物質を蒸着して金属膜を形成する。ここで、Cuは層間絶縁膜410に拡散されやすいため、Ti、Wを用いることが好ましく、Ti、またはWはCVD法や、スパッタリング法を用いて蒸着することができる。

【0059】

次に、層間絶縁膜410の表面が露出するまで金属膜および第1バリア膜をCMP法で研磨してコンタクトホール421を埋めるコンタクト423を形成する。この時、第1バリア膜は、コンタクト423の側壁および底面上に第1バリア膜パターン422として残留するようになる。

【0060】

10

20

30

40

50

図12Cを参照すれば、第1配線用導電膜を層間絶縁膜上に蒸着し、パターニングして第1配線430および拡散防止メタルパターン432aを同時に形成する。ここで、第1配線用導電膜としては、アルミニウムを主に用い、CVD法、スパッタリング法などを用いて蒸着することができる。

【0061】

図面に示してはいないが、第1配線430とコンタクト423との接触特性を良くするために、第1配線用導電膜を蒸着する前にTi/TiNなどで形成された粘着膜(adhesion film)がさらに形成され得る。

【0062】

また、拡散防止メタルパターン432aを第1配線430と同一層に形成すれば、第1配線430と拡散防止メタルパターン432aとの間の間隔が狭いため、精巧なパターニングが求められることがある。このような場合、第1配線用導電膜を蒸着した後、フォトリソグラフィ工程時のアルミニウムの乱反射を防止するためのTi、TiN、またはTi/TiNなどで形成された反射防止膜(anti-reflected coating film)をさらに形成することができる。その後、反射防止膜、第1配線用導電膜、粘着膜を共にパターニングして第1配線および拡散防止メタルパターンを完成することもできる。

【0063】

図12Dを参照すれば、第1配線430、拡散防止メタルパターン432aおよび層間絶縁膜410の全面に第1メタル間絶縁膜450を形成する。第1メタル間絶縁膜450は低誘電率の絶縁物質を用いることができ、本発明の第1実施例ではHDP膜451、PETEOS膜452を順次形成する。このような第1メタル間絶縁膜450には外部イオン、または水分が吸収されていることがある。しかし、拡散防止メタルパターン432aは、拡散されている外部イオン、または水分を遮断し、NMOSおよびPMOS高電圧駆動トランジスタ200、300の動作特性を向上させることができる。

【0064】

また、図2を参照すれば、第1メタル間絶縁膜450上にフォトレジストパターンを形成して、第1配線430を露出させる第1ビアホール461を形成する。第1ビアホール461の側面と底面および層間絶縁膜410の上面のプロファイルに合わせて第2バリア膜を形成する。続いて、第1ビアホール461を十分に埋めるように、第1バリア膜上にCu、Ti、またはWのような導電物質を蒸着して金属膜を形成する。次に、第1メタル間絶縁膜450の表面が露出するまで金属膜および第2バリア膜をCMP法で研磨して第1ビアホール461を埋める第1ビア463を形成する。

【0065】

第1メタル間絶縁膜450上に第2配線470を形成する。続いて、第2メタル間絶縁膜480、第2ビアホール491、第3バリア膜パターン492、第2ビア493を形成する。

【0066】

第2メタル間絶縁膜480上に第3配線495を形成し、第3配線495上に半導体集積回路装置1を保護する保護膜496を形成する。

【0067】

本発明の第1実施例に係る半導体集積回路装置の製造方法から、当業者であれば、第2～第7実施例の製造方法は十分に技術的に類推することができるため、その説明を省略する。

【0068】

本発明に関するより詳細な内容は次の具体的な実験例を通して説明し、ここに記載されていない内容はこの技術分野で熟練した者であれば十分に技術的に類推することができるため説明を省略する。

【0069】

<実験例>

幅/長さが25μm/4μmであるNMOS高電圧駆動トランジスタa、b、cを製造し

10

20

30

40

50

た後、第1配線と同一層に拡散防止メタルパターンを形成しない。反面、幅/長さが $100\mu\text{m}/4\mu\text{m}$ であるNMOS高電圧駆動トランジスタd、幅/長さが $25\mu\text{m}/4\mu\text{m}$ であるNMOS高電圧駆動トランジスタe、fを製造して第1配線と同一層に拡散防止メタルパターンを形成する。

【0070】

続いて、 100°C 以上のストレスの条件下で、ストレス時間に応じるNMOS高電圧駆動トランジスタa～fの閾値電圧 V_{th} の変化を測定して、その結果を図13に示す。

【0071】

図13を参照すれば、x軸はストレス時間を示し、y軸は閾値電圧 V_{th} を示す。拡散防止メタルパターンのないNMOS高電圧駆動トランジスタa、b、cの場合には約10秒より閾値電圧 V_{th} が下がり始める。NMOS高電圧駆動トランジスタbを例にして説明すれば、約10秒までは約 0.61V の閾値電圧を維持して順次下がり始め、結局、約1000秒では約 0.38V の閾値電圧を有するようになる。このように閾値電圧が低くなれば、漏れ電流が増加するようになる。

【0072】

反面、拡散防止メタルパターンのあるNMOS高電圧駆動トランジスタd、e、fの場合には、ストレス時間が増加しても、各々約 0.48V 、 0.59V 、 0.61V の閾値電圧を一定に維持することが分かる。

【0073】

以上、添付した図面を参照して本発明の実施例を説明したが、本発明が属する技術分野で通常の知識を有する者は本発明の技術的思想や必須の特徴を変更せず、他の具体的な形態で実施することができるということを理解できる。したがって、以上で記述した実施例はすべての面で例示的なものであり、限定的ではないものと理解しなければならない。

【産業上の利用可能性】

【0074】

本発明が適用される装置は、高集積回路半導体装置、プロセッサ、MEM's (Micro Electro Mechanical)、光電子(optoelectronic)装置、ディスプレイライバチップなどの微細電子装置である。

【図面の簡単な説明】

【0075】

【図1】本発明の第1実施例に係る半導体集積回路装置のレイアウト図である。

【図2】I I - I I ' に沿って切断した断面図である。

【図3】本発明の第1実施例に係る半導体集積回路装置の効果を説明するための図面である。

【図4】本発明の第2実施例に係る半導体集積回路装置のレイアウト図である。

【図5】V - V ' に沿って切断した断面図である。

【図6】本発明の第3実施例に係る半導体集積回路装置のレイアウト図である。

【図7】V I I - V I I ' に沿って切断した断面図である。

【図8】本発明の第4実施例に係る半導体集積回路装置のレイアウト図である。

【図9】本発明の第5実施例に係る半導体集積回路装置のレイアウト図である。

【図10】本発明の第6実施例に係る半導体集積回路装置の断面図である。

【図11】本発明の第7実施例に係る半導体集積回路装置の断面図である。

【図12A】本発明の第1実施例に係る半導体集積回路装置の製造方法を説明するための断面図である。

【図12B】本発明の第1実施例に係る半導体集積回路装置の製造方法を説明するための断面図である。

【図12C】本発明の第1実施例に係る半導体集積回路装置の製造方法を説明するための断面図である。

【図12D】本発明の第1実施例に係る半導体集積回路装置の製造方法を説明するための断面図である。

10

20

30

40

50

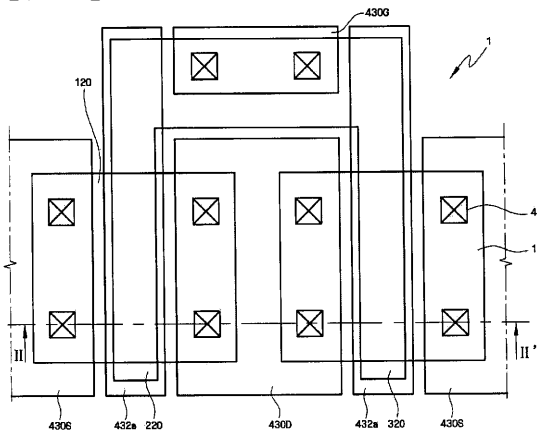
【図 1 3】多数の N M O S 高電圧駆動トランジスタを製造した後、第 1 配線と同一層で拡散防止メタルパターンを形成して閾値電圧の変化を測定した結果を示している図面である。

【符号の説明】

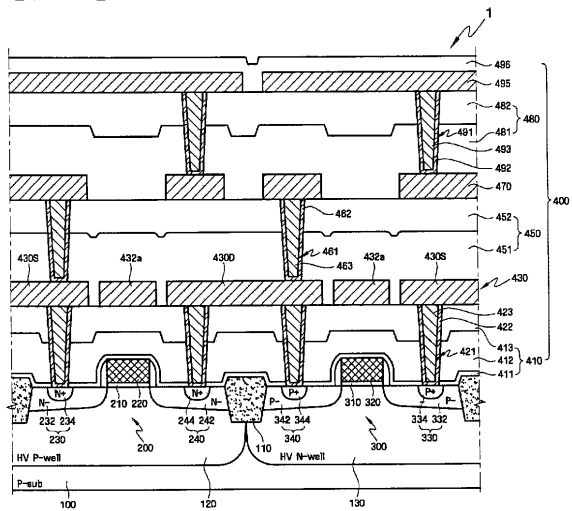
【0 0 7 6】

1 0 0	半導体基板	
1 2 0	P ウェル	
1 3 0	N ウェル	
2 0 0	N M O S 高電圧駆動トランジスタ	
2 1 0	ゲート絶縁膜	10
2 2 0	ゲート配線	
2 3 0	ソース領域	
2 3 2	低濃度不純物領域	
2 3 4	高濃度不純物領域	
2 4 0	ドレーン領域	
3 0 0	P M O S 高電圧駆動トランジスタ	
4 1 0	層間絶縁膜	
4 2 3	コンタクト	
4 3 0	第 1 配線	
4 3 0 S	ソース電圧配線	20
4 3 0 D	ドレーン電圧配線	
4 3 0 G	ゲート電圧配線	
4 3 2 a、4 3 2 b、4 3 2 c、4 3 2 d、4 3 2 e	拡散防止メタルパターン	
4 3 5	酸化膜	
4 4 0	窒化膜	
4 5 0	第 1 メタル間絶縁膜	
4 6 3	第 1 ビア	
4 7 0	第 2 配線	
4 8 0	第 2 メタル間絶縁膜	
4 9 3	第 2 ビア	30
4 9 5	第 3 配線	
4 9 6	保護膜	

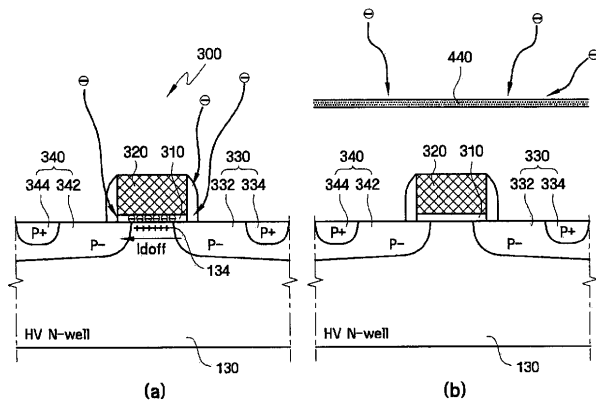
【図 1】



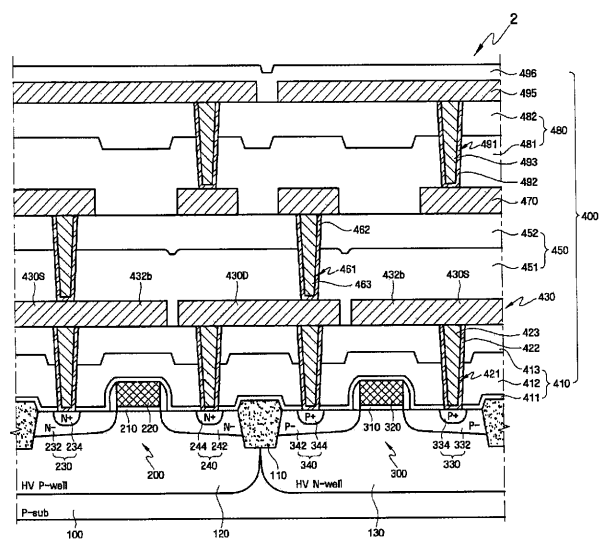
【図 2】



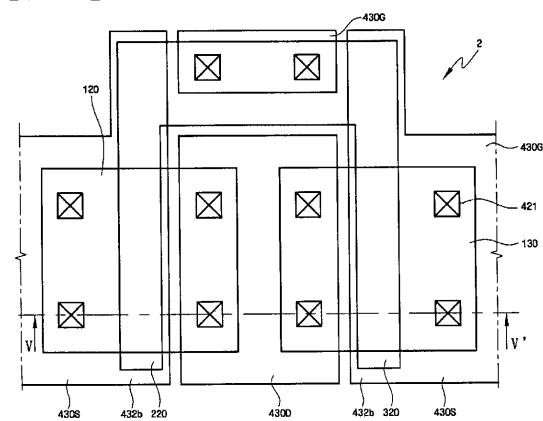
【図 3】



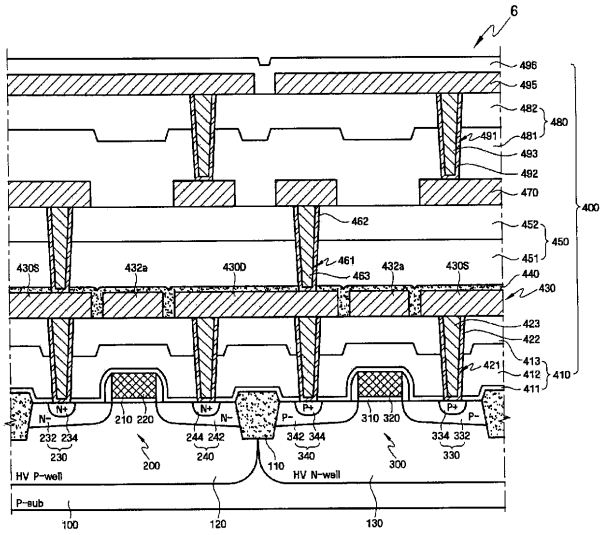
【図 5】



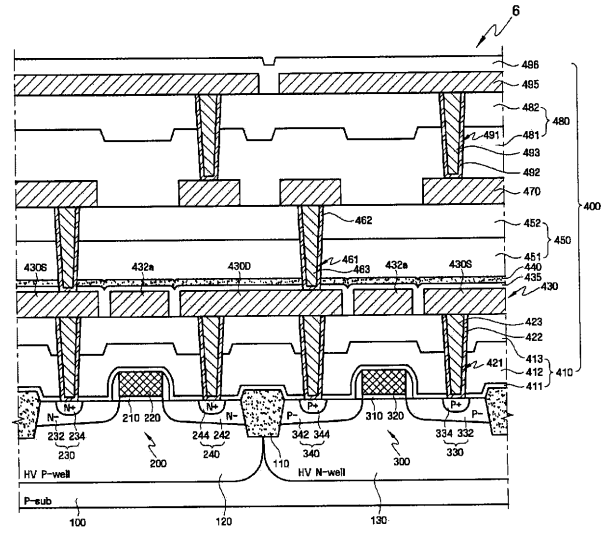
【図 4】



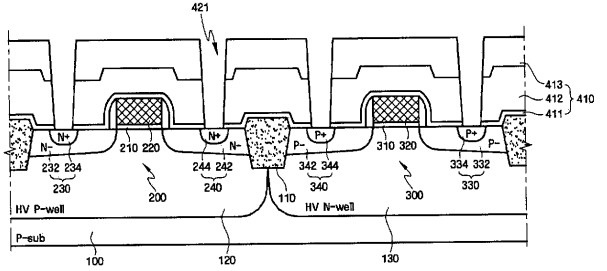
【図 10】



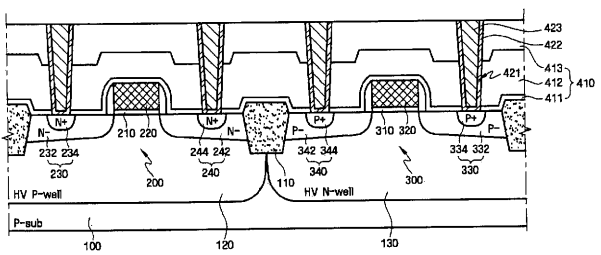
【図 11】



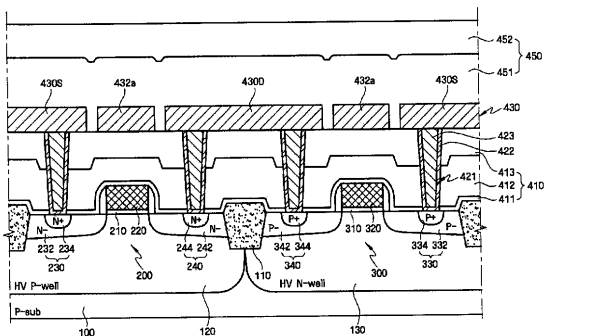
【図 12 A】



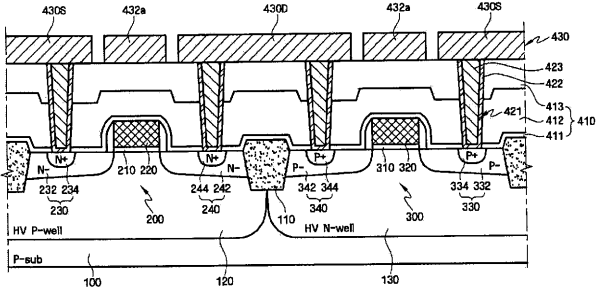
【図 12 B】



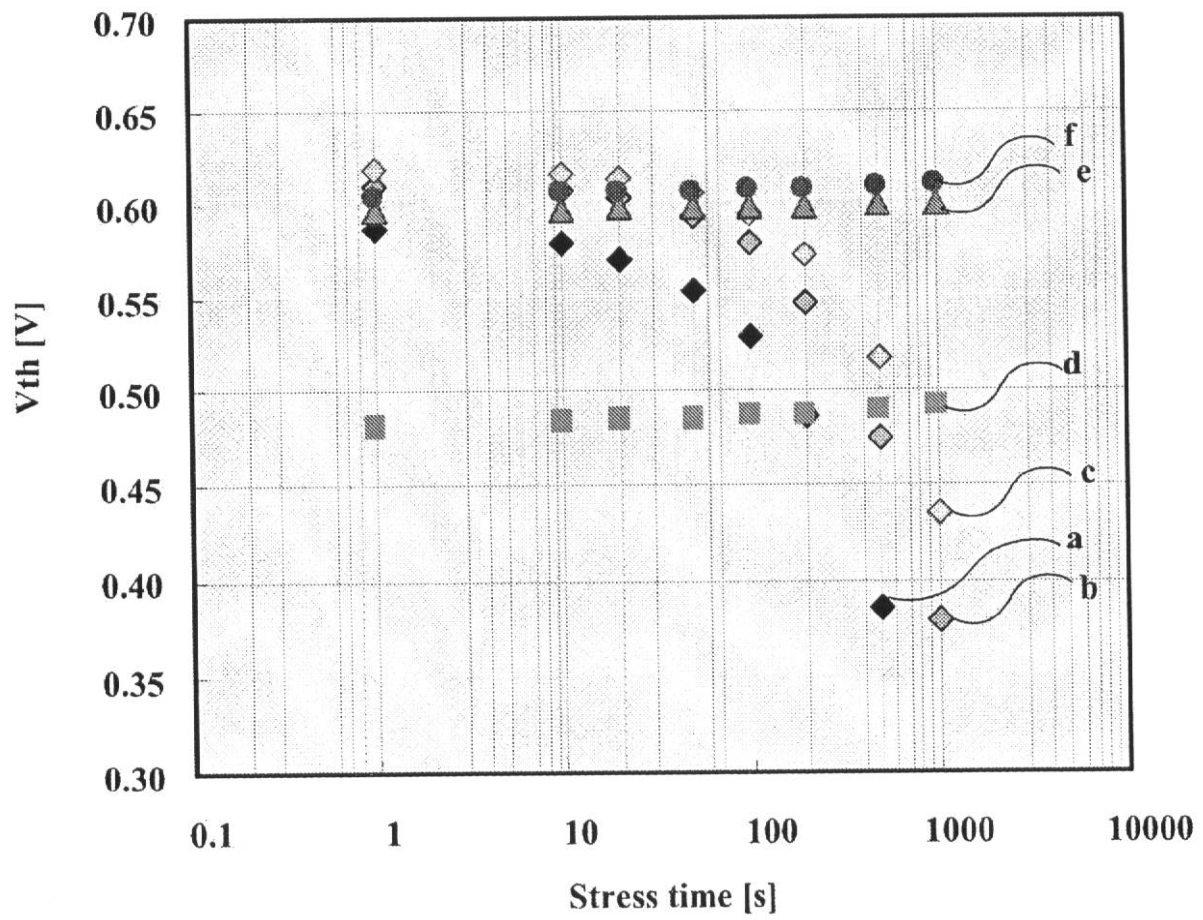
【図 12 D】



【図 12 C】



【図 13】



フロントページの続き

- (72)発明者 張 東烈
大韓民国京畿道水原市靈通區靈通洞 (番地なし) シンナムシル豊林アパート 6 0 5 棟 1 7 0 4 號
- (72)発明者 李 受哲
大韓民国ソウル特別市江南區道谷 1 洞 (番地なし) 驛三韓新アパート 1 棟 6 0 3 號
- (72)発明者 李 泰政
大韓民国京畿道龍仁市駒城邑寶亭里 (番地なし) ポシヨメタウンアパート 2 0 4 棟 3 0 2 號
- (72)発明者 金 ▲ヒョン▼鐵
大韓民国京畿道龍仁市器興區上葛洞 (番地なし) 金華マウル住公アパート 4 0 1 棟 1 8 0 6 號
- F ターム(参考) 5F033 GG02 GG03 GG04 HH08 HH18 HH33 JJ11 JJ18 JJ19 JJ21
JJ32 JJ33 KK01 KK08 KK18 KK33 MM08 MM13 NN06 NN07
PP06 PP15 QQ03 RR04 RR06 RR08 RR11 RR13 RR14 RR15
SS04 SS15 TT02 VV00 XX00 XX28
5F048 AA05 AA07 AC01 AC03 BA01 BB16 BC06 BC07 BE03 BF07
BF12 BF15 BF16 BG12 BG13 DA23
5F140 AA00 AA01 AA06 AA24 AA25 AB03 AC21 AC36 BA01 BA05
BA07 BH15 BH17 BH49 BJ05 BJ07 BJ11 BJ15 BJ17 BJ20
BK25 BK29 BK30 CA02 CA03 CA06 CB01 CB04 CB08 CC01
CC02 CC03 CC05 CC06 CC07 CC13 CC15 CD00 CE07