

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 6월 30일 (30.06.2016)



(10) 국제공개번호
WO 2016/105043 A1

- (51) 국제특허분류:
H01L 23/32 (2006.01) *H01L 23/28* (2006.01)
- (21) 국제출원번호: PCT/KR2015/014007
- (22) 국제출원일: 2015년 12월 21일 (21.12.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0186421 2014년 12월 22일 (22.12.2014) KR
- (71) 출원인: 주식회사 두산 (DOOSAN CORPORATION)
[KR/KR]; 04563 서울시 중구 장충단로 275, Seoul (KR).
- (72) 발명자: 이규진 (LEE, Kyu Jin); 16861 경기도 용인시 수지구 포은대로 231 205 동 504 호, Gyeonggi-do (KR).
윤태성 (YOUN, Tae Sung); 31161 충청남도 천안시 서북구 봉서산 1길 35 125 동 201 호, Chungcheongnam-do (KR).
나재익 (NA, Jea Ik); 16858 경기도 용인시 수지구 수지로 112 번길 10 두산기술원, Gyeonggi-do (KR).
노우현 (NOH, Woo Hyun); 13943 경기도 안양시 동안구 안양판교로 42 108 동 1802 호, Gyeonggi-do (KR).
이준호 (LEE, Jun Ho); 16858 경기도 용인시 수지구 수지로 112 번길 10 두산기술원, Gyeonggi-do (KR).
- (74) 대리인: 특허법인 한벗 (HANBEOT PATENT & LAW FIRM); 03737 서울시 서대문구 충정로 7 구세군빌딩 15층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

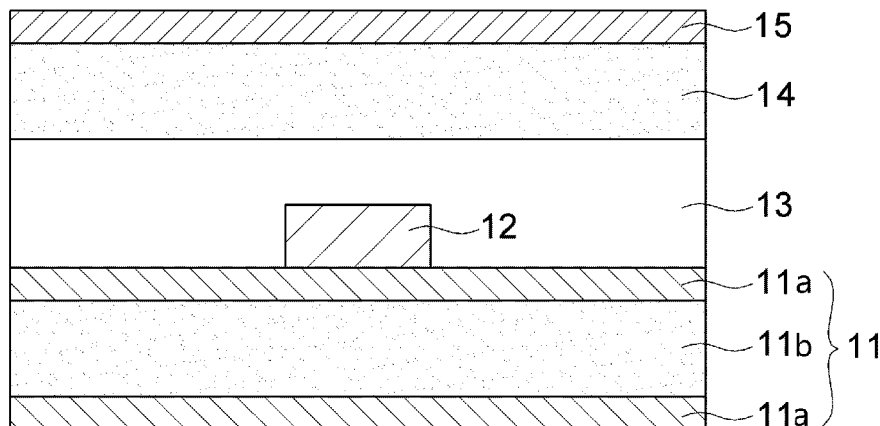
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: SEMICONDUCTOR PACKAGE

(54) 발명의 명칭 : 반도체 패키지



(57) Abstract: The present invention relates to a semiconductor package. The semiconductor package of the present invention comprises: a substrate including a circuit layer and an insulation layer; a semiconductor chip mounted on the substrate; a resin layer sealing the semiconductor chip; a protective layer stacked on the resin layer; and a metal layer stacked on the protective layer.

(57) 요약서: 본 발명은 반도체 패키지에 관한 것으로, 본 발명의 반도체 패키지는 회로층과 절연층을 포함하는 기판; 상기 기판 상에 실장되는 반도체 칩; 상기 반도체 칩을 밀봉하는 수지층; 상기 수지층 상에 적층되는 보호층; 및 상기 보호층 상에 적층되는 금속층을 포함한다.



WO 2016/105043 A1

명세서

발명의 명칭: 반도체 패키지

기술분야

- [1] 본 발명은 기판 상에 반도체 칩이 패키징된 반도체 패키지에 관한 것이다.

배경기술

- [2] 반도체 칩은 주로 에폭시 봉지재(Epoxy mold compound)를 이용하여 패키징된다. 즉, 반도체 칩을 기판 상에 실장하고, 회로 단자들을 연결한 후 금형(성형기)에 투입한 다음 에폭시 봉지재(epoxy mold compound)를 금형에 주입한 후 경화시키는 방법으로 반도체 칩을 패키징한다. 이와 같이 반도체 칩이 봉지재에 의해 기판에 패키징된 것을 반도체 패키지라고 한다.
- [3] 반도체 패키지는 최근 휴대 기기가 발달함에 따라 초박판화 및 초소형화가 요구되고 있다. 이에 따라 반도체 패키지의 초박판화 및 초소형화를 위한 기술들이 개발되고 있으나, 반도체 패키지의 초박판화에 의해 반도체 패키지의 휨(warpage)이 발생하는 문제점이 있었다.
- [4] 즉, 반도체 패키지의 두께가 얇아짐과 동시에 기판을 이루는 물질, 반도체 칩, 에폭시 봉지재가 서로 상이한 성분(구체적으로, 열팽창계수가 서로 다른 성분)으로 이루어져 있어, 반도체 패키지를 제조하거나 제조된 반도체 패키지를 인쇄회로기판에 실장할 때 반도체 패키지가 휘는 문제점이 발생하는 것이다.
- [5] 또한 반도체 패키지의 초박판화 및 초소형화에 의해 반도체 패키지의 방열성 및 전자파 차폐성도 떨어지는 문제점이 발생하였다.

발명의 상세한 설명

기술적 과제

- [6] 상기한 문제점을 해결하기 위해 본 발명은 휨 현상이 최소화되며, 방열성 및 전자파 차폐성이 우수한 반도체 패키지를 제공하는 것을 목적으로 한다.

과제 해결 수단

- [7] 상기한 목적을 달성하기 위해 본 발명은 회로층과 절연층을 포함하는 기판; 상기 기판 상에 실장되는 반도체 칩; 상기 반도체 칩을 밀봉하는 수지층; 상기 수지층 상에 적층되는 보호층; 및 상기 보호층 상에 적층되는 금속층을 포함하고, 상기 절연층은 제1 섬유기재에 제1 수지가 함침된 제1 복합기재이고, 상기 보호층은 제2 섬유기재에 제2 수지가 함침된 제2 복합기재인 반도체 패키지를 제공한다.
- [8] 또한 본 발명은 서포트 웨이퍼; 상기 서포트 웨이퍼 상에 실장되는 반도체 칩; 상기 반도체 칩을 밀봉하는 수지층; 및 상기 수지층 상에 적층되는 금속층을 포함하는 반도체 패키지도 제공한다.

발명의 효과

- [9] 본 발명에 따른 반도체 패키지는 반도체 칩을 밀봉하는 수지층을 중심으로

보호층과 기판의 절연층이 각각 섬유기재에 수지가 함침된 복합기재로 이루어져 반도체 패키지 구조의 대칭성이 확보되기 때문에 반도체 패키지의 휨 현상이 최소화될 수 있다.

- [10] 또한 본 발명에 따른 반도체 패키지는 금속층이 구비되어 있기 때문에 방열성 및 전자파 차폐성이 우수하다.

도면의 간단한 설명

- [11] 도 1은 본 발명의 일례에 따른 반도체 패키지의 단면도이다.
[12] 도 2는 본 발명의 다른 일례에 따른 반도체 패키지의 단면도이다.

발명의 실시를 위한 형태

- [13] 이하, 본 발명을 설명한다.

[14]

[15] <제1 반도체 패키지>

- [16] 도 1을 참조하면, 본 발명의 일례에 따른 반도체 패키지는 기판(11), 반도체 칩(12), 수지층(13), 보호층(14) 및 금속층(15)을 포함한다.

[17]

- [18] *본 발명의 일례에 따른 반도체 패키지에 포함되는 기판(11)은 회로층(11a)과 절연층(11b)을 포함한다. 상기 기판(11)에 포함되는 회로층(11a)은 전도성 금속으로 이루어져 있으며, 반도체 칩(12)과 전기적으로 연결된다. 여기서 회로층(11a)을 형성하기 위한 전도성 금속으로 사용 가능한 물질은 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로 알루미늄(Al), 구리(Cu), 주석(Sn), 금(Au), 은(Ag) 또는 이들의 합금 등을 들 수 있다. 상기 기판(11)에 포함되는 절연층(11b)은 제1 섬유기재에 제1 수지가 함침된 제1 복합기재(구체적으로, 제1 프리프레그)로 이루어지는데, 이에 대해서는 후술하기로 한다.

- [19] 한편 상기 기판(11)의 두께는 특별히 한정되지 않으나, 반도체 패키지의 두께 및 물성을 고려할 때, 60 내지 250 μ m인 것이 바람직하다.

- [20] 본 발명의 일례에 따른 반도체 패키지에 포함되는 반도체 칩(12)은 당업계에 공지된 재료 및 구조로 이루어진 것이라면 특별히 한정되지 않으나, 비제한적인 예로, wire bonding 구조, flip chip 구조, 또는 through silicon via 구조 등을 들 수 있다.

- [21] 본 발명의 일례에 따른 반도체 패키지에 포함되는 수지층(13)은 반도체 칩(12)을 외부로부터 보호하기 위해 반도체 칩(12)을 밀봉한다. 이러한 수지층(13)을 형성하기 위한 물질은 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로 에폭시 수지를 포함하는 몰드 조성물을 들 수 있다.

- [22] 본 발명의 일례에 따른 반도체 패키지에 포함되는 보호층(14)은 수지층(13) 상에 적층되어 수지층(13)을 보호함과 동시에 반도체 패키지의 휨(Warpage)을 제어한다. 즉, 보호층(14)은 제2 섬유기재에 제2 수지가 함침된 제2

복합기재(구체적으로, 제2 프리프레그)로 이루어져 상기 절연층(11b)을 이루는 제1 복합기재와 구조 및 물성이 동일하기 때문에 반도체 패키지의 휨 현상이 최소화될 수 있다.

- [23] 종래에는 반도체 칩을 보호하기 위해 반도체 칩이 실장된 기판을 금형에 투입한 후 고온에서 액상이 되는 에폭시 봉지재를 금형에 주입하는 몰딩 방식으로 반도체 패키지를 제조하였다. 그러나, 이러한 반도체 패키지의 경우에 에폭시 봉지재가 기판을 이루는 물질과 구조 및 물성이 상이하여 패키지의 내부 응력이 불균일하기 때문에 반도체 패키지가 휘어지는 문제점이 있었다.
- [24] 그러나 본 발명은 수지층(13) 상에 적층되는 보호층(14)과 기판(11)의 절연층(11b)에 구조 및 물성이 동일한 제1 복합기재와 제2 복합기재를 각각 적용함으로써 보호층(14)과 기판(11)을 이루는 물질 간의 대칭성이 높아져 반도체 패키지의 휨 현상이 최소화될 수 있다.
- [25] 또한 절연층(11b)과 보호층(14)이 각각 제1 복합기재와 제2 복합기재일 경우 제1 복합기재와 제2 복합기재 각각에 포함된 제1 섬유기재와 제2 섬유기재에 의해 반도체 패키지의 기계적 강도가 높아지기 때문에 이로 인해서도 반도체 패키지의 휨 현상을 개선할 수 있다.
- [26] 여기서 절연층(11b)인 제1 복합기재를 이루는 제1 섬유기재와, 보호층(14)인 제2 복합기재를 이루는 제2 섬유기재는 각각 무기 섬유 또는 유기 섬유일 수 있다. 상기 무기 섬유는 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로 유리 섬유를 들 수 있다. 또한, 상기 유기 섬유도 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로 탄소섬유, 폴리파라페닐렌벤조비스옥사졸(PBO) 섬유, 아라미드섬유, 폴리피리도비스이미다졸(PIPD) 섬유, 폴리벤조티아졸(PBZT) 섬유 및 폴리아릴레이트(PAR) 섬유 등을 들 수 있다. 여기서 제1 복합기재와 제2 복합기재의 제조효율 및 반도체 패키지의 물성 등을 고려할 때, 제1 섬유기재와 제2 섬유기재는 모두 유리 섬유인 것이 바람직하다.
- [27] 또한 절연층(11b)인 제1 복합기재를 이루는 제1 수지와, 보호층(14)인 제2 복합기재를 이루는 제2 수지는 각각 열경화성 수지 또는 열가소성 수지일 수 있다. 상기 열경화성 수지는 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로, 에폭시 수지, 페놀 수지, 우레아 수지, 불포화 폴리에스테르 수지 등을 들 수 있다.
- [28] 이러한 보호층(14)의 두께는 특별히 한정되지 않으나, 반도체 패키지의 두께 및 물성을 고려할 때, 5 내지 80 μm 인 것이 바람직하다.
- [29] 본 발명의 일례에 따른 반도체 패키지에 포함되는 금속층(15)은 보호층(14) 상에 적층되어 반도체 패키지에서 발생하는 열을 외부로 방출시키고, 전자파를 차폐한다. 이러한 금속층(15)을 형성하기 위한 물질은 특별히 한정되지 않으나, 반도체 패키지의 방열성 및 전자파 차폐성을 고려할 때, 구리, 니켈, 알루미늄, 그래핀 및 그라파이트로 이루어진 군에서 선택된 1종 이상을 포함하는 것이

바람직하다. 구체적으로, 금속층(15)은 구리층, 표면이 니켈로 코팅된 구리층, 표면이 이형 에폭시 수지로 코팅된 알루미늄층(separate aluminum)인 것이 더욱 바람직하다. 이와 같은 금속층(15)의 두께는 특별히 한정되지 않으나, 반도체 패키지의 두께 및 물성을 고려할 때, 2 내지 50 μ m인 것이 바람직하다.

[30] 한편 본 발명의 일례에 따른 반도체 패키지는 보호층(14)과 금속층(15)의 결합력을 높이기 위해 보호층(14)과 금속층(15) 사이에 점착층(미도시)을 더 포함할 수 있다.

[31] 이러한 본 발명의 일례에 따른 반도체 패키지의 제조방법은 특별히 한정되지 않으나, 다음과 같은 과정을 통해 제조할 수 있다.

[32] 먼저, 회로층(11a)과 절연층(11b)을 포함하는 기판(11) 상에 반도체 칩(12)을 실장하여 반도체 칩(12)을 기판(11)과 전기적으로 연결한다. 반도체 칩(12)을 실장하고 전기적으로 연결하는 방법은 당업계에 공지된 것이라면 특별히 한정되지 않는다.

[33] 다음 제2 복합기재인 보호층(14)의 양 면에 금속층(15)을 각각 배치하고 가압한 후 한 면을 에칭하여 금속층(15)이 결합된 보호층(14)을 제조한다. 여기서 금속층(15)은 그 표면에 조도를 형성시키거나 앵커기(ANCHOR GROUP)를 도입하여 보호층(14)과의 결합력을 높일 수 있다.

[34] 이후 반도체 칩(12)이 실장된 기판(11)과 금속층(15)이 결합된 보호층(14)을 몰드에 투입하고, 몰드 조성물을 주입 및 경화시켜 수지층(13)을 형성함과 동시에 반도체 칩(12)이 실장된 기판(11)과 금속층(15)이 결합된 보호층(14)을 결합시킨다.

[35] 이와 같은 본 발명의 일례에 따른 반도체 패키지는 기판(11)의 절연층(11b)과 보호층(14)이 각각 제1 복합기재 및 제2 복합기재로 이루어져 있어 반도체 패키지의 대칭성이 확보되고 기계적 강도가 높아지기 때문에 패키지의 휨 현상이 최소화될 수 있다. 또한 보호층(14) 상에 금속층(15)이 적층되어 있어 방열성 및 전자파 차폐성이 강화되기 때문에 반도체 패키지의 수명 및 특성도 향상될 수 있다.

[36]

[37] <제2 반도체 패키지>

[38] 도 2를 참조하면, 본 발명의 다른 일례에 따른 반도체 패키지는 서포트 웨이퍼(support wafer)(21), 반도체 칩(22), 수지층(23) 및 금속층(24)을 포함한다.

[39] 본 발명의 다른 일례에 따른 반도체 패키지에 포함되는 서포트 웨이퍼(21)는 반도체 칩(22)을 실장하기 위한 것으로, 실리콘 기판이다.

[40] 본 발명의 다른 일례에 따른 반도체 패키지에 포함되는 반도체 칩(22)은 당업계에 공지된 재료 및 구조로 이루어진 것이라면 특별히 한정되지 않으나, 비제한적인 예로, through silicon via 구조, 또는 wafer level chip 구조 등을 들 수 있다.

[41] 본 발명의 다른 일례에 따른 반도체 패키지에 포함되는 수지층(23)은 반도체

칩(22)을 외부로부터 보호하기 위해 반도체 칩(22)을 밀봉한다. 이러한 수지층(23)을 형성하기 위한 물질은 당업계에 공지된 것이라면 특별히 한정되지 않으나, 비제한적인 예로 에폭시 수지를 포함하는 몰드 조성물을 들 수 있다.

- [42] 본 발명의 다른 일례에 따른 반도체 패키지에 포함되는 금속층(24)은 수지층(23) 상에 적층되어 반도체 패키지에서 발생하는 열을 외부로 방출시키고, 전자파를 차폐한다. 이러한 금속층(24)을 형성하기 위한 물질은 특별히 한정되지 않으나, 반도체 패키지의 방열성 및 전자파 차폐성을 고려할 때, 구리, 니켈, 알루미늄, 그래핀 및 그라파이트로 이루어진 군에서 선택된 1종 이상을 포함하는 것이 바람직하다. 구체적으로, 금속층(24)은 구리층, 표면이 니켈로 코팅된 구리층, 표면이 이형 에폭시 수지로 코팅된 알루미늄층(separate aluminum)인 것이 더욱 바람직하다. 이와 같은 금속층(24)의 두께는 특별히 한정되지 않으나, 반도체 패키지의 두께 및 물성을 고려할 때, 2 내지 50 μm 인 것이 바람직하다.

- [43] 한편 본 발명의 다른 일례에 따른 반도체 패키지는 수지층(23)과 금속층(24)의 결합력을 높이기 위해 수지층(23)과 금속층(24) 사이에 점착층(미도시)을 더 포함할 수 있다.

[44]

- [45] 이하 본 발명을 실시예를 통해 구체적으로 설명하나, 하기 실시예 및 실험예는 본 발명의 한 형태를 예시하는 것에 불과할 뿐이며, 본 발명의 범위가 하기 실시예 및 실험예에 의해 제한되는 것은 아니다.

[46]

- [47] [실시예 1] 반도체 패키지 제조

- [48] 먼저, 열팽창 계수가 15ppm이고, 두께가 150 μm 인 기판(기판에 포함된 절연층은 하기 보호층과 동일한 성분으로 이루어짐)에 DAF(Die attach film)(Henkel, ATB-100)을 이용하여 반도체 칩을 부착하였다.

- [49] 다음, 두께가 30 μm 인 T 유리 섬유(쥬넛토 방적, #1035)에 고형분 농도가 65중량%인 수지 조성물을 함침시킨 후 175°C에서 5분간 건조하여 두께가 50 μm 인 보호층을 형성하였다. 사용된 수지 조성물의 성분은 하기 표 1과 같다.

[50] [표1]

성분	함량(중량%)
비스 말레이미드(BMI-2300, Daiwakasei)	9.5
제1 에폭시 수지(YX-8000, Japan Epoxy Resin)	8
제2 에폭시 수지(HP-4710, DIC)	9.2
경화제(KPE-3110, Kolon)	13
평균 입경 $0.5\mu\text{m}$ 인 구상 실리카(SC2050, (주) 아드마텍스)	60
경화촉진제(1B2PZ, Shikoku)	0.3
합계	100

[51] 그 다음, 형성된 보호층의 양 면에 두께가 $12\mu\text{m}$ 인 구리층을 각각 배치하고, 210°C 에서 150분 동안 면압 $30\text{kg}/\text{cm}^2$ 를 가하여 구리층이 피복된 적층판을 제조하였으며, 제조된 적층판의 한 면을 에칭하여 구리층이 결합된 보호층을 얻었다.

[52] 이후, 반도체 칩이 부착된 기판과, 구리층이 결합된 보호층을 Compressor mold에 투입하고 몰드 조성물(KCC, 5900GJ)을 주입한 후 200°C 에서 2분 동안 경화시켜 두께가 $300\mu\text{m}$ 인 수지층을 형성시킴과 동시에 반도체 칩이 부착된 기판과 구리층이 결합된 보호층을 결합시켰다.

[53] 마지막으로 180°C 에서 2시간 동안 추가로 경화시켜 두께가 $512\mu\text{m}$ 인 반도체 패키지를 제조하였다.

[54]

[55] [실시예 2]

[56] 구리층 대신에 니켈이 코팅된 구리층을 적용한 것을 제외하고는 실시예 1과 동일한 방법을 적용하여, 두께가 $512\mu\text{m}$ 인 반도체 패키지를 제조하였다.

[57]

[58] [실시예 3]

[59] 구리층 대신에 알루미늄층을 적용한 것을 제외하고는 실시예 1과 동일한 방법을 적용하여, 두께가 $512\mu\text{m}$ 인 반도체 패키지를 제조하였다.

[60]

[61] [실시예 4]

[62] 먼저, 두께가 $150\mu\text{m}$ 인 실리콘 서포트 웨이퍼에 DAF(Die attach film)(Henkel, ATB-100)을 이용하여 반도체 칩을 부착하였다.

[63] 다음, 반도체 칩이 부착된 기판과, 두께가 $12\mu\text{m}$ 인 구리층을 Compressor mold에 투입하고 몰드 조성물(KCC, 5900GJ)을 주입한 후 200°C 에서 2분 동안 경화시켜 두께가 $300\mu\text{m}$ 인 수지층을 형성시킴과 동시에 반도체 칩이 부착된 기판과 구리층을 결합시켰다.

- [64] 마지막으로 180°C에서 2시간 동안 추가로 경화시켜 두께가 462 μm 인 반도체 패키지를 제조하였다.
- [65]
- [66] [실시예 5]
- [67] 구리층 대신에 니켈이 코팅된 구리층을 적용한 것을 제외하고는 실시예 4와 동일한 방법을 적용하여, 두께가 462 μm 인 반도체 패키지를 제조하였다.
- [68]
- [69] [실시예 6]
- [70] 구리층 대신에 알루미늄층을 적용한 것을 제외하고는 실시예 4와 동일한 방법을 적용하여, 두께가 462 μm 인 반도체 패키지를 제조하였다.
- [71]
- [72] [비교예 1]
- [73] 보호층과 구리층을 적용하지 않고, 수지층을 362 μm 두께로 형성시킨 것을 제외하고는 실시예 1과 동일한 방법을 적용하여, 두께가 512 μm 인 반도체 패키지를 제조하였다.
- [74]
- [75] [비교예 2]
- [76] 금속층을 적용하지 않고 수지층을 312 μm 두께로 형성시킨 것을 제외하고는 실시예 4와 동일한 방법을 적용하여, 두께가 462 μm 인 반도체 패키지를 제조하였다.
- [77]
- [78] [실험예] 반도체 패키지의 물성 평가
- [79] 실시예 1 내지 6과, 비교예 1 및 2에서 제조된 반도체 패키지의 물성을 하기와 같은 방법으로 평가하였으며, 그 결과를 하기 표 2에 나타내었다.
- [80] 1. 반도체 휨 현상: 열 이력에 따른 반도체 패키지의 휨 현상을 측정하기 위하여 TherMoire AXP System 장비를 사용하여 휨 현상을 측정하였다. 측정 수치의 기준은 온도 profile에 따른 승온 냉각 후 상온에서의 휨 높이를 측정하였으며, 온도 profile은 JEDEC의 JESD22B112 Warpage Specification 기준을 참조하였다.
- [81] 2. 열전도율: 30°C에서 NETZSCH의 LFA Analys를 사용하여 측정하였다.
- [82] 3. 전자파 차폐율: 신호 발생기(Signal Generator)에서 발생된 전자파가 시료 홀더에 있는 시료에 투과되어 나오는 전자파를 수신기에서 측정한 후 ASTM D-4935에서 규정한 EMI 시스템을 이용하여 전자파 차폐율을 평가하였다.
- [83]

[84] [표2]

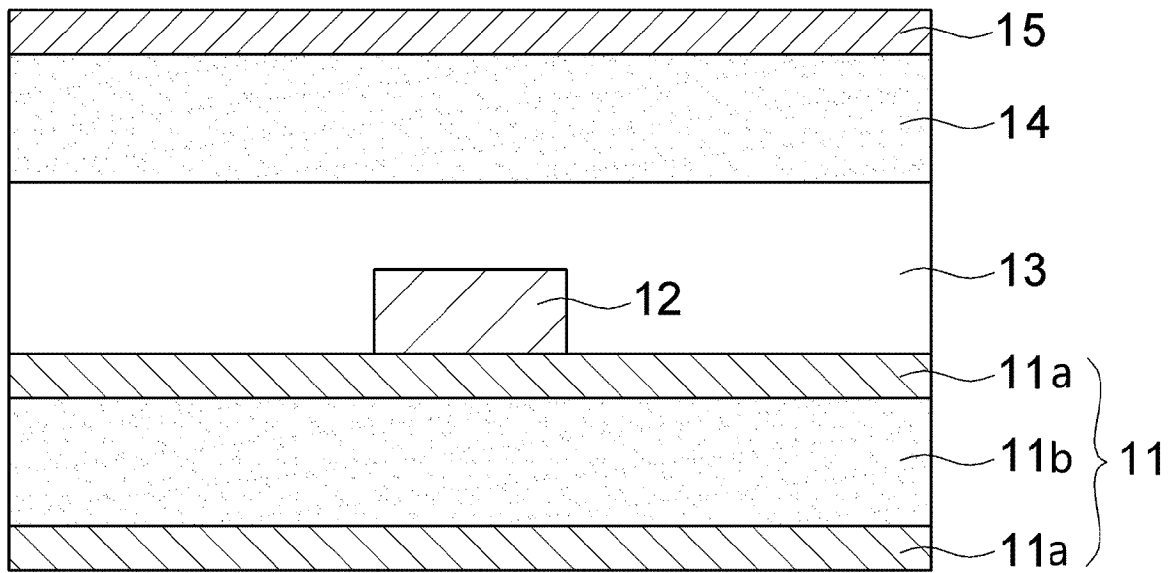
	실시예 1	실시예2	실시예3	실시예4	실시예5	실시예 6	비교예1	비교예 2
반도체 휼 현상	36	36	32	34	33	30	58	46
열전도 율	○	○	⊙	○	○	⊙	△	△
전자파 차폐율	⊙	⊙	⊙	⊙	⊙	⊙	△	△
⊙: 매우 우수 / ○: 우수 / △: 보통								

[85] 상기 표 2를 참조하면, 본 발명에 따른 반도체 패키지는 휼 현상이 적고, 열전도율 및 전자파 차폐율이 우수한 것을 확인할 수 있다.

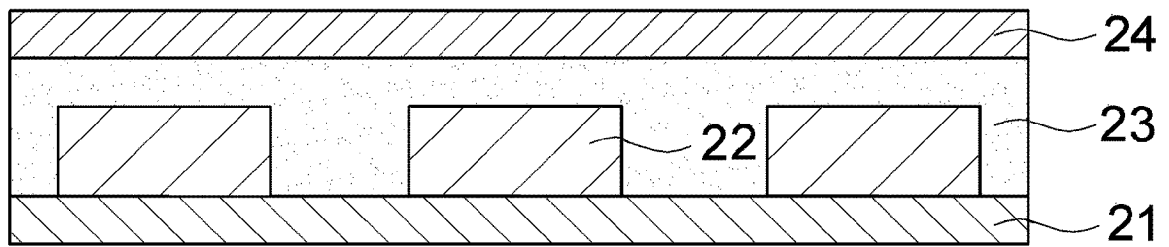
청구범위

- [청구항 1] 회로층과 절연층을 포함하는 기판;
 상기 기판 상에 실장되는 반도체 칩;
 상기 반도체 칩을 밀봉하는 수지층;
 상기 수지층 상에 적층되는 보호층; 및
 상기 보호층 상에 적층되는 금속층을 포함하고,
 상기 절연층은 제1 섬유기재에 제1 수지가 함침된 제1 복합기재이고,
 상기 보호층은 제2 섬유기재에 제2 수지가 함침된 제2 복합기재인 반도체 패키지.
- [청구항 2] 제1항에 있어서,
 상기 보호층의 두께가 5 내지 80 μm 인 반도체 패키지.
- [청구항 3] 제1항에 있어서,
 상기 금속층의 두께가 2 내지 50 μm 인 반도체 패키지.
- [청구항 4] 제1항에 있어서,
 상기 금속층이 구리, 니켈, 알루미늄, 그래핀 및 그라파이트로 이루어진 군에서 선택된 1종 이상을 포함하는 반도체 패키지.
- [청구항 5] 서포트 웨이퍼;
 상기 서포트 웨이퍼 상에 실장되는 반도체 칩;
 상기 반도체 칩을 밀봉하는 수지층; 및
 상기 수지층 상에 적층되는 금속층을 포함하는 반도체 패키지.
- [청구항 6] 제5항에 있어서,
 상기 금속층이 구리, 니켈, 알루미늄, 그래핀 및 그라파이트로 이루어진 군에서 선택된 1종 이상을 포함하는 반도체 패키지.

[도1]



[도2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/014007**A. CLASSIFICATION OF SUBJECT MATTER****H01L 23/32(2006.01)i, H01L 23/28(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/32; H01L 23/31; H01L 21/60; H01L 23/34; H01L 23/48; H01L 23/02; H01L 23/29; H01L 23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: substrate, package, resin, protection, metal, chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2014-0076887 A (DOOSAN CORPORATION) 23 June 2014 See abstract, paragraphs [0018]-[0028], claim 1 and figure 1.	1-6
Y	JP 2005-057126 A (ROHM CO., LTD.) 03 March 2005 See abstract, paragraphs [0010]-[0014] and figures 1-2.	1-6
Y	KR 10-2011-0001186 A (HYNIX SEMICONDUCTOR INC.) 06 January 2011 See abstract, paragraphs [0032]-[0033], claims 8-9 and figures 1a-2.	3
A	KR 10-2011-0040100 A (HYNIX SEMICONDUCTOR INC.) 20 April 2011 See abstract, paragraphs [0034]-[0046] and figure 1.	1-6
A	KR 10-2008-0102022 A (SAMSUNG ELECTRONICS CO., LTD.) 24 November 2008 See abstract, paragraphs [0015]-[0026] and figures 1a-1h.	1-6

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 APRIL 2016 (25.04.2016)

Date of mailing of the international search report

25 APRIL 2016 (25.04.2016)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/014007

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0076887 A	23/06/2014	NONE	
JP 2005-057126 A	03/03/2005	CN 1619808 A	25/05/2005
		JP 2005-057125 A	03/03/2005
		KR 10-2005-0016087 A	21/02/2005
		TW 1346369 B	01/08/2011
		US 2005-0212148 A1	29/09/2005
		US 2007-0063334 A1	22/03/2007
		US 2007-0120236 A1	31/05/2007
KR 10-2011-0001186 A	06/01/2011	NONE	
KR 10-2011-0040100 A	20/04/2011	KR 10-1123799 B1	12/03/2012
KR 10-2008-0102022 A	24/11/2008	US 2008-0284017 A1	20/11/2008

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/32(2006.01)i, H01L 23/28(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/32; H01L 23/31; H01L 21/60; H01L 23/34; H01L 23/48; H01L 23/02; H01L 23/29; H01L 23/28

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 기관, 패키지, 수지, 보호, 금속, 칩

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2014-0076887 A (주식회사 두산) 2014.06.23 요약, 단락 [0018]-[0028], 청구항 1 및 도면 1 참조.	1-6
Y	JP 2005-057126 A (ROHM CO., LTD.) 2005.03.03 요약, 단락 [0010]-[0014] 및 도면 1-2 참조.	1-6
Y	KR 10-2011-0001186 A (주식회사 하이닉스반도체) 2011.01.06 요약, 단락 [0032]-[0033], 청구항 8-9 및 도면 1a-2 참조.	3
A	KR 10-2011-0040100 A (주식회사 하이닉스반도체) 2011.04.20 요약, 단락 [0034]-[0046] 및 도면 1 참조.	1-6
A	KR 10-2008-0102022 A (삼성전자주식회사) 2008.11.24 요약, 단락 [0015]-[0026] 및 도면 1a-1h 참조.	1-6

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 04월 25일 (25.04.2016)

국제조사보고서 발송일

2016년 04월 25일 (25.04.2016)

ISA/KR의 명칭 및 우편주소

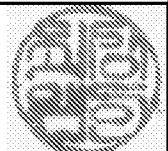
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0076887 A	2014/06/23	없음	
JP 2005-057126 A	2005/03/03	CN 1619808 A JP 2005-057125 A KR 10-2005-0016087 A TW I346369 B US 2005-0212148 A1 US 2007-0063334 A1 US 2007-0120236 A1	2005/05/25 2005/03/03 2005/02/21 2011/08/01 2005/09/29 2007/03/22 2007/05/31
KR 10-2011-0001186 A	2011/01/06	없음	
KR 10-2011-0040100 A	2011/04/20	KR 10-1123799 B1	2012/03/12
KR 10-2008-0102022 A	2008/11/24	US 2008-0284017 A1	2008/11/20