

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5322668号
(P5322668)

(45) 発行日 平成25年10月23日 (2013.10.23)

(24) 登録日 平成25年7月26日 (2013.7.26)

(51) Int.Cl.	F I
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1
HO 1 L 27/11 (2006.01)	HO 1 L 21/30 5 7 0
HO 1 L 21/027 (2006.01)	

請求項の数 3 (全 12 頁)

(21) 出願番号	特願2009-10653 (P2009-10653)	(73) 特許権者	000003078
(22) 出願日	平成21年1月21日 (2009.1.21)		株式会社東芝
(65) 公開番号	特開2010-171106 (P2010-171106A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年8月5日 (2010.8.5)	(74) 代理人	100117787
審査請求日	平成23年5月19日 (2011.5.19)		弁理士 勝沼 宏仁
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100118843
			弁理士 赤岡 明
		(74) 代理人	100108785
			弁理士 箱崎 幸雄

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法およびフォトマスク

(57) 【特許請求の範囲】

【請求項 1】

第1および第2の領域を有する半導体基板上にマスク材を形成する工程と、
 前記第1の領域の前記マスク材上に芯材をパターン形成する工程と、
 前記芯材の両側面に側壁マスクを形成した後、前記芯材を除去する工程と、
 前記芯材を除去した後、前記第1の領域の前記マスク材に前記側壁マスクのパターンを
 転写する工程と、

前記第1の領域の前記側壁マスクのパターンを転写された前記マスク材のトリミングと、
 前記第2の領域の前記マスク材への所定のパターンの形成とを同時に行う工程と、
 を含み、

前記芯材のパターン形成は、クリティカルデザインレベルのフォトマスクを用いたフォ
 トリソグラフィ技術を用いて行われ、

前記第1の領域の前記マスク材への前記側壁マスクのパターンの転写は、ノンクリティ
 カルデザインレベルのフォトマスクを用いたフォトリソグラフィ技術を用いて前記第2の
 領域の前記マスク材上に前記所定のパターンよりも大きいパターンを有するレジスト膜を
 形成した後、前記レジスト膜をマスクとして用いたエッチングにより行われ、

前記第1の領域の前記側壁マスクのパターンを転写された前記マスク材のトリミングと、
 前記第2の領域の前記マスク材への所定のパターンの形成とは、クリティカルデザイン
 レベルのフォトマスクを用いたフォトリソグラフィ技術を用いて行われる半導体装置の製
 造方法。

【請求項 2】

前記第 1 の領域での前記マスク材のトリミングでは、リング状パターンをトリミングしてラインアンドスペースパターンに加工する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の領域のトリミングされた前記マスク材のパターンと、前記第 2 の領域の前記マスク材の前記所定のパターンとを前記半導体基板上に同時に転写し、前記第 1 の領域に S R A M に用いられるフィン、前記第 2 の領域に周辺回路の形成される活性領域を形成する工程、

をさらに含む請求項 1 または 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置の製造方法およびフォトマスクに関する。

【背景技術】

【0002】

従来、芯材と呼ばれるダミーパターンの側面に側壁を形成し、芯材を除去した後に側壁を下層の被加工材のエッチングマスクとして用いて微細パターンを半導体基板上に加工する技術が知られている。この側壁からなるマスクの幅は、側壁形状に加工する前の側壁マスクの材料膜の厚さや加工時のエッチング時間により決定されるため、比較的精度の高い寸法制御が可能である。この方法は、従来広く用いられているレジスト塗布と光露光の組み合わせによるエッチングマスクの形成方法よりも、マスクの寸法のばらつきを少なくすることができる（例えば、非特許文献 1 参照）。

20

【0003】

しかし、側壁マスクはその形成方法上、芯材の周辺を囲うようなリング状のパターンになってしまうため、被加工材にラインアンドスペースと呼ばれる直線状パターンを形成するためのマスクとして用いるためには、パターンカットマスク、もしくはトリミングマスクと呼ばれるマスクを用いて再度リソグラフィ工程とエッチング工程を課すことにより、側壁マスクをトリミングしてラインアンドスペースのパターンに加工する必要がある。

【0004】

特に、ラインアンドスペースのパターンを応用して、F i n F E T で構成される S R A M セルのフィンを形成する場合には、芯材形成用のパターンニング用フォトマスクおよび側壁マスクのトリミング用フォトマスクとして、極微細なパターンを有するクリティカルデザインレベルのマスクが用いられなければならない。そのためにマスクのコストを含む全体の製造コストが高くなり、また、これらのフォトマスクを用いたフォトリソグラフィ工程も、リソグラフィとしては難度の高い、そしてコストも高い手法（液浸リソグラフィなど）を用いなければならない。

30

【先行技術文献】

【非特許文献】

【0005】

【非特許文献 1】A. Kaneko et al., IEDM Tech. Dig. pp. 863-866, 2005.

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、極微細なパターンを有する S R A M 領域のフィンと周辺回路領域の活性領域とを低コストかつ正確なデザインで形成することのできる半導体装置の製造方法、およびその製造方法に用いられるフォトマスクを提供することにある。

【課題を解決するための手段】

【0007】

本発明の一態様は、第 1 および第 2 の領域を有する半導体基板上にマスク材を形成する工程と、前記第 1 の領域の前記マスク材上に芯材をパターン形成する工程と、前記芯材の

50

両側面に側壁マスクを形成した後、前記芯材を除去する工程と、前記芯材を除去した後、前記第 1 の領域の前記マスク材に前記側壁マスクのパターンを転写する工程と、前記第 1 の領域の前記側壁マスクのパターンを転写された前記マスク材のトリミングと、前記第 2 の領域の前記マスク材への所定のパターンの形成とを同時に行う工程と、を含む半導体装置の製造方法を提供する。

【 0 0 0 8 】

本発明の他の態様は、半導体基板上に、リング状パターンが形成された領域とパターンのない領域とを有するマスク材を形成する工程と、被加工材のリング状パターンをトリミングしてラインアンドスペースパターンに加工するためのパターンと、前記被加工材のパターンのない領域にパターンを形成するためのパターンと、を有するフォトマスクを用いたフォトリソグラフィ技術を用いて、前記マスク材の前記リングパターンのラインアンドスペースパターンへの加工と、前記マスク材の前記パターンのない領域への所定のパターンの形成を同時に行う工程と、前記マスク材の前記ラインアンドスペースパターンおよび前記所定のパターンを前記半導体基板に転写する工程と、を含む半導体装置の製造方法を提供する。

10

【 0 0 0 9 】

本発明の他の態様は、被加工材のリング状パターンをトリミングしてラインアンドスペースパターンに加工するためのパターンと、前記被加工材のパターンのない領域にパターンを形成するためのパターンと、を有するフォトマスクを提供する。

20

【発明の効果】

【 0 0 1 0 】

本発明によれば、極微細なパターンを有する S R A M 領域のフィンと周辺回路領域の活性領域とを低コストかつ正確なデザインで形成することのできる半導体装置の製造方法、およびその製造方法に用いられるフォトマスクを提供することができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明の実施の形態に係る半導体装置 1 の上面図。

【図 2 A】(a) ~ (d) は、本発明の実施の形態に係る半導体装置の製造工程を示すフィンの長さ方向に垂直な方向の断面図。

【図 2 B】(e) ~ (i) は、本発明の実施の形態に係る半導体装置の製造工程を示すフィンの長さ方向に垂直な方向の断面図。

30

【図 2 C】(j) ~ (n) は、本発明の実施の形態に係る半導体装置の製造工程を示すフィンの長さ方向に垂直な方向の断面図。

【図 3 A】(a) ~ (c) は、本発明の実施の形態に係る半導体装置の S R A M 領域の製造工程を示す上面図。

【図 3 B】(d) ~ (f) は、本発明の実施の形態に係る半導体装置の S R A M 領域の製造工程を示す上面図。

【図 4】(a)、(b) は、本発明の実施の形態に係るフォトマスクの上面図および断面図。

【図 5 A】(a) ~ (d) は、比較例としての従来的一般的な方法による半導体装置の製造方法を示す断面図。

40

【図 5 B】(e) ~ (g) は、比較例としての従来的一般的な方法による半導体装置の製造方法を示す断面図。

【発明を実施するための形態】

【 0 0 1 2 】

〔実施の形態〕

（半導体装置の構成）

図 1 は、本発明の実施の形態に係る半導体装置 1 の上面図である。半導体装置 1 は、S R A M (Static Random Access Memory) が形成される S R A M 領域 3 と、活性領域 5 にフリップフロップやセンサアンプ等の周辺回路（図示しない）が形成される周辺回路領域

50

4 とを半導体基板 2 上に有する。

【0013】

S R A M 領域 3 には、S R A M が形成される。なお、本実施の形態においては、一例として、フィン型トランジスタから構成される 6 トランジスタ型の S R A M について説明する。6 トランジスタ型の S R A M は、1 つの単位セル 10 に n 型のトランスファトランジスタ、n 型のドライバトランジスタ、p 型のロードトランジスタをそれぞれ 2 つずつ有する。

【0014】

S R A M 領域 3 には、n 型のトランスファトランジスタ T、n 型のドライバトランジスタ D、および p 型のロードトランジスタ L の 3 種類のトランジスタと、トランスファトランジスタ T とドライバトランジスタ D のソース・ドレイン領域（図示しない）を含むフィン 12 a と、ロードトランジスタ L のソース・ドレイン領域（図示しない）を含むフィン 12 b と、トランスファトランジスタ T に用いられるゲート電極 13 a、ドライバトランジスタ D とロードトランジスタ L に共通に用いられるゲート電極 13 b が形成される。

【0015】

半導体基板 2 には、S i 基板、S i G e 基板、もしくは部分選択エピタキシャル成長法等によりこれらを組み合わせた基板等を用いることができる。

【0016】

フィン 12 a、12 b は、例えば、半導体基板 2 の表面をエッチング加工することにより形成され、単結晶 S i、単結晶 S i G e 等からなる。また、フィン 12 a、12 b は、ゲート電極 13 a またはゲート電極 13 b の両側に、ソース領域およびドレイン領域を含む。

【0017】

n 型のトランスファトランジスタ T、ドライバトランジスタ D のソース・ドレイン領域には A s、P 等の n 型不純物、p 型のロードトランジスタ L のソース・ドレイン領域には B、B F₂ 等の p 型不純物が含まれる。

【0018】

また、フィン 12 a、12 b の上面の所定の位置には、ソース領域またはドレイン領域に接続されるフィンコンタクト 14 が形成されている。フィンコンタクト 14 は、各部のソース領域またはドレイン領域と、上層の配線とを電氣的に接続する。

【0019】

ゲート電極 13 a は、フィン 12 a の両側面にゲート絶縁膜を介して接触する。また、ゲート電極 13 b は、フィン 12 a、12 b の両側面にゲート絶縁膜を介して接触する。フィン 12 a、12 b のゲート電極 13 a またはゲート電極 13 b がゲート絶縁膜を介して接触する領域は、チャンネル領域として働く。

【0020】

ゲート電極 13 a、13 b は、例えば、導電型不純物を含む多結晶シリコンまたは多結晶シリコンゲルマニウムからなる。ゲート電極 13 a、13 b には、n 型のトランスファトランジスタ T、ドライバトランジスタ D の領域に A s、P 等の n 型不純物、p 型のロードトランジスタ L の領域に B、B F₂ 等の p 型不純物が含まれる。

【0021】

なお、ゲート電極 13 a、13 b の表面にシリサイド層が形成されていてもよい。また、ゲート電極 13 a、13 b は、全体がシリサイド化したフルシリサイド電極であってもよい。また、ゲート電極 13 a、13 b は、W、T a、T i、H f、Z r、R u、P t、I r、M o、A l、N i 等やこれらの化合物等からなるメタルゲート電極であってもよい。また、メタルゲート電極部と多結晶 S i 電極部の積層構造を有してもよい。また、ゲート電極 13 a、13 b の側面には、絶縁材料からなるゲート側壁が形成されていてもよい。

【0022】

また、ゲート電極 13 a の上面の所定の位置には、ゲートコンタクト 15 が形成されて

10

20

30

40

50

いる。ゲートコンタクト１５は、ゲート電極１３ａと上層の配線とを電氣的に接続する。また、ゲート電極１３ｂおよびフィン１２ｂの上面には、これらに共用されるコンタクトであるシェアードコンタクト１６が形成される。シェアードコンタクト１６は、ゲート電極１３ｂおよびフィン１２ｂと、上層の配線とを電氣的に接続する。

【００２３】

フィン１２ｂは、単位セル１０のシェアードコンタクト１６側の境界上で分断される。

【００２４】

(半導体装置の製造)

図２Ａ(ａ)～(ｄ)、図２Ｂ(ｅ)～(ｉ)、図２Ｃ(ｊ)～(ｎ)は、本発明の実施の形態に係る半導体装置の製造工程を示すフィンの長さ方向に垂直な方向の断面図である。また、図３Ａ(ａ)～(ｃ)、図３Ｂ(ｄ)～(ｆ)は、半導体装置１のＳＲＡＭ領域３の製造工程を示す上面図である。ここで、図３Ａ(ａ)は図２Ａ(ｃ)、図３Ａ(ｂ)は図２Ｂ(ｅ)、図３Ａ(ｃ)は図２Ｂ(ｇ)、図３Ｂ(ｄ)は図２Ｃ(ｊ)、図３Ｂ(ｅ)は図２Ｃ(ｌ)に対応する。

10

【００２５】

まず、図２Ａ(ａ)に示すように、半導体基板２上のＳＲＡＭ領域３および周辺回路領域４に、 SiO_2 膜３０、 SiN 膜３１、非晶質 Si 膜３２、レジスト膜３３、および反射防止膜３４を積層した後、レジスト膜３３および反射防止膜３４に後述する芯材３５のパターンを形成する。

【００２６】

20

SiO_2 膜３０、 SiN 膜３１、非晶質 Si 膜３２、レジスト膜３３、および反射防止膜３４は、ＣＶＤ(Chemical Vapor Deposition)法等により成膜される。また、レジスト膜３３および反射防止膜３４は、液浸リソグラフィ法等のフォトリソグラフィ法およびＲＩＥ(Reactive Ion Etching)法等のエッチング法の組み合わせによりパターニングされる。

【００２７】

芯材３５のパターンは、極微細なパターンである。そのため、レジスト膜３３および反射防止膜３４のパターニングには、極微細なクリティカルデザインレベルと呼ばれるデザインレベルのフォトマスクが用いられる。

【００２８】

30

一般的に、クリティカルデザインレベルのフォトマスクは、あまり微細でないデザインレベル(以下、ノンクリティカルデザインレベルと記す)のフォトマスクよりも製造コストが高く、フォトマスクを用いたフォトリソグラフィ工程自体に費やされる費用も高い。

【００２９】

次に、図２Ａ(ｂ)に示すように、レジスト膜３３および反射防止膜３４をマスクとして非晶質 Si 膜３２にエッチングを施し、非晶質 Si 膜３２を芯材３５に加工する。

【００３０】

次に、図２Ａ(ｃ)および図３Ａ(ａ)に示すように、レジスト膜３３および反射防止膜３４をエッチングにより除去する。

【００３１】

40

次に、図２Ａ(ｄ)に示すように、ＣＶＤ法等により、芯材３５の上面および側面をコンフォーマルに覆うようにＴＥＯＳ膜３６を形成する。

【００３２】

次に、図２Ｂ(ｅ)および図３Ａ(ｂ)に示すように、ＲＩＥ法等により、ＴＥＯＳ膜３６を芯材３５の側面に位置する部分を残して除去し、側壁マスク３７を形成する。この段階では、側壁マスク３７はリング状のパターンを有する。

【００３３】

次に、図２Ｂ(ｆ)に示すように、ウェットエッチング等により芯材３５を除去する。

【００３４】

次に、図２Ｂ(ｇ)および図３Ａ(ｃ)に示すように、 SiN 膜３１上にレジスト膜３

50

8 および反射防止膜 39 を積層した後、これらを周辺回路領域 4 に選択的に残すようにパターンニングする。レジスト膜 38 および反射防止膜 39 は、ノンクリティカルデザインレベルのフォトマスクを用いたフォトリソグラフィ法および R I E 法等のエッチング法により、後の工程で形成する活性領域 5 よりも大きなパターンに形成される。

【 0 0 3 5 】

次に、図 2 B (h) に示すように、側壁マスク 37、レジスト膜 38 および反射防止膜 39 をマスクとして S i O₂ 膜 30 および S i N 膜 31 にエッチングを施す。

【 0 0 3 6 】

ここで、S i O₂ 膜 30 および S i N 膜 31 の S R A M 領域 3 において、側壁マスク 37 のパターンを転写された部分をそれぞれ S i O₂ 膜 30 a および S i N 膜 31 a、周辺回路領域 4 においてレジスト膜 38 および反射防止膜 39 のパターンを転写された部分を S i O₂ 膜 30 b および S i N 膜 31 b とする。

【 0 0 3 7 】

次に、図 2 B (i) に示すように、エッチングにより側壁マスク 37、レジスト膜 38 および反射防止膜 39 を除去する。

【 0 0 3 8 】

次に、図 2 C (j) および図 3 B (d) に示すように、半導体基板 2 上の全面にレジスト膜 40 および反射防止膜 41 を積層した後、これらをパターンニングする。

【 0 0 3 9 】

レジスト膜 40 および反射防止膜 41 は、クリティカルデザインレベルのフォトマスクを用いた液浸リソグラフィ法等のフォトリソグラフィ法によりパターンニングされ、S R A M 領域 3 においては S i N 膜 31 a に形成されたパターンをトリミングするためのパターン、周辺回路領域 4 においては活性領域 5 のパターンが形成される。ここで、S i N 膜 31 a に形成されたパターンのトリミングとは、S i N 膜 31 a の長方形のリング状のパターンの長手方向の端部を除去してフィン 12 a、12 b のパターンに分けることと、フィン 12 b のパターンを単位セル 10 のシェアードコンタクト 16 側の境界上で分断することをいう。

【 0 0 4 0 】

図 4 (a) は、このフォトリソグラフィ工程で用いられるフォトマスク 6 の上面図である。また、図 4 (b) は、図 4 (a) に示される切断面 A - A におけるフォトマスク 6 の断面図である。

【 0 0 4 1 】

フォトマスク 6 は、透明基板 6 a および透明基板 6 a 上のパターン形成された遮光膜 6 b を有する。遮光膜 6 b に形成されたパターンは、フィン 12 b のパターンをトリミングするための開口パターンを含むトリミング用パターン部 7 a、および活性領域 5 のパターンを形成するためのパターンを含むパターンニング用パターン部 7 b を含む。なお、遮光膜 6 b は、光を完全には遮らない、半透明な材料から形成されてもよい。

【 0 0 4 2 】

次に、図 2 C (k) に示すように、レジスト膜 40 および反射防止膜 41 をマスクとして S i O₂ 膜 30 b および S i N 膜 31 b にエッチングを施し、S i N 膜 31 a のパターンをトリミングと、S i N 膜 31 b への活性領域 5 のパターンの転写とを同時に行う。

【 0 0 4 3 】

次に、図 2 C (l) および図 3 B (e) に示すように、エッチングによりレジスト膜 40 および反射防止膜 41 を除去する。なお、レジスト膜 40 および反射防止膜 41 を除去した後、必要に応じて、フィン 12 a、12 b のパターンが形成された S i N 膜 31 a の幅を細める工程を行ってもよい。

【 0 0 4 4 】

次に、図 2 C (m) に示すように、S i O₂ 膜 30 a、30 b および S i N 膜 31 a、31 b をマスクとして用いて半導体基板 2 にエッチングを施し、フィン 12 a、12 b および活性領域 5 を形成する。

10

20

30

40

50

【 0 0 4 5 】

次に、図 2 C (n) に示すように、エッチングにより SiO_2 膜 3 0 a、3 0 b および SiN 膜 3 1 a、3 1 b を除去する。

【 0 0 4 6 】

次に、図 3 B (f) に示すように、ゲート電極 1 3 a、1 3 b、フィンコンタクト 1 4、ゲートコンタクト 1 5、およびシェアードコンタクト 1 6 を形成する。また、図示しないが、活性領域 5 にフリップフロップやセンサアンプ等の周辺回路を形成する。

【 0 0 4 7 】

(比較例)

図 5 A (a) ~ (d)、図 5 B (e) ~ (g) は、比較例としての従来一般的な方法による半導体装置の製造方法を示す断面図である。この比較例は、活性領域 5 をパターン形成するためのマスク材パターンの形成、および SiN 膜 3 1 a に形成されたパターンをトリミングするためのマスク材パターンの形成を別工程で行う点において、実施の形態と異なる。なお、この比較例において形成する半導体装置は、本実施の形態の半導体装置 1 と同様の構成を有するものとする。

10

【 0 0 4 8 】

まず、図 5 A (a) に示すように、図 2 A (a) ~ 図 2 B (f) に示した芯材 4 を除去するまでの工程を実施の形態と同様に行う。

【 0 0 4 9 】

次に、図 5 A (b) に示すように、 SiN 膜 3 1 上にレジスト膜 5 0 および反射防止膜 5 1 を積層した後、これらを周辺回路領域 4 に選択的に残すようにパターニングする。ここで、レジスト膜 5 0 および反射防止膜 5 1 には、クリティカルデザインレベルのフォトリソグラフィ法を用いた液浸リソグラフィ法等のフォトリソグラフィ法および R I E 法等のエッチング法により、活性領域 5 のパターンが形成される。

20

【 0 0 5 0 】

次に、図 5 A (c) に示すように、側壁マスク 3 7、レジスト膜 3 8 および反射防止膜 3 9 をマスクとして SiO_2 膜 3 0 および SiN 膜 3 1 にエッチングを施す。

【 0 0 5 1 】

ここで、 SiO_2 膜 3 0 および SiN 膜 3 1 の S R A M 領域 3 において側壁マスク 3 7 のパターンを転写された部分をそれぞれ SiO_2 膜 3 0 a および SiN 膜 3 1 a、周辺回路領域 4 においてレジスト膜 3 8 および反射防止膜 3 9 のパターンを転写された部分を SiO_2 膜 3 0 b および SiN 膜 3 1 b とする。

30

【 0 0 5 2 】

次に、図 5 A (d) に示すように、エッチングによりレジスト膜 5 0 および反射防止膜 5 1 を除去する。

【 0 0 5 3 】

次に、図 5 B (e) に示すように、半導体基板 2 上の全面にレジスト膜 5 2 および反射防止膜 5 3 を積層した後、これらに SiN 膜 3 1 a に形成されたパターンをトリミングするためのパターンを形成する。ここで、レジスト膜 5 2 および反射防止膜 5 3 は、クリティカルデザインレベルのフォトリソグラフィ法を用いたフォトリソグラフィ法および R I E 法等のエッチング法によりパターニングされる。

40

【 0 0 5 4 】

次に、図 5 B (f) に示すように、エッチングによりレジスト膜 5 2 および反射防止膜 5 3 を除去する。

【 0 0 5 5 】

次に、図 5 B (g) に示すように、 SiO_2 膜 3 0 a、3 0 b および SiN 膜 3 1 a、3 1 b をマスクとして用いて半導体基板 2 にエッチングを施し、フィン 1 2 a、1 2 b および活性領域 5 を形成する。なお、その後の工程は実施の形態と同様である。

【 0 0 5 6 】

(実施の形態の効果)

50

上述した比較例においては、実施の形態と異なり、フィン 12 a、12 b のパターンと活性領域 5 のパターンとを SiO_2 膜 30 および SiN 膜 31 に同時にパターンニングする。このとき、図 5 A (c) に示すように、 SiN 膜 31 b の側面は垂直に加工されず、テーパー形状となるおそれがある。

【0057】

これは、大きさの異なるフィン 12 a、12 b のパターンと活性領域 5 のパターンとは、寸法変換差（フォトマスク上のパターンと、実際に被加工材に形成されるパターンの寸法差）が異なるためである。この場合、活性領域 5 の大きさがフォトマスクのパターンの大きさと異なってしまう。なお、 SiN 膜 31 b の側面を垂直に形成しようとする、 SiN 膜 31 a の側面が垂直にならず、逆テーパー形状となるおそれがある。

10

【0058】

一方、本実施の形態においては、フィン 12 a、12 b のパターンと活性領域 5 のパターンとを別工程で SiO_2 膜 30 および SiN 膜 31 に形成するため、それぞれのパターンの寸法変換差に基づいて、エッチング時にそれぞれ適したエッチング条件の補正を行うことができる。その結果、 SiN 膜 31 a、31 b の側面を垂直に加工し、フィン 12 a、12 b および活性領域 5 の正確なパターンを形成することができる。

【0059】

また、比較例においては、芯材 35 のパターンを形成する工程、レジスト膜 50 および反射防止膜 51 に活性領域 5 のパターンを形成する工程、およびレジスト膜 52 および反射防止膜 53 に SiN 膜 31 a に形成されたパターンをトリミングするためのパターンを形成する工程の合計 3 工程でクリティカルデザインレベルのフォトマスクが用いられる。

20

【0060】

一方、実施の形態においては、芯材 35 のパターンを形成する工程、およびレジスト膜 40 および反射防止膜 41 に SiN 膜 31 a に形成されたパターンをトリミングするためのパターンと活性領域 5 のパターンとを形成する工程の 2 工程のみでクリティカルデザインレベルのフォトマスクが用いられる。

【0061】

すなわち、実施の形態では、比較例よりもクリティカルデザインレベルのフォトマスクが用いられる回数が少ないため、フォトマスクの製造コストや、半導体装置 1 のトータルの製造コストを低減することができる。

30

【0062】

〔他の実施の形態〕

本発明は、上記実施の形態に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。例えば、 SiO_2 膜 30、 SiN 膜 31、非晶質 Si 膜 32 または TEOS 膜 36 の代わりに異なる材料からなる膜を用いてもよい。また、 SiO_2 膜 30 に相当する膜は用いなくてもよい。

【0063】

また、上記実施の形態においては、微細なラインアンドスペースパターンおよびその周辺の微細なパターンを持つ部材として、 SRAM に用いられるフィンおよび周辺回路領域の活性領域を例として説明したが、実際にはこれに限られるものではなく、上記実施の形態に示した半導体装置の製造方法を同様のパターンを有する部材の製造に適用することができる。

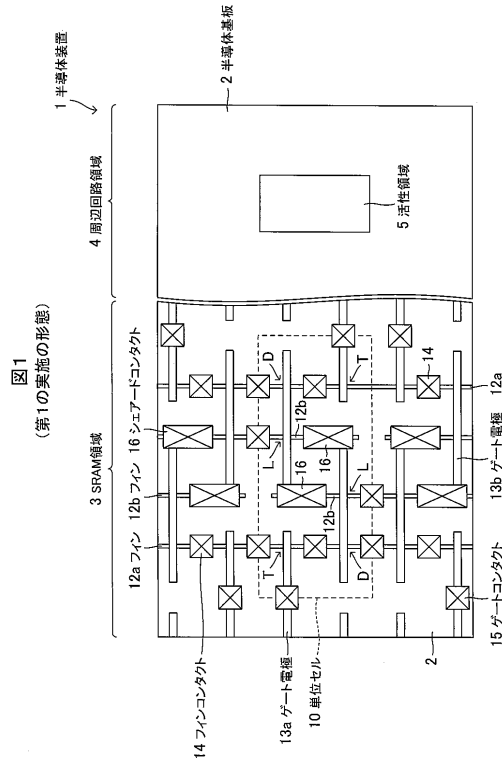
40

【符号の説明】

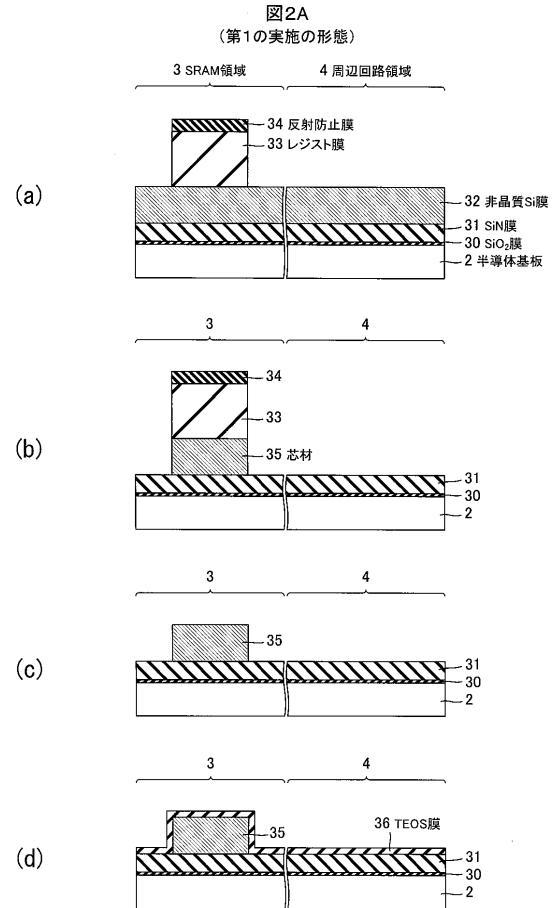
【0064】

1 半導体装置、 2 半導体基板、 3 SRAM 領域、 4 周辺回路領域、 5 活性領域、 6 フォトマスク、 7 a トリミング用パターン部、 7 b パターンニング用パターン部、 12 a、12 b フィン、 30、30 a、30 b SiO_2 膜、 31、31 a、31 b SiN 膜、 35 芯材、 37 側壁マスク

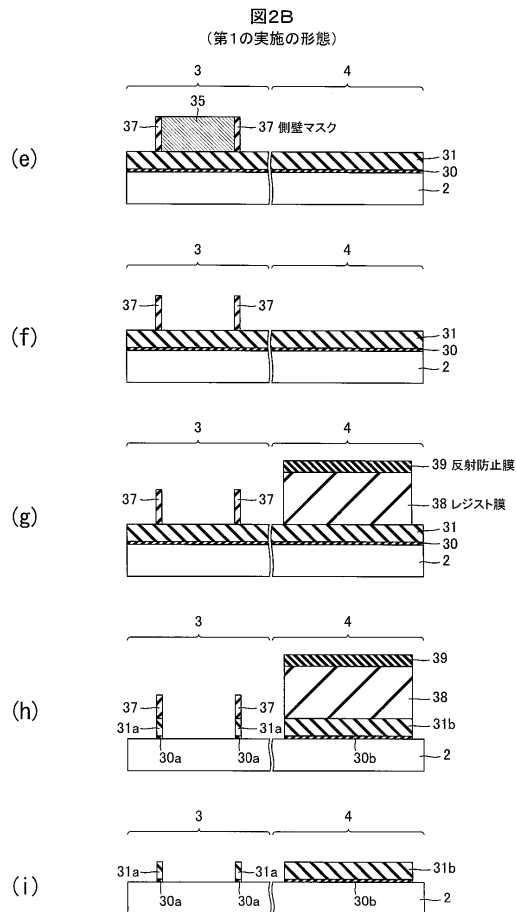
【図 1】



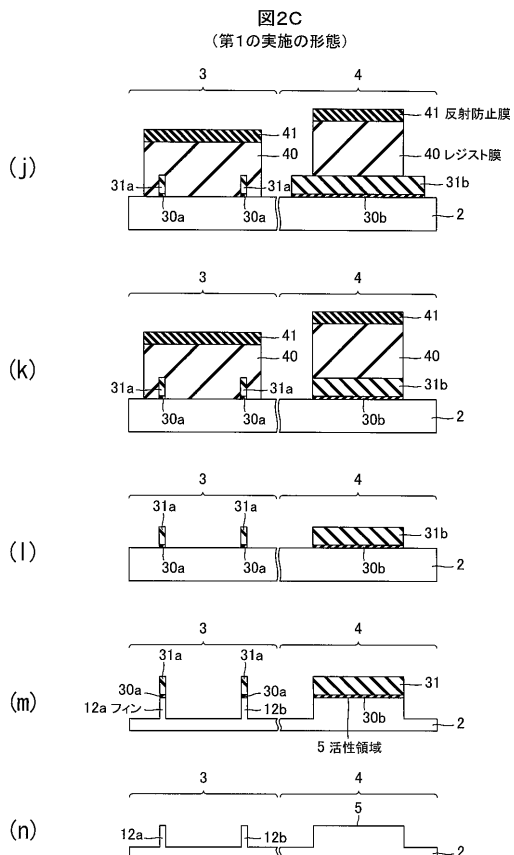
【図 2 A】



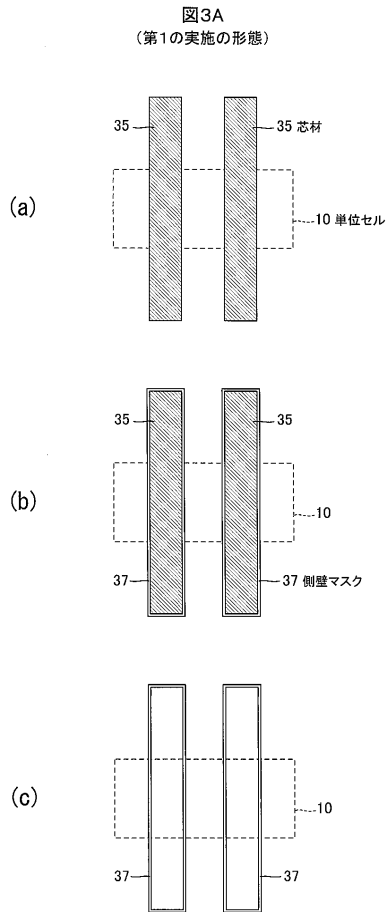
【図 2 B】



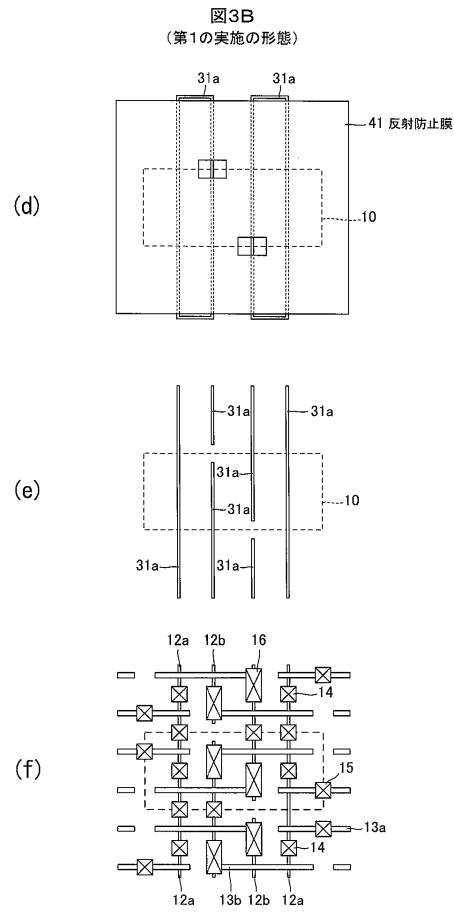
【図 2 C】



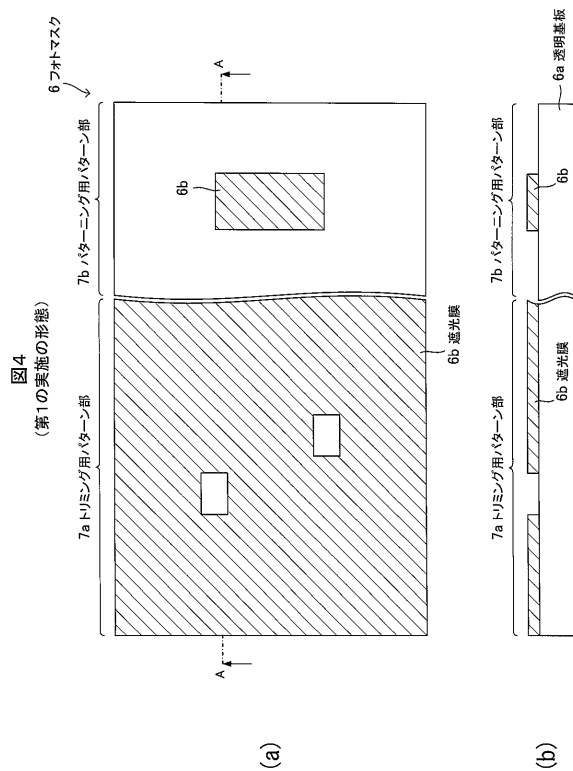
【図3A】



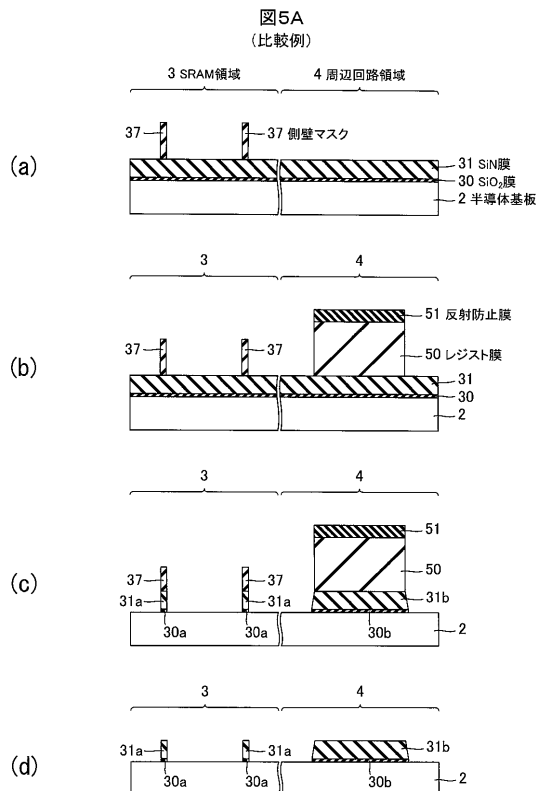
【図3B】



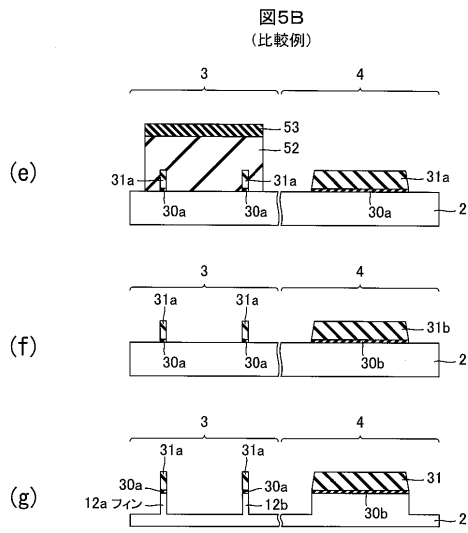
【図4】



【図5A】



【図5B】



フロントページの続き

- (74)代理人 100137523
弁理士 出口 智也
- (74)代理人 100124372
弁理士 山ノ井 傑
- (74)代理人 100146123
弁理士 木本 大介
- (74)代理人 100144967
弁理士 重野 隆之
- (72)発明者 稲葉 聡
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 石坂 博明

- (56)参考文献 特開2008-258360(JP,A)
特開平07-193198(JP,A)
特開2007-227454(JP,A)
特表2008-535247(JP,A)
特開2009-302546(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8229、21/8242-21/8247
27/10-27/115、27/28
51/05