



등록특허 10-2449793



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월29일
(11) 등록번호 10-2449793
(24) 등록일자 2022년09월27일

- (51) 국제특허분류(Int. Cl.)
*H01L 21/8238 (2006.01) H01L 21/822 (2006.01)
H01L 27/06 (2006.01) H01L 27/092 (2006.01)
H01L 27/11524 (2017.01) H01L 29/423*
(2006.01)
- (52) CPC특허분류
*H01L 21/823821 (2013.01)
H01L 21/8221 (2013.01)*
- (21) 출원번호 10-2020-7019360
- (22) 출원일자(국제) 2018년12월03일
심사청구일자 2021년01월04일
- (85) 번역문제출일자 2020년07월03일
- (65) 공개번호 10-2020-0085920
- (43) 공개일자 2020년07월15일
- (86) 국제출원번호 PCT/US2018/063623
- (87) 국제공개번호 WO 2019/112954
국제공개일자 2019년06월13일
- (30) 우선권주장
62/594,352 2017년12월04일 미국(US)
- (56) 선행기술조사문현
US09224810 B2
US20170170268 A1
- (73) 특허권자
도쿄엘렉트론가부시키가이사
일본 도쿄도 미나토구 아카사카 5초메 3반 1고
- (72) 발명자
스미스 제프리
미국 12203 뉴욕주 알바니 스윗 214 폴러 로드
255 나노팹 300 사우쓰 내
칼 습하임
미국 12203 뉴욕주 알바니 스윗 214 폴러 로드
255 나노팹 300 사우쓰 내
데빌레르스 안톤 제이
미국 12203 뉴욕주 알바니 스윗 214 폴러 로드
255 나노팹 300 사우쓰 내
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 16 항

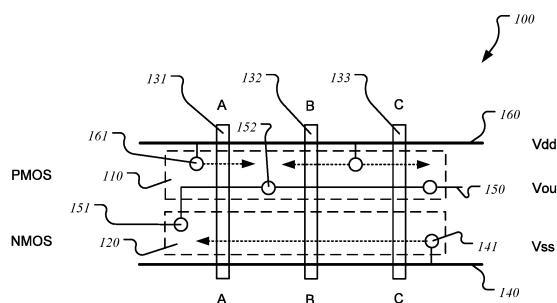
심사관 : 오순영

(54) 발명의 명칭 나노와이어 또는 나노시트 트랜지스터 디바이스의 트랜지스터 딜레이를 제어하기 위한 방법

(57) 요약

본 발명에 따른 반도체 디바이스를 제조하는 방법은: 제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하기 위한 제1 적층형 핀 구조로서, 초기 볼륨의 제1 채널 재료를 포함하는 것인 제1 적층형 핀 구조, 및 제2 GAA 트랜지스터의 채널을 형성하기 위한 제2 적층형 핀 구조로서, 초기 볼륨의 제2 채널 재료를 포함하는 것인 제2 적층형 핀 구조를 포함하는 기판을 제공하는 단계; 제1 GAA 트랜지스터의 딜레이에 대응하는 소정량만큼 상기 초기 볼륨의 제2 채널 재료를 상기 초기 볼륨의 제1 채널 재료에 대해 감소시키는 감소 단계; 및 상기 제1 채널 재료와 상기 제2 채널 재료 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조를 형성하는 형성 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류

H01L 27/0688 (2013.01)

H01L 27/092 (2013.01)

H01L 27/11524 (2013.01)

H01L 29/42392 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스를 제조하는 방법으로서,

기판을 제공하는 단계로서, 기판은:

제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하기 위한 제1 적층형 핀 구조로서, 제1 채널 재료 및 제1 희생 재료가 제1 적층형 핀 구조의 일측에서 노출되도록, 제1 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제1 채널 재료를 포함하는 것인 제1 적층형 핀 구조, 및

제2 GAA 트랜지스터의 채널을 형성하기 위한 제2 적층형 핀 구조로서, 제2 채널 재료 및 제2 희생 재료가 제2 적층형 핀 구조의 일측에서 노출되도록, 제2 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제2 채널 재료를 포함하는 것인 제2 적층형 핀 구조

를 포함하는 것인 기판 제공 단계;

상기 제1 적층형 핀 구조의 측벽을 마스킹하는 단계;

마스킹 이후에, 제2 GAA 트랜지스터의 미리 정해놓은 딜레이에 대응하는 트리밍 볼륨으로 상기 초기 볼륨의 제2 채널 재료를 트리밍하도록 제2 적층형 핀 구조를 에칭하는 것을 통하여, 제1 GAA 트랜지스터의 딜레이에 대응하는 미리 정해놓은 양만큼 상기 초기 볼륨의 제2 채널 재료를 상기 초기 볼륨의 제1 채널 재료에 대해 감소시키는 감소 단계; 및

상기 제1 채널 재료와 상기 제2 채널 재료 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조를 형성하는 형성 단계

를 포함하는 방법.

청구항 2

제1항에 있어서, 공통의 베이스 핀 구조 내에서 상기 제2 적층형 핀 구조는 상기 제1 적층형 핀 구조 위에 적층되는 것인 방법.

청구항 3

제2항에 있어서, 상기 제1 채널 재료는 상기 제2 채널 재료의 화학적 조성과 동일한 화학적 조성을 갖는 것인 방법.

청구항 4

제2항에 있어서, 상기 기판을 제공하는 단계는 상기 제1 적층형 핀 구조와 상기 제2 적층형 핀 구조의 사이에 미리 정해놓은 두께의 희생 분리 재료를 제공하는 단계를 포함하고, 상기 미리 정해놓은 두께는 상기 제1 적층형 핀 구조를 마스킹하는 것에 대한 프로세스 허용 오차를 제공하도록 선택되는 것인 방법.

청구항 5

제4항에 있어서, 상기 희생 재료의 미리 정해놓은 두께는 10 nm보다 큰 것인 방법.

청구항 6

제2항에 있어서, 상기 제1 채널 재료는 상기 제2 채널 재료의 화학적 조성과는 다른 화학적 조성을 갖고,

상기 감소 단계는, 상기 제2 채널 재료를 상기 제1 채널 재료에 대해 선택적으로 에칭하는 등방성 에칭 프로세스에 제1 및 제2 적층형 채널 구조를 노출시키는 단계를 포함하는 것인 방법.

청구항 7

제1항에 있어서, 상기 제1 적층형 핀 구조는 제1 베이스 핀 구조 내에 마련되고, 상기 제2 적층형 핀 구조는 기판의 평평한 표면을 따라서 상기 제1 베이스 핀 구조로부터 횡방향으로 이격되어 있는 제2 베이스 핀 구조 내에 마련되는 것인 방법.

청구항 8

제7항에 있어서, 상기 감소 단계는:

상기 제1 베이스 핀 구조를 마스킹하는 단계, 및

상기 초기 볼륨의 제2 채널 재료를 감소시키도록 상기 제2 베이스 핀 구조를 에칭하는 단계를 포함하는 것인 방법.

청구항 9

제1항에 있어서, 공통의 베이스 핀 구조 내에서 상기 제1 적층형 핀 구조는 상기 제2 적층형 핀 구조 위에 적층되는 것인 방법.

청구항 10

반도체 디바이스를 제조하기 위한 방법으로서,

기판을 제공하는 단계로서, 기판은:

제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하기 위한 제1 적층형 핀 구조로서, 제1 채널 재료 및 제1 희생 재료가 제1 적층형 핀 구조의 일측에서 노출되도록, 제1 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제1 채널 재료를 포함하는 것인 제1 적층형 핀 구조, 및

제2 GAA 트랜지스터의 채널을 형성하기 위한 제2 적층형 핀 구조로서, 제2 채널 재료 및 제2 희생 재료가 제2 적층형 핀 구조의 일측에서 노출되도록, 제2 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제2 채널 재료를 포함하는 것인 제2 적층형 핀 구조

를 포함하는 것인 기판 제공 단계;

상기 제1 적층형 핀 구조의 측벽을 마스킹하는 단계;

마스킹 이후에, 제2 GAA 트랜지스터의 미리 정해놓은 딜레이에 대응하는 트리밍 볼륨으로 상기 초기 볼륨의 제2 채널 재료를 트리밍하도록 제2 적층형 핀 구조를 에칭하는 것을 통하여, 제1 GAA 트랜지스터의 임계 전압에 대응하는 미리 정해놓은 양만큼 상기 초기 볼륨의 제2 채널 재료를 상기 초기 볼륨의 제1 채널 재료에 대해 감소시키는 감소 단계; 및

상기 제1 채널 재료와 상기 제2 채널 재료 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조를 형성하는 단계

를 포함하는 방법.

청구항 11

제10항에 있어서, 공통의 베이스 핀 구조 내에서 상기 제2 적층형 핀 구조는 상기 제1 적층형 핀 구조 위에 적층되는 것인 방법.

청구항 12

제10항에 있어서, 상기 기판을 제공하는 단계는 상기 제1 적층형 핀 구조와 상기 제2 적층형 핀 구조의 사이에 미리 정해놓은 두께의 희생 분리 재료를 제공하는 단계를 포함하고, 상기 미리 정해놓은 두께는 상기 제1 적층형 핀 구조를 마스킹하는 것에 대한 프로세스 허용 오차를 제공하도록 선택되는 것인 방법.

청구항 13

제1항에 있어서, 공통의 베이스 핀 구조 내에서 상기 제1 적층형 핀 구조는 상기 제2 적층형 핀 구조 위에 적층되고,

상기 제1 적층형 핀 구조는 경사 증착(angled deposition)을 이용한 마스킹 재료의 증착을 통해 마스킹되는 것인 방법.

청구항 14

제13항에 있어서, 적어도 하나의 인접 마스킹 구조를 더 포함하고,

상기 적어도 하나의 인접 마스킹 구조의 색도우가, 상기 경사 증착 동안에 상기 제2 적층형 핀 구조 상에 상기 마스킹 재료가 증착되는 것을 방지하는 것인 방법.

청구항 15

제10항에 있어서, 공통의 베이스 핀 구조 내에서 상기 제1 적층형 핀 구조는 상기 제2 적층형 핀 구조 위에 적층되고,

상기 제1 적층형 핀 구조는 경사 증착을 이용한 마스킹 재료의 증착을 통해 마스킹되는 것인 방법.

청구항 16

제15항에 있어서, 적어도 하나의 인접 마스킹 구조를 더 포함하고,

상기 적어도 하나의 인접 마스킹 구조의 색도우가, 상기 경사 증착 동안에 상기 제2 적층형 핀 구조 상에 상기 마스킹 재료가 증착되는 것을 방지하는 것인 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

참조 인용

[0001] 본 개시내용은 "Method for Controlling Transistor Delay and for Balancing of NMOS and PMOS Nanowires on Nanosheets in Transistor Devices"란 명칭으로 2017년 12월 4일 출원된 미국 특허 출원 제62/594,352호의 이익을 주장하는데, 이 출원은 그 전체가 본원에 참조로 인용되어 있다.

[0002] 본 개시내용은 집적 회로와, 집적 회로를 위한 트랜지스터 및 트랜지스터 구성요소 등과 같은 반도체 디바이스를 제조하는 방법에 관한 것이다.

배경 기술

[0003] 본원에 제공되는 "배경기술"의 설명은 일반적으로 본 개시내용의 전후 사정을 제시하는 것을 목적으로 한다. 본 배경기술 섹션에 기술되는 범위에서, 본원에 기명된 발명자들의 작업뿐만 아니라, 출원시 종래 기술로서의 자격을 별도로 취득하지 못할 수 있는 본 명세서의 양태들은, 본 개시내용에 대한 종래 기술로서 명시적으로도 암시적으로도 인정되지 않는다.

[0004] 반도체 디바이스의 제조 중에, 성막 증착, 에칭 마스크 생성, 패터닝, 포토레지스트 현상, 재료 에칭 및 제거 뿐만 아니라 도핑 처리 등과 같은 여러 제조 프로세스가 실행된다. 이러한 프로세스들은 기판 상에 소기의 반

도체 디바이스를 형성하기 위해 반복적으로 수행된다. 역사적으로, 마이크로 제조를 통해, 트랜지스터들이 앞서 형성된 배선/금속화와 함께, 동일 평면에 형성되었고, 이에 따라 2차원(2D) 회로 또는 2D 제조라 불리워지고 있다. 스케일링 노력은 2D 회로에서 단위 면적당 트랜지스터의 수를 크게 증가시켰지만, 스케일링이 한 자릿수의 나노미터 반도체 디바이스 제조 노드로 진입함에 따라, 스케일링 노력은 더 큰 도전에 맞닥드리고 있다. 반도체 디바이스 제조자들은, 스케일링을 지속하기 위한 수단으로서 디바이스들, 트랜지스터들 및 표준 셀들이 총 충이 적축되는 3차원(3D) 반도체 디바이스에 대한 열망을 나타냈다. 3D 반도체 디바이스의 제조는 신규 프로세스 통합, 신규 하드웨어 및 프로세스 능력, 설계, 제조후 처리, 전자 설계 자동화뿐만 아니라 3D 제조 프로세스의 다른 측면들과 연관된 새롭고 독창적인 과제들을 제기한다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0006]

일 실시형태에서, 반도체 디바이스를 제조하는 방법은: 제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하기 위한 제1 적층형 핀 구조로서, 제1 채널 재료 및 제1 희생 재료가 제1 적층형 핀 구조의 일측에서 노출되도록, 제1 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제1 채널 재료를 포함하는 것인 제1 적층형 핀 구조, 및 제2 GAA 트랜지스터의 채널을 형성하기 위한 제2 적층형 핀 구조로서, 제2 채널 재료 및 제2 희생 재료가 제2 적층형 핀 구조의 일측에서 노출되도록, 제2 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제2 채널 재료를 포함하는 것인 제2 적층형 핀 구조를 포함하는 기판을 제공하는 단계; 제1 GAA 트랜지스터의 딜레이에 대응하는 소정량만큼 상기 초기 볼륨의 제2 채널 재료를 상기 초기 볼륨의 제1 채널 재료에 대해 감소시키는 감소 단계; 및 상기 제1 채널 재료와 상기 제2 채널 재료 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조를 형성하는 형성 단계를 포함한다.

[0007]

다른 실시형태에서, 반도체 디바이스는: 평평한 표면을 갖는 기판; 상기 기판 상에 마련되는 제1 GAA-FET(gate-all-around field effect transistor)로서, 제1 채널이 형성되는 제1 적층형 핀 구조 내에 제1 채널 재료의 볼륨에 대응하는 트리밍되지 않은 볼륨의 제1 채널 재료를 갖는 제1 채널을 포함하는 것인 제1 GAA-FET; 및 상기 기판 상에 마련되는 제2 GAA-FET로서, 제1 GAA-FET에 대한 제2 GAA-FET의 딜레이 조정에 대응하는 소정의 트리밍 양만큼, 상기 트리밍되지 않은 볼륨의 제1 채널 재료보다 작은, 트리밍된 볼륨의 제2 채널 재료를 갖는 제2 채널을 포함하는 것인 제2 GAA-FET를 포함하고, 상기 제1 GAA-FET와 상기 제2 GAA-FET는 상보형 FET로서 전기적으로 접속되어 있다.

[0008]

다른 실시형태에서, 반도체 디바이스를 제조하는 방법은: 제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하기 위한 제1 적층형 핀 구조로서, 제1 채널 재료 및 제1 희생 재료가 제1 적층형 핀 구조의 일측에서 노출되도록, 제1 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제1 채널 재료를 포함하는 것인 제1 적층형 핀 구조, 및 제2 GAA 트랜지스터의 채널을 형성하기 위한 제2 적층형 핀 구조로서, 제2 채널 재료 및 제2 희생 재료가 제2 적층형 핀 구조의 일측에서 노출되도록, 제2 희생 재료의 상위 부분과 하위 부분의 사이에 제공되는 초기 볼륨의 제2 채널 재료를 포함하는 것인 제2 적층형 핀 구조를 포함하는 기판을 제공하는 단계; 제1 GAA 트랜지스터의 임계 전압에 대응하는 소정량만큼 상기 초기 볼륨의 제2 채널 재료를 상기 초기 볼륨의 제1 채널 재료에 대해 감소시키는 감소 단계; 및 상기 제1 채널 재료와 상기 제2 채널 재료 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조를 형성하는 형성 단계를 포함한다.

[0009]

본 개요 섹션은 본 개시내용 또는 청구된 발명의 모든 실시형태 및/또는 점진적으로 신규한 양태를 명시하려는 것은 아님을 주목해야 할 필요가 있다. 그 대신에, 본 개요는 단지 서로 다른 실시형태들과 해당 신규성 항목들의 사전 설명을 제공할 뿐이다. 본 발명 및 실시형태들의 추가적인 상세한 사항 및/또는 가능한 전망에 대해서는, 이하에 더 설명되는 바와 같은 본 개시내용의 상세한 설명 섹션과 대응 도면을 살펴보길 바란다.

도면의 간단한 설명

[0010]

실시예로서 제안된 본 개시내용의 여러 실시형태는 이하의 도면들을 참조로 하여 상세하게 설명될 것인데, 이들 도면에서 유사한 참조 번호는 유사한 요소를 표시하고:

도 1은 본 개시내용의 일 실시형태에 따른 3-입력 NAND 회로의 예시적인 레이아웃을 보여주며;

도 2a는 본 개시내용의 일 실시형태에 따른 나노와이어/나노시트 FET 구조의 등각 투상도이고;

도 2b는 반도체 디바이스를 제조하는 방법에 대한 프로세스 흐름을 보여주며;

도 3은 본 개시내용의 일 실시형태에 따라 채널의 세트를 마스크 재료가 보호하고 있는 핀 구조의 단면도이고;

도 4는 본 개시내용의 일 실시형태에 따라 채널의 최상위 세트가 에칭되어 있는 핀 구조의 단면도이며;

도 5는 본 개시내용의 일 실시형태에 따라 채널의 최상위 세트가 에칭되어 있고 마스크 재료가 리세싱되어 있는 핀 구조의 단면도이고;

도 6은 본 개시내용의 일 실시형태에 따라 벌크 핀 재료가 제거되어 있는 핀 구조의 단면도이며;

도 7은 본 개시내용의 일 실시형태에 따른 GAA(gate-all-around) 트랜지스터 디바이스를 보여주고;

도 8은 본 개시내용의 일 실시형태에 따라 채널의 세트를 마스크 재료가 보호하고 있는 2개의 서로 다른 채널 재료를 갖는 핀 구조의 단면도이며;

도 9는 본 개시내용의 일 실시형태에 따라 채널의 최상위 세트가 선택적으로 에칭되어 있는 2개의 서로 다른 채널 재료를 갖는 핀 구조의 단면도이고;

도 10은 본 개시내용의 일 실시형태에 따라 벌크 핀 재료가 제거되어 있는 2개의 서로 다른 채널 재료를 갖는 핀 구조의 단면도이며;

도 11은 본 개시내용의 일 실시형태에 따라 2개의 서로 다른 채널 재료를 갖는 GAA(gate-all-around) 트랜지스터 디바이스를 보여준다.

발명을 실시하기 위한 구체적인 내용

[0011]

본원에 기술된 바와 같은 단계들의 거론 순서는 명확한 이해를 위해 제시된 것이다. 일반적으로, 이들 단계는 임의의 적절한 순서로 수행될 수 있다. 추가적으로, 본원에서 서로 다른 특징들, 기술들, 구성들 등의 각각이 본 개시내용의 서로 다른 곳들에서 거론될 수 있지만, 각각의 개념들은 서로 독립적으로 또는 서로 조합되어 실행될 수 있도록 의도되어 있다. 따라서, 본 발명은 다양한 방식으로 구현되고 고려될 수 있다.

[0012]

유사한 참조 번호들이 여러 도면에 걸쳐 동일하거나 대응하는 부분을 나타내는 도면을 이제 참조해 보면, 이하의 설명은 무수히 많은 에칭 기술을 통해 트랜지스터 디바이스에서 트랜지스터 딜레이의 밸런스를 맞추기 위한 시스템, 장치 및 관련 방법론에 관한 것이다.

[0013]

특정 타입의 트랜지스터 디바이스는 N형 금속 산화물 반도체(NMOS)뿐만 아니라 P형 금속 산화물 반도체(PMOS)를 상보적인 방식으로 사용한다. NMOS 디바이스는 전자의 이동도를 기반으로 하는데, 이 전자의 이동도는 PMOS 디바이스의 기반인 정공의 이동도에 비하여 수 배 더 빠를 수 있다. PMOS 디바이스에 있어서의 이동도를 증가시키기 위해 PMOS 채널에 스트레인을 유도하거나, 또는 PMOS 디바이스의 채널 재료를 실리콘에서 실리콘 게르마늄으로 직접 변경하는 것을 통하여, 이러한 미스매치를 해결하려는 방법이 개발되어 왔다. 전계 효과 트랜지스터(FET)에 있어서 트랜지스터 딜레이에 영향을 미치는 재료, 레이아웃, 스케일 등과 같은 몇 가지 추가적인 인자들이 있다. 예를 들어, FET 디바이스 내에서의 NMOS 대 PMOS 밸런싱과 관련된 딜레이는 또한, 파워 레일로부터 출력 라인으로의 공급 사이의 트랜지스터의 수에 있어서 NMOS 또는 PMOS 활성 영역과 상보적인 활성 영역 사이에 미스매치가 있는 것의 결과일 수 있다. 이에 대한 예로서, 활성 PMOS 영역(110)과 활성 NMOS 영역(120)을 포함하는 3-입력 NAND 회로 레이아웃(100)의 경우가 도 1에 도시되어 있다. 확인되는 바와 같이, 레이아웃(100)은, 공통의 게이트 입력(A, B 또는 C)을 상보적인 트랜지스터 쌍에 각각 제공하는 게이트 구역(131, 132 및 133)을 포함한다.

[0014]

NMOS 활성 영역(120)에서 Vss 노드(141)로 들어가는 Vss 레일(140)로부터의 공급은, NMOS 활성 영역(120)에서 점선 화살표로 도시된 바와 같이 Vout 노드(151)에서 Vout 단자(150)에 도달하기 전에 3개의 트랜지스터를 가로지른 것이다. 한편, Vdd에 대한 공급은 3-입력 NAND 디바이스에 있어서의 2개의 개별 지점으로 분할될 수 있고, 그 결과 PMOS 활성 영역(110)에 있어서 Vdd 레일(160)로부터의 공급의 경우, Vout 단자(152)에 도달하기 위해서는 단 하나의 트랜지스터만을 가로지를 필요가 있다. 예를 들어, 노드(161)로 들어가는 Vdd 레일(160)로부터의 공급은, PMOS 활성 영역(110)에서 점선 화살표(도시된 3개의 서로 다른 경로)로 도시된 바와 같이 Vout 노드(152)에 도달하기 전에 단 하나의 트랜지스터를 가로지를 것이다. 따라서, NMOS 영역(120)의 경우, 가로질

러야 하는 트랜지스터의 수가 PMOS 활성 영역(110)에 비해 3배 증가하기 때문에, 딜레이가 유발된다. 일부 셀 설계에서, 이와 같은 활성 영역들 사이의 트랜지스터 수의 불균형은, 특히 소정 셀 설계에서 소정 트랜지스터를 통한 출력이 다른 트랜지스터에 대한 입력으로서 공급될 때, 딜레이 효과를 야기한다.

[0015] 이러한 불균형은, 활성 영역에서의 핀 구조의 수를 트랜지스터 불균형의 비율로서 증가시킴으로써 해결될 수 있다. 예를 들어 3-입력 NAND 셀을 고려해 보면, NMOS 활성 영역은 대응하는 PMOS 활성 영역에서 있어서의 모든 핀 구조마다 3개의 핀 구조를 사용할 것이다. 이 기술은, 디바이스 채널이 핀 구조 자체인 핀 전계 효과 트랜지스터(FinFET) 처리에, 그리고 디바이스 채널이 베이스 핀 구조로부터 제공되는 하나 이상의 별개의 나노-구조로 구성되는 나노와이어 또는 나노시트 처리에 사용될 수 있다. 이 기법은 이러한 2D 설계에서 매우 간단하고, 패터닝의 초기, 중기 또는 말기에 핀 절단(핀 제거)이 실행되는 [통상적으로 자가 정렬 4중 패터닝(SAQP)을 통한] 초기 핀 패터닝 프로세스 동안에, 또는 핀이 벌크 실리콘에 전사된 이후에, 핀 구조의 제거를 간단히 수반한다. 예를 들어, 이러한 2D 설계에서, 디바이스 채널은 통상적으로 기판(예를 들어, 웨이퍼)의 작업면인 xy-평면에서 분리되어 있다. 에칭 시스템은 기판의 작업면(z-평면)에 대해 수직으로 지향성 에칭할 수 있고, 이에 따라 소기의 해결에 이를 수 있는 있는 한, 횡방향으로 이격된 핀 또는 채널을 에칭 마스크를 사용하여 차단 또는 절단할 수 있다. 이러한 지향성 에칭 기술은, 트랜지스터 채널들이 수직으로 서로 차곡차곡 격충되는 경우에는 적합하지 않다.

[0016] 수직-격충형 나노와이어 및/또는 나노시트의 경우, 그리고 3D 구조의 상보적인 전계 효과 트랜지스터 디바이스(CFET)의 경우, NMOS 채널의 수와 PMOS 채널의 수의 밸런스를 맞추는 것은, 후속 패터닝 단계 동안에 채널들이 디바이스로부터 간단히 절단될 수 있는 고립된 개체로서 존재하기 않기 때문에 더 어렵다.

[0017] 이러한 3D 회로의 경우, 나노와이어 또는 나노시트는 (이하에 기술되는 도 2의 구조와 유사하게) 수직 격충된 나노와이어 또는 나노시트 사이에 매우 제한적인 거리를 두고 서로의 위에 격충될 수 있다. 이러한 분리 거리는 10 nm 미만 정도일 수 있다. 따라서, 3D 회로에서 나노와이어 또는 나노시트를 제거하는 것은, 작은 허용 오차를 두고 매우 정밀하게 평탄화되고 아래로 리세싱되어 있는 증착 필름 등과 같은 절단 매체를 배치하는 것을 포함할 수 있다. 이러한 평탄화 및 리세싱은 전체 웨이퍼에 걸쳐 수직 격충된 나노와이어 또는 나노시트 사이에 비교적 높은 정밀도를 필요로 한다. 본원의 발명자들은, 상향 선택적 증착 필름의 증착 프로세스가 사용되더라도, 복잡한 토플로지 내에서 이러한 필름 배치를 행하는 능력을 얻기 어렵다는 것을 인식하였다.

[0018] 다른 옵션으로서, 나노와이어 또는 나노시트는 서로 쌍을 이를 수 있다. 예를 들어, 공통의 기원 핀 구조 내에 수직으로 격충된 4개의 격충 PMOS 또는 NMOS 나노와이어 또는 나노시트 채널을 갖는 대신에, 2개의 격충형 와이어가 각 핀 구조 상에 존재하도록 핀의 수가 2배가 된다. 이 기술은, 트랜지스터 밸런싱에 부응하기 위해 전술한 간단한 핀 절단 기술을 이용하기 위한 약간의 마진을 제공한다. 이 기술의 한 가지 단점은, 소정의 셀 높이에 추가적인 핀 퍼치가 포함되어 있다는 점이다. 게다가, 3-입력 NAND 셀의 경우에 요구되는 바와 같이, 단일의 채널을 제거하는 것과는 대조적으로 채널의 쌍을 제거하는 것을 통해서만, 딜레이가 처리될 수 있다. 보다 일반적으로, 단 하나의 채널을 완전히 제거하는 것을 통한 밸런싱은, 전체 채널과 관련된 딜레이에 기초한 별개의 조정값으로 제한된다.

[0019] 그 상보형 채널들 위에 수직으로 격충된 PMOS 또는 NMOS 채널들(나노와이어 또는 나노시트)을 포함하는 상보형 전계 효과 트랜지스터(CFET) 디바이스의 경우에, 과제가 증가된다. 이 구성에서, 기원 핀 구조를 쌍을 이루게 하는 것은, 단일 베이스 핀 구조 내에서 NMOS와 PMOS 채널 모두를 제거할 것이므로, CFET의 경우에 더 이상 타당하지 않다.

[0020] 본원의 기술은 이러한 3D CFET 디바이스와 다른 CFET 디바이스의 트랜지스터 밸런싱을 가능하게 하는 방법을 제공한다. 본원의 기술은 채널의 완전한 제거보다는 PMOS 채널 및 NMOS 채널 재료의 에칭 선택적 트리밍을 사용함으로써 밸런싱을 제공한다. 3-입력 NAND 셀의 경우, 3개의 NMOS 나노와이어 채널과 단일 PMOS 나노와이어 채널을 구동하는 대신에, 기원 핀의 수에는 NMOS와 PMOS 양자 모두에 대해 모두 3개의 나노와이어가 들어 있을 수 있다. 이러한 기술은, 나머지 채널의 용량성 효과가 트랜지스터 불균형을 바로잡도록 PMOS 채널이 "트리밍되는" 방법을 포함할 수 있다. 따라서, 이 예에서는, 이러한 불균형을 바로잡거나 또는 소기의 균형을 맞추기 위해, PMOS 와이어가 NMOS 와이어의 크기에 비해 트리밍될 수 있다.

[0021] 도 2a는 본 개시내용의 기술들이 제공될 수 있는 예시적인 구조를 보여준다. 확인되는 바와 같이, 구조(200)는 베이스 핀 구조(203)를 그 위에 갖는 기판(201)을 포함한다. 각 베이스 핀 구조(203)는, 베이스 핀 구조(203) 내에서 높이 방향(h)으로 격충된 채널 재료(205) 및 희생 재료(207)의 교호 층을 포함한다. 베이스 핀 구조(203)는 기판(201)의 폭 방향(w)을 따라서 뿐만 아니라 길이 방향(l)을 따라서도 횡방향으로 이격되어 있다.

각 베이스 핀 구조(203)는 하나 이상의 제1 GAA(gate-all-around) 트랜지스터를 형성하는 데 사용될 수 있다. 도 2a의 예시적인 구조에서, 베이스 핀 구조(203) 각각은, 제1 GAA 트랜지스터의 채널 영역을 형성하는 제1 적층형 핀 구조(210)와, 제2 GAA 트랜지스터의 채널 영역을 형성하는 제2 적층형 핀 구조(220)를 포함한다. 제1 적층형 핀 구조(210)와 제2 적층형 핀 구조(220) 각각은, 희생 재료(207)의 상위 부분과 하위 부분 사이에 제공되는 초기 볼륨의 채널 재료(205)를 포함한다. 적층형 핀 구조(210, 220) 각각은 2개의 층의 채널 재료(205)를 포함하는 것으로 도시되어 있지만, 단 하나의 층이 사용될 수 있다. 이하에 더 설명되는 바와 같이, 하위 적층형 핀 구조(210)는 예를 들어 NMOS 디바이스를 제공하는 데 사용될 수 있고, 상위 적층형 핀 구조(220)는 PMOS 디바이스를 형성하는 데 사용될 수 있다.

[0022] 도 2b는 반도체 디바이스를 제조하는 방법에 대한 프로세스 흐름을 보여준다. 확인되는 바와 같이, 제1 및 제2 적층형 핀 구조(210, 220)를 갖는 반도체 기판을 제공하는 단계 251을 포함한다. 이러한 적층형 핀 구조(210, 220)는 단일 베이스 핀 내에 제공될 수 있고, 또는 기판 상에서 횡방향으로 서로 이격되어 있는 개별 핀들에 제공될 수 있다. 제1 적층형 핀 구조(210)는 제1 GAA(gate-all-around) 트랜지스터의 채널을 형성하는 데 사용되고, 제2 적층형 핀 구조(220)는 제2 GAA 트랜지스터의 채널을 형성하는 데 사용된다. 제1 채널 재료 및 제1 희생 재료가 제1 적층형 핀 구조(210)의 일측에서 노출되도록, 제1 적층형 핀 구조(210)는 희생 재료(207)의 상위 부분과 하위 부분 사이에 제공되는 초기 볼륨의 제1 채널 재료(205)를 포함한다. 제2 채널 재료(205) 및 제2 희생 재료(207)가 제2 적층형 핀 구조(220)의 일측에서 노출되도록, 제2 적층형 핀 구조(220)는 제2 희생 재료(207)의 상위 부분과 하위 부분 사이에 제공되는 초기 볼륨의 제2 채널 재료(205)를 포함한다.

[0023] 단계 253에서, 초기 볼륨의 제2 채널 재료(205)는 초기 볼륨의 제1 채널 재료(205)에 대하여 소정의 양만큼 감소된다. 이러한 감소는 초기 볼륨의 채널 재료의 일부분을 예칭 "트리밍"함으로써 수행될 수 있다. 소정량의 볼륨 감소는 제1 GAA 트랜지스터의 딜레이에 대응한다. 따라서, 감소는 제1 GAA 트랜지스터에 대한 트랜지스터 딜레이의 조정을 허용하고, 제1 및 제2 GAA 트랜지스터 사이의 딜레이 밸런싱을 허용할 수 있다.

[0024] 단계 255에서, 제1 채널 재료(205)와 제2 채널 재료(205) 둘레에 각각 제1 GAA 게이트 구조와 제2 GAA 게이트 구조가 형성된다. 보다 구체적으로, 제1 및 제2 희생 재료(207)를 제거하여 제1 및 제2 채널 재료(205)를 "릴리스"한다. 그 후에, 릴리스된 채널 재료들 각각의 둘레에 GAA 게이트 구조가 형성된다. 제1 및 제2 GAA 구조는 서로에 대해 상보적이도록, 전기적으로 연결될 수 있다. 따라서, 채널 재료들 중 어느 하나를 그 초기 볼륨으로부터 감소시키는 것은, 상보형 디바이스에 있어서 딜레이를 밸런싱하는 데 사용될 수 있다.

[0025] 일 실시형태에서, 트리밍에 의한 밸런싱 기술은, 횡방향으로 이격된 베이스 핀 구조들에 활성 구역이 제공되는 2D 설계에 적용될 수 있다. 일 실시형태에서, 제1 활성 영역은 예를 들어 NMOS 등의 제1 타입의 트랜지스터를 포함하고, 제2 활성 영역은 예를 들어 PMOS 등의 제2 타입의 트랜지스터를 포함한다. 제1 활성 영역은, 예를 들어 NMOS 채널 등의 제1 타입의 채널을 포함하는 적어도 하나의 핀 구조를 포함한다. 제2 활성 영역은, 예를 들어 PMOS 채널 등의 제2 타입의 채널을 포함하는 적어도 하나의 핀 구조를 포함한다. 이를 채널은 단일의 베이스 핀 구조로부터 형성된 복수 개의 나노구조, 또는 단일의 나노와이어 또는 나노시트 채널일 수 있다. 각 와이어 세트가 그 특유의 활성 영역(즉, 베이스 핀) 내에 존재하기 때문에, 상기한 2D 설계의 NMOS 또는 PMOS 채널의 선택적 트리밍은 간단하다. 이에 따라, 어느 한 활성 영역, 예를 들어 NMOS 채널을 갖는 NMOS 활성 영역은 예칭되지 않지만, 제2 활성 영역, 예를 들어 PMOS 채널을 갖는 PMOS 활성 영역은 예칭의 영향을 받도록, 예칭을 실행하기 전에 마스킹 패턴을 증착할 수 있다. 따라서, 트랜지스터 딜레이는, 베이스 핀 구조 및 이와 관련된 모든 채널의 완전한 제거보다는 PMOS 채널의 "트리밍"을 통해 밸런싱될 수 있다.

[0026] NMOS 및 PMOS 채널이 동일한 베이스 핀 구조 상에 있는 CFET 디바이스의 실시형태의 경우, 상기한 기법은 더 어려워진다. 그러나, 동일한 기원 핀 구조 내의 NMOS 및 PMOS를 선택적으로 트리밍하는 데 사용될 수 있는 복수의 기술이 본원에 있다. 예를 들어, 본원의 발명자들은, NMOS 및 PMOS 채널이 동일한 베이스 핀 구조 상에 제공되지만, NMOS 및 PMOS 채널 사이의 수직(z-평면) 경계에 10 nm보다 큰 이격이 존재할 수 있도록, NMOS 및 PMOS의 수직 위치에 약간의 허용 오차가 있다는 것을 인식하였다. 이러한 보다 큰 이격으로 재료 충전이 용이해질 수 있고, 뒤이어 평탄화(CMP)가 행해진 후, NMOS 또는 PMOS를 그 상보적 대상에 대해 선택적으로 개방하도록 하향 리세싱할 수 있다.

[0027] 다른 실시형태에서, NMOS와 PMOS 사이에 서로 다른 채널 재료가 사용되고, PMOS 구역에 있어서의 정공의 이동도를 증가시키기 위해 의도된 NMOS 및 PMOS의 채널 재료들 양자 모두에 대해 선택도를 갖는 에피택셜 성장 필름으로 벌크 기원 핀 구조가 구성될 수 있다. 이 실시형태의 예는 PMOS 채널 재료로서 SiGe를, NMOS 채널 재료로서 Si를, 결국에는 와이어 릴리스 프로세스에서 제거될 핀 비채널 재료로서 특정 타입의 도핑된 실리콘을

포함한다. 이 실시형태에서는, 서로 다른 에칭 특성을 갖는 적어도 2개의 채널 재료가 사용되어, 제2 채널 재료 또는 제3의 벌크 핀 채널 재료를 에칭(제거)하지 않고서, 제1 채널 재료를 에칭할 수 있다.

[0028] NMOS 또는 PMOS 채널의 선택적 트리밍을 이용하는 상기 제안된 방법은, 트랜지스터 딜레이 제어에 적용될 뿐만 아니라 임계 전압(V_t)을 제어하는 데에도 사용될 수 있다. 통상적으로, V_t 는 채널에서 다른 일함수 금속 두께를 세팅하는 것을 통해 조정된다. 통상적인 FINFET 또는 GAA 디바이스에서, 이는 대개, 모든 채널에 걸쳐 소정량의 일함수 금속을 증착한 후, 조정 대상 트랜지스터 상의 소정량의 일함수 금속을 에치-백(etch-back)하기 위해 선택된 트랜지스터를 개방하는 데 사용될 수 있는 차단 마스크의 복합 세트를 이용하는 것을 통해 달성된다. NMOS 및 PMOS 디바이스가 서로의 위에 적층되어 있는 상보형 FET(CFET) 등과 같은 3D 아키텍처의 경우, 이러한 V_t 튜닝 방법은 수행하기가 복잡할 수 있다. 이러한 방법은, 일함수 금속의 두께만을 변경하는 것과는 대조적으로, V_t 를 제어하기 위해 초기 채널 폭을 조절할 수 있는 3D 로직 디바이스용 V_t 조정 방식을 제시할 수 있다.

[0029] 본원의 기술은, 채널 재료(들)의 볼륨을 변경함으로써 반도체 채널 재료에 있어서의 전기적 딜레이 또는 V_t 를 변경하는 것을 가능하게 한다. 본원의 프로세스는, 핀 구조 내의 채널 재료의 하나 이상의 층을 수축시켜 채널 재료의 세그먼트의 볼륨 또는 단면 볼륨을 감소시키는 것을 가능하게 한다. 소기의 핀 스택을 생성하도록 다양한 층을 증착함으로써 핀 구조가 형성될 수 있다. 이는 복수의 제2 채널 재료의 층 위에 형성된 복수의 제1 채널 재료의 층을 포함할 수 있다. 각 채널 재료의 층은 벌크 재료 또는 캐리어 재료 등과 같은 희생 재료에 의해 분리될 수 있다. 층 스택이 형성된 후, 그 위에 에칭 마스크를 형성하고, 재료의 스택을 통해 패턴을 이방성 전사하여 핀 구조(복수의 서로 다른 층을 갖는 재료의 라인)를 생성하는 데 사용할 수 있다. 하나의 에칭 마스크를 사용함으로써, 각 층의 초기 볼륨이 실질적으로 동일해진다. 일부 설계의 경우, 일부 채널 재료를 수축시켜 볼륨을 변화(감소)시키고 더 나아가 전기적 딜레이의 값 또는 V_t 를 서로 다르게 하는 것이 유익할 수 있다. 따라서, 서로 다른 타입의 재료(NMOS 및 PMOS)가 서로의 위에 적층될 수 있고, 초기의 동일한 볼륨을 갖게 형성될 수 있으며, 그 후에 채널 재료의 볼륨을 변경하여 각 타입의 재료에 소기의 딜레이 또는 V_t 를 야기하도록 선택적으로 수축될 수 있다.

[0030] 도 2b의 예를 다시 살펴보면, 도 3은 적층형 핀 구조(300)를 도시한다. 적층형 핀 구조(300)는 복수의 채널(305)을 갖는 타겟 PMOS 구역(320)과 타겟 NMOS 구역(310)을 제공할 수 있다. 복수의 채널(305)은 나노와이어 또는 나노시트일 수 있다. 일 실시형태에서는, 노출된 상보적 대상을 에칭되도록 유지하면서, 타겟 NMOS 구역(310) 또는 PMOS 구역(320)의 활성 영역을 차단 마스크를 통해 보호할 수 있다. 상보적 대상이 보호되는 상태에서는, 노출된 나노와이어 또는 나노시트가 에칭될 수 있다. 이러한 치수 조절은 에칭 선택적 트리밍을 통해 실행될 수 있다. 이러한 에칭 선택적 트리밍은 등방성, 기상 트리밍 또는 화학적 산화물 제거(COR)일 수 있다. 그러나 있는 채널 재료는, 채널의 상면과 하면에서는 비채널 벌크 핀 재료(307)에 의해 보호되면서, 횡방향으로 트리밍된다. 예를 들어, NMOS 구역(310)의 경우, Si가 채널 재료로서 선택되고 SiGe가 벌크 핀 재료(307)로서 선택된다. 이러한 선택 및 구성을 통해, SiGe 벌크 핀 재료(307)에 대해 매우 높은 선택도를 갖고서(SiGe를 에칭하지 않고서 또는 SiGe를 현저히 에칭하지 않고서), 에칭 프로세스가 채널(305)의 폭을 선택적으로 횡방향으로 리세싱하여, NMOS 구역(310)의 폭을 조정할 수 있다. 따라서, NMOS(310)와 PMOS(320)는 개별 채널 제거 없이도 밸런싱되고, 대신에 활성 영역을 통과하는 누적 채널 재료의 총 볼륨 또는 면적을 조정하는 것에 밸런싱된다. 앞서 거론된 바와 같이, 개별 나노와이어 또는 나노시트 사이의 갭은 10 nm 미만일 수 있기 때문에 공통의 베이스 핀 구조(303) 내의 개별 층을 제거하기가 어려워지고, 에칭 대상인 채널(305)(나노와이어 또는 나노시트)을 노출시키는 것에 대해 양호한 허용 오차를 갖고서 임의의 소기의 유지된 와이어를 보호하기 위해 피복 또는 차단 필름을 배치하는 프로세스는 현재의 처리(예를 들어, 재료 증착, CMP, 리세스 에칭)에서 매우 어려울 수 있다. 따라서, 일 실시형태에서는, NMOS(310) 및 PMOS(320) 구역들 사이에 비교적 큰 분리가 유발될 수 있다.

[0031] 도 3은 충전 재료(330), 예를 들어 유전체 충전 재료 등을 사용한 후, CMP를 행하고 나서, 한 세트의 채널(305)을 다른 세트의 채널로부터 보호하거나 노출시키는 리세싱을 행할 수 있게 하기에 충분한 분리가 있는 적층형 핀 구조(300)를 도시한다. 예를 들어, 유전체 충전 재료(330)는 SiO를 포함할 수 있다. 도 3의 예에서, NMOS 구역(310)과 PMOS 구역(320)은 각각 Si 채널(305)을 포함한다. 즉, NMOS 및 PMOS 구역의 채널 재료는 동일한 화학적 조성을 갖는다. 유전체 충전 재료(330)는 적층형 핀 구조(300)의 상위 부분에 있어서 NMOS 구역(310)에서 채널(305)을 노출시킬 정도로 충분히 리세싱되어 있다. 그 후에, 노출 채널(305) 재료를 횡방향으로 트리밍하기 위해 선택적 에칭이 실행된다. 예를 들어, 등방성, 기상 에칭이 실행될 수 있다. 이러한 기상 에칭은 SiGe 또는 도핑된 Si 등과 같은 해당 핀 조성물에서 사용되는 다른 에피택셜 성장 결정 필름에 대해 100:1의 에칭 선택도를 가질 수 있다. 본 실시형태에서는, 그 후에, 충전 재료(330)로 PMOS 구역(320) 채널(305) 재료를

예칭으로부터 보호하고 있는 상태에서, NMOS 구역(310) 채널(305) 재료를 트리밍할 수 있다. 예칭은 노출되어 있는 NMOS 구역(310) 채널(305) 재료의 윤곽을 변화시키고, 채널(305)의 단면 또는 볼륨이 감소된다.

[0032] 일 실시형태에서는, PMOS 구역(320) 채널(305) 재료를 덮지 않은 상태에서, 적층형 핀 구조(300)의 위에 충전 재료(330)를 증착하는 것에 의해 NMOS 구역(310) 채널(305) 재료를 예칭으로부터 보호할 수 있다. 예를 들어, 충전 재료(330)는 경사 증발 증착법에 의해 적층형 핀 구조(300)의 상단을 향해 선택적으로 증착될 수 있다. 경사 증발 증착에 노출될 때 마스크를 제공하기 위해, 복수 개의 마스크 핀이 적층형 핀 구조(300)에 인접하게 제조될 수 있는데, 상기 복수 개의 마스크 핀은 상기 복수 개의 마스크 핀에 인접하게 충전 재료(330)가 증착되는 것을 방지한다. 예를 들어, 상기 경사 증발 증착 방법은 스침각 증착(GLAD)에 의해 제공될 수 있다.

[0033] 트리밍된 채널(305) 재료의 양은 NMOS(310) 구역과 PMOS 구역(320)을 밸런싱하기 위한 전기적 요건 또는 사양에 기초할 수 있고, 예상 트랜지스터 딜레이 또는 V_t 에 기초하여 산출될 수 있는데, 상기 예상 트랜지스터 딜레이 또는 V_t 는 조정되는 특정 셀의 국소 영역에 기초할 수 있다. 따라서, 예칭량은 해당 셀의 크기, 셀의 레이아웃, 사용된 재료 등에 기초할 수 있다. 예를 들어, 예칭은 주기적 예칭 프로세스를 이용하여 수 옹스트롬 정도로 조정될 수 있다. 원자층 예칭(ALE) 및 유사-ALE 등과 같은 다른 예칭 선택적 프로세스가 사용될 수 있다. 이러한 점에서, 상기한 트리밍은, 전술한 바와 같이 채널의 완전한 제거에 의존하는 밸런싱 기술로는 불가능하였던 딜레이 또는 V_t 의 미세 조정을 제공할 수 있다.

[0034] 도 4는 노출된 NMOS 구역(310)은 예칭되어 있고 감소된 폭(즉, 채널 볼륨)의 채널(305')을 특징으로 하는 예시적인 예칭된 적층형 핀 구조(400)를 도시한다.

[0035] 충전 재료를 차단한 상태에서의 트리밍 예칭 이후에, 남아 있는 충전 재료(330)는 완전히 제거되거나, 또는 하위 채널 재료를 드러나게 하기에 충분할 정도로 더 리세싱될 수 있다. 도 5는 STI(shallow trench isolation) 부분(530)을 제자리에 남겨 두지만, PMOS(320) 구역을 노출시키도록 충전 재료(330)를 더 리세싱한, 예시적인 적층형 핀 구조(500)를 도시한다.

[0036] 그 후에, 예를 들어 SiGe 등의 희생 벌크 핀 재료(307)를 특정 구역, 셀 등에 대해 제거할 수 있다. 도 6은 수직 배치된 NMOS(310) 및 PMOS(320) 채널(305)과 감소된 폭의 채널(305') 부분을 포함하는 구조(600)를 제공하도록 적층형 핀 구조로부터 SiGe 벌크 핀 재료(307)를 제거한 결과의 예를 보여준다.

[0037] 도 7에 도시된 바와 같이, 셀 제조는 하이- k 유전체(705), NMOS 일함수 금속(710), PMOS 일함수 금속(715) 및 게이트 충전 금속(720)의 증착을, 또는 GAA(gate-all-around) 트랜지스터 디바이스(700)를 만드는 특정 제조 방안에 대해 지정된 바와 같은 다른 프로세스를 계속할 수 있다. 다시 말하자면, NMOS(310)/PMOS(320) 구역 불균형에 의해 유발되는 딜레이를 제어하기 위해 채널(305)과 감소된 폭의 채널(305')의 크기를 변경한다. 본 실시 형태에서, PMOS(320)와 NMOS(310) 구역은 동일한 재료일 수 있고; 어느 한 재료를 가리거나 덮은 상태에서, 다른 재료의 크기를 조정할 수 있다.

[0038] 다른 실시형태에서, NMOS와 PMOS 채널의 크기 또는 볼륨은, 선택적 예칭에 의해 그리고 서로 다른 채널 재료를 사용하는 것에 의해 서로 달라질 수 있다. 이러한 크기 조정은 NMOS/PMOS 불균형에 의해 유발된 딜레이를 제어하고, 어느 하나의 또는 둘 모두의 채널 타입의 조정을 제공한다. 서로 다른 채널들 중에서 선택적 예칭을 하는 경우, 복수 개의 서로 다른 재료를 사용할 필요가 있다. 도 8에 도시된 바와 같이, 베이스 핀 스택(800)은, 제1 채널 재료(805)를 갖는 제1 적층형 핀 구조(810), 제2 채널 재료(809)를 갖는 제2 적층형 핀 구조(820), 및 희생 벌크 핀 재료(807)를 기판(801) 상에 포함한다. 예를 들어, 벌크 핀 재료(807)는 도핑된 실리콘 Si:X, 예를 들어 Si:B 재료일 수 있다. 제1 적층형 핀 구조(810)는 PMOS 재료일 수 있고, 제2 적층형 핀 구조(820)는 NMOS 재료일 수 있다. 제1 채널 재료(805)는 SiGe일 수 있고, 제2 채널 재료(809)는 Si일 수 있으며, 벌크 핀 재료(807)는 제3의 재료이다. 제1 재료, 제2 재료 및 제3 재료는 특정 예칭 프로세스에 대해 서로 다른 예칭 저항도를 갖는다. 제2 적층형 핀 구조(820)는 제1 적층형 핀 구조(810) 위에 두 구역을 분리하는 벌크 핀 재료(807)를 두고서 배치될 수 있다. 각 타입의 채널마다 복수 개의 채널들이 있을 수 있다. 보다 구체적으로, 제1 채널 재료(805)와 제2 채널 재료(809) 양자 모두에 대해 서로 다른 채널 재료가 사용될 수 있다. 이는 비제한적인 것이고 더 많은 재료 및 조합이 선택될 수 있다는 점에 주목해야 할 필요가 있다. 예칭 저항도가 서로 다른 재료를 이용함으로써, 어느 한 활성 채널 타입 영역을 덮거나 가릴 필요가 없는 데, 이는 예칭 저항도 자체가 상보적인 벌크 재료를 예칭되지 (현저하게 예칭되지) 않게 보호할 것이기 때문이다.

[0039] 베이스 핀 스택(800)에서 다른 재료를 예칭하지 않으면서 베이스 핀 스택(800)에서 어느 한 재료를 예칭하는 예칭 프로세스가 실행된다. 이러한 예칭 프로세스는 노출된 재료를 임의의 방향으로 균등하게 예칭하는 등방성

예칭을 포함할 수 있다. 베이스 핀 스택(800)은 예칭 저항도가 서로 다른 재료의 교호 층을 갖는 핀 구조일 수 있다. 전술한 바와 같이, 기상 예칭, 화학적 산화물 제거 예칭, ALE 또는 유사-ALE 예칭이 실행될 수 있다. 따라서, 채널의 측벽이 노출되어 있기 때문에, 예칭은 횡방향 예칭을 초래한다. 이러한 선택적 예칭은, 사용되는 특정 예칭제 및 프로세스 조건(화합물, 챔버 압력, 온도 등)에 의해 예칭될 수 있는 소정 재료의 일부분을 횡방향으로 트리밍할 수 있다.

[0040] 일 실시형태에서, 예칭 프로세스는 제1 적층형 핀 구조(810) 채널 재료(805)를 현저히 예칭하지 않으면서 제2 적층형 핀 구조(820) 채널 재료(809)를 선택적으로 예칭할 수 있는데, 제2 적층형 핀 구조(820)는 제1 적층형 핀 구조(810) 위에 적층될 수 있다. 다른 실시형태에서, 예칭 프로세스는 제2 적층형 핀 구조(820) 채널 재료(809)를 현저히 예칭하지 않으면서 제1 적층형 핀 구조(810) 채널 재료(805)를 선택적으로 예칭할 수 있는데, 제2 적층형 핀 구조(820)는 제1 적층형 핀 구조(810) 위에 적층될 수 있다.

[0041] 도 9는 선택적 예칭 이후의 예시적인 베이스 핀 스택(900)의 결과를 도시한다. 이 예에서는, 제1 적층형 핀 구조(810) 채널 재료(805) 또는 벌크 핀 희생 재료(807)를 예칭하지 않으면서, 제2 적층형 핀 구조(820) 채널 재료(809')를 횡방향으로 소정량 예칭하였다는 점에 주목해야 할 필요가 있다.

[0042] 제1 예칭 프로세스 이후에, (필요에 따라) 다른 상보형 채널 재료를 트리밍하기 위해 제2 예칭 프로세스가 사용될 수 있다. 상보형 채널 재료의 트리밍은, 소기의 트랜지스터 딜레이를 일으키거나 또는 트랜지스터 딜레이 허용 오차 또는 V_t 를 충족시키는 회로의 레이아웃 및 디바이스 설계에 기초할 수 있다. 상보형 채널 재료의 트리밍은, 예칭 케미스트리 및 예칭 프로세스 파라미터를 변경함으로써 소정 처리 챔버에서 인시츄로 실행될 수 있다. 트리밍되는 재료의 양은, 채널 재료들의 수직 적층형 구성에 있어서 PMOS(810) 구역과 NMOS(820) 구역의 균형을 맞추기 위한 전기적 요건 또는 사양에 기초할 수 있다. 소정 채널 재료에 대한 예칭량은, 릴레이용으로 조정되어 있는 소정 셀의 로컬 영역 또는 구역에 기초한 예상 트랜지스터 딜레이 또는 V_t 에 기반을 둔 계산에 의해 결정될 수 있다.

[0043] 어느 하나의 또는 양자 모두의 (또는 그 이상의) 채널 재료를 예칭한 후, 구역(810, 820)을 드러내기 위해 벌크 핀 재료(807)가 제거될 수 있다. 벌크 핀 재료(807)는, 나노와이어 또는 나노시트가 각 단부에서 지지되도록 드러나 있는 섹션들에서 제거될 수 있다. 도 10은 예시적인 결과를 보여준다. 이러한 벌크 핀 재료의 제거는 또한, 기상 예칭을 이용하는 챔버/시스템 등과 같은 동일한 처리 챔버에서 실행될 수 있다.

[0044] 도 11에 도시된 바와 같이, 벌크 핀 재료의 제거 이후에, 처리는, 예를 들어 하이-k 유전체(1105), NMOS 일함수 금속(1110), PMOS 일함수 금속(1115), 및 게이트 충전 금속(1120)을 증착하는 것 등에 의해, GAA(gate-all-around) 채널을 형성하는 처리가 계속될 수 있다. 특히, 도 11은 PMOS와 NMOS가 서로의 위에 있는 적층형 디바이스의 경우 일함수 금속 두께 감소를 통한 V_t 조정이 얼마나 어려울 수 있는지를 보여준다. 넓은 나노와이어/나노시트 구조를 이용하는 적층형 디바이스는, 특히 위 또는 아래에 다른 시트가 있는 경우, 시트의 중앙-하단 또는 중앙-상단에서보다 와이어 또는 시트의 측면으로부터 동일한 양의 금속을 제거하는 것이 어렵게 된다. 따라서, 개시된 V_t 조정 방법은, 개별 트랜지스터에 대한 일함수 금속 두께를 변경하는 것과는 대조적으로, 채널 볼륨의 변경을 통해 달성될 수 있다.

[0045] 본원에 기술된 이러한 트리밍 기술은, 3D CFET 디바이스를 포함하는 FET 디바이스에 트랜지스터 딜레이 또는 V_t 를 정밀하게 변경하도록 어느 하나의 또는 양자 모두의 채널 재료를 조정할 수 있게 한다. 전술한 설명은 트랜지스터 딜레이 조정을 설명하는 것에 치중되어 있을 수 있지만, 채널 볼륨 감소를 결정함에 있어서, 트랜지스터 딜레이를 대신하여 소기의 미리 정해놓은 임계 전압의 조정 대상으로 할 수 있다는 것을 당업자라면 이해할 수 있다.

[0046] 앞의 설명에서는, 처리 시스템의 특정 기하학적 구조와 여러 구성요소 뿐만 아니라 이에 사용되는 프로세스의 설명 등과 같은 구체적인 상세한 사항들이 제시되어 있다. 그러나, 본원의 기술들은 이를 구체적인 상세한 사항으로부터 벗어난 다른 실시형태로 실시될 수도 있고, 이러한 상세한 사항은 설명을 목적으로 하나 제한적이지는 않은 것으로 이해되어야 한다. 본원에 개시된 실시형태들은 첨부 도면을 참조로 하여 기술되어 있다. 이와 마찬가지로, 완전하게 이해시키기 위해, 특정 수, 재료 및 구성이 설명을 목적으로 제시되어 있다. 그렇지만, 실시형태들은 이러한 특정 세부 사항 없이 실시될 수 있다. 실질적으로 동일한 기능적 구성을 갖는 구성요소들은 같은 참조 부호로 표시되어 있고, 이에 따라 임의의 중복 설명을 생략할 수 있다.

[0047] 여러 실시형태들의 이해를 돋기 위해, 여러 기술들이 복수의 별개의 작업으로서 기술되어 있다. 이러한 기재 순서가, 이를 작업이 필연적으로 순서에 의존함을 의미하는 것으로 해석되어서는 안 된다. 실제로, 이를 작업

이 제시 순서대로 수행되어야 하는 것은 아니다. 기술된 작업들은 기술된 실시형태와는 다른 순서로 수행될 수 있다. 추가적인 실시형태에서는, 다양한 추가 작업들이 수행될 수 있거나 및/또는 기술된 작업들이 생략될 수 있다.

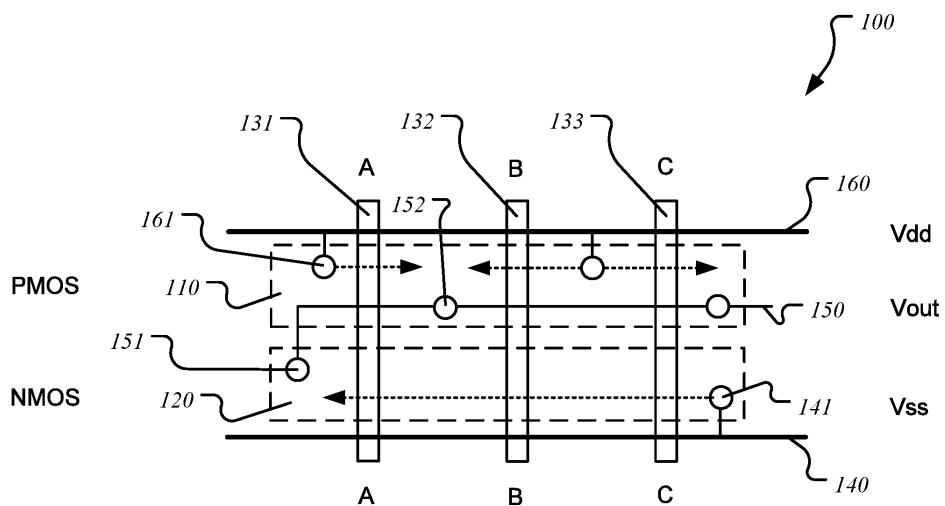
[0048] 본원에 사용되고 있는 바와 같이 "기판" 또는 "타깃 기판"은 일반적으로 본 발명에 따라 처리되는 대상물을 지칭한다. 기판은 디바이스, 특히 반도체 또는 그 밖의 전자 디바이스의 임의의 재료 부분 또는 구조를 포함할 수 있고, 예를 들어 반도체 웨이퍼, 레티클 등의 베이스 기판 구조, 또는 베이스 기판 구조에 혹은 그 위에 놓이는 박막 등의 층일 수도 있다. 따라서, 기판은 임의의 특정 베이스 구조, 상위층 혹은 하위층, 패터닝된 혹은 패터닝되지 않은 구조에 국한되는 것이 아니라, 임의의 상기 층 혹은 베이스 구조와, 층 및/또는 베이스 구조의 임의의 조합을 포함하는 것으로 고려된다. 상기 설명은 특정 타입의 기판을 참조로 하지만, 이는 단지 예시를 하기 위한 것이다.

[0049] 당업자는 또한, 본 발명의 동일한 목적을 여전히 달성하면서 위에서 설명된 기술의 운용에 대해 많은 변형이 실시될 수 있다는 것을 이해할 것이다. 이러한 변형들은 본원의 범위에 의해 커버되도록 되어 있는 것이다. 이에 따라, 본 발명의 실시형태들의 전술한 기재는 제한하려는 의도는 없다. 오히려, 본 발명의 실시형태들에 대한 임의의 한정은 이하의 청구범위에서 제시된다.

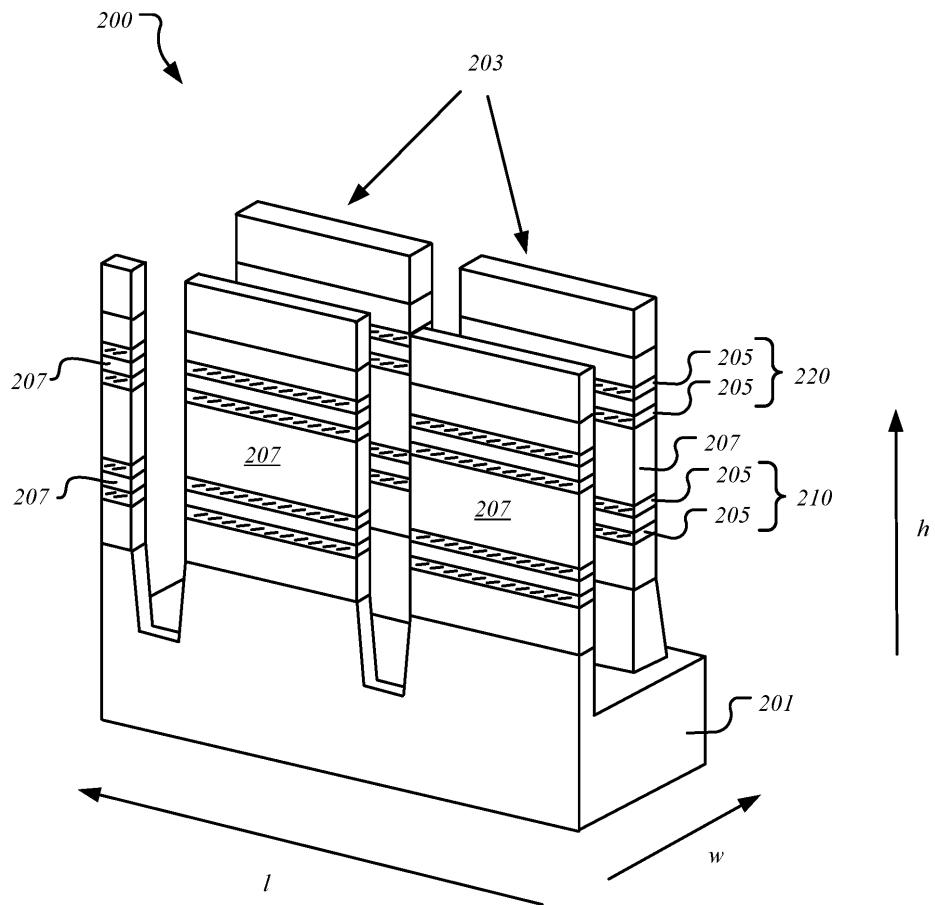
[0050] 본 개시내용의 양태들은 실시예로서 제안된 그 특정 실시형태와 함께 기술되었지만, 실시예에 대한 대안, 수정 및 변형이 실시될 수 있다. 따라서, 본원에 제시된 실시형태들은 예시적인 것으로 그리고 제한하려는 것은 아닌 것으로 의도되어 있다. 아래에 제시된 청구범위의 범위를 벗어나지 않고서 실시될 수 있는 변경들이 있다.

도면

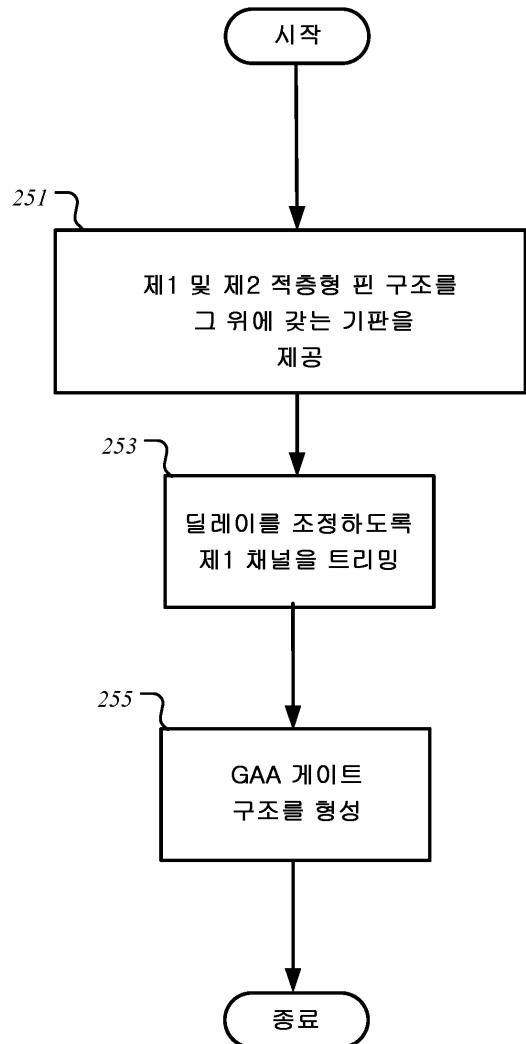
도면1



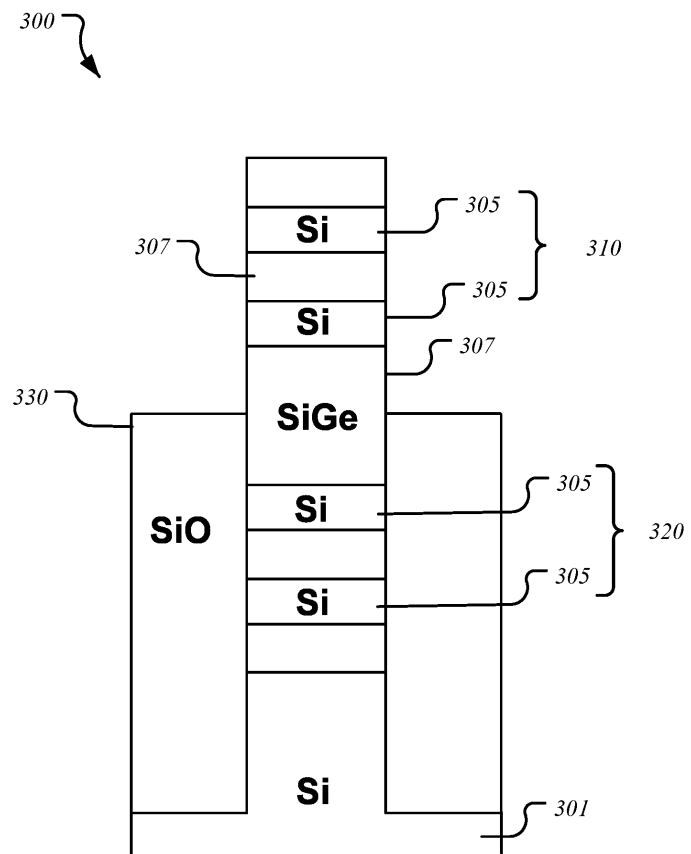
도면2a



도면2b

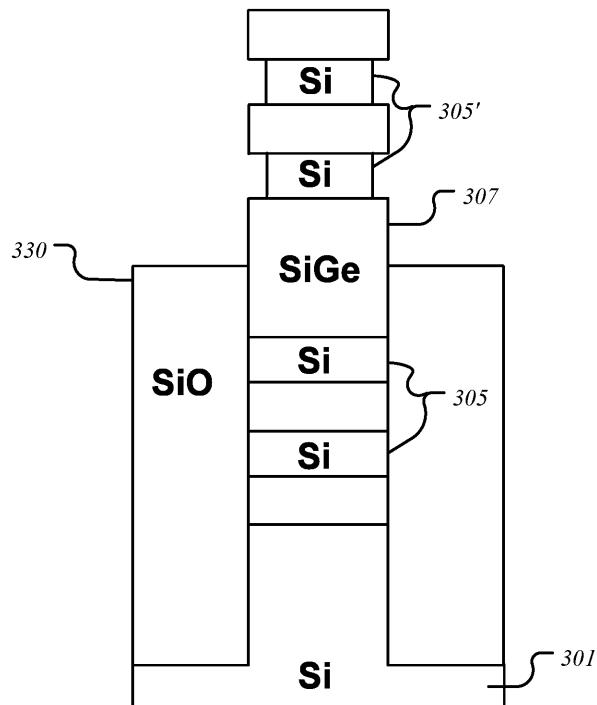


도면3



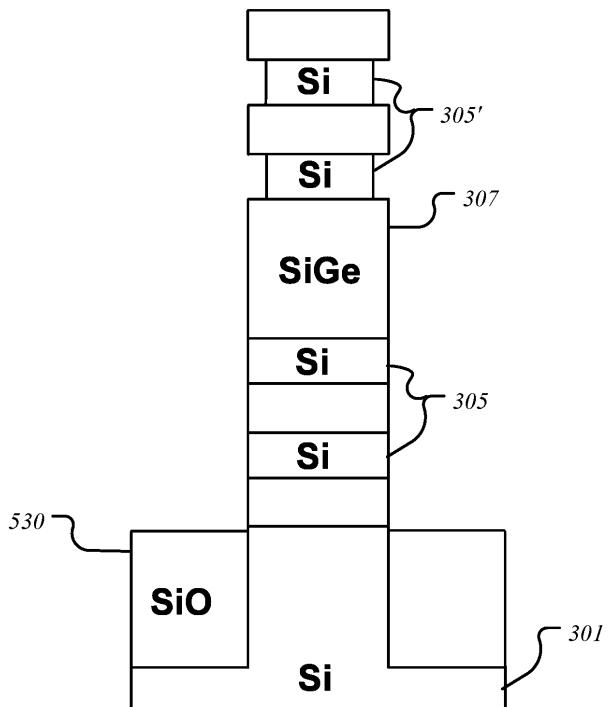
도면4

400



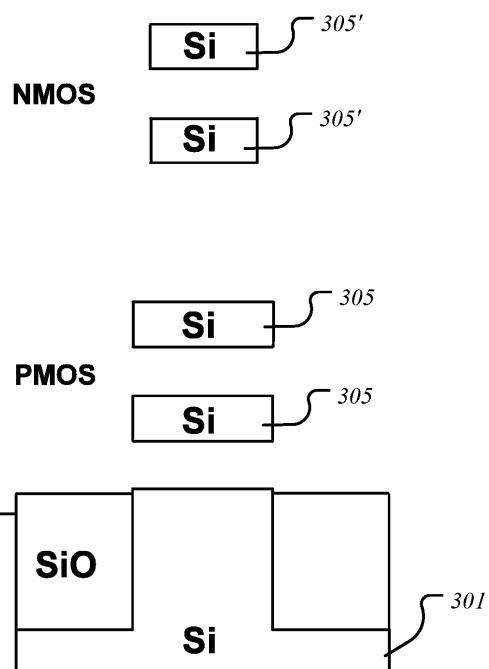
도면5

500

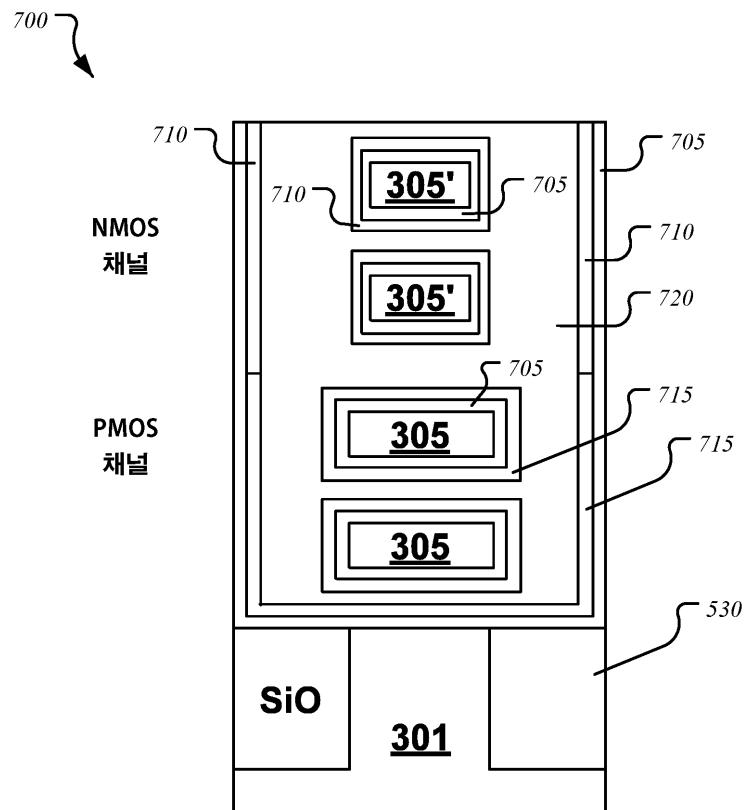


도면6

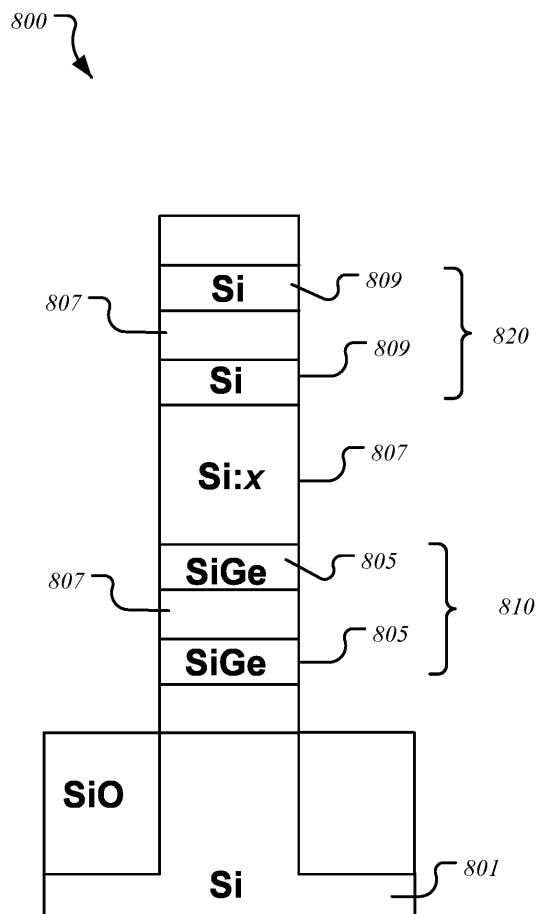
600



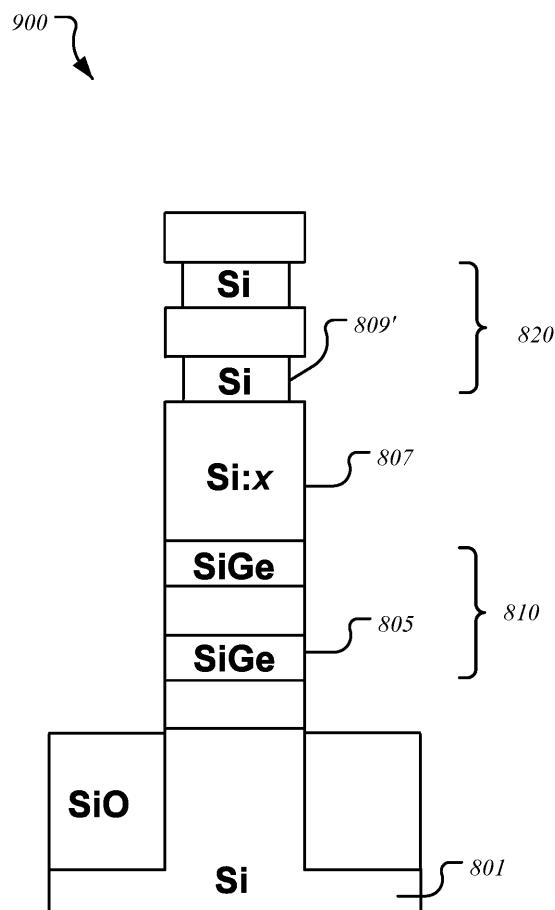
도면7



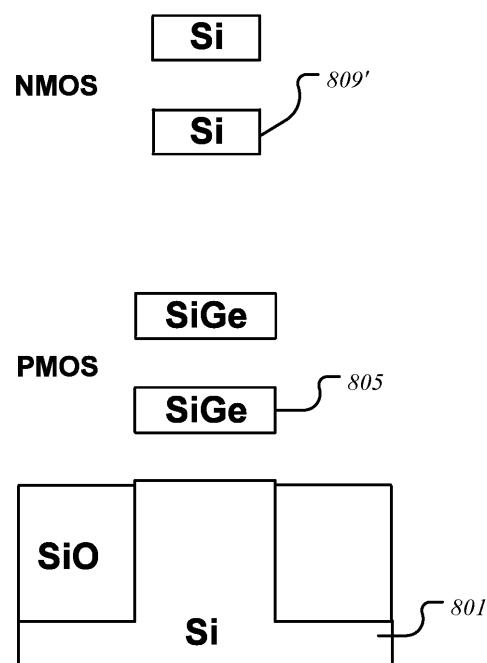
도면8



도면9



도면10



도면11

