



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201225302 A1

(43)公開日：中華民國 101 (2012) 年 06 月 16 日

(21)申請案號：100100348

(22)申請日：中華民國 100 (2011) 年 01 月 05 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

H01L21/336 (2006.01)

(30)優先權：2010/12/01 美國

12/957,406

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：吳文馨 WU, WEN SHING (TW)；黃俊堯 HUANG, CHUN YAO (TW)；林欣樺 LIN,

HSIN HUA (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：13 項 圖式數：19 共 41 頁

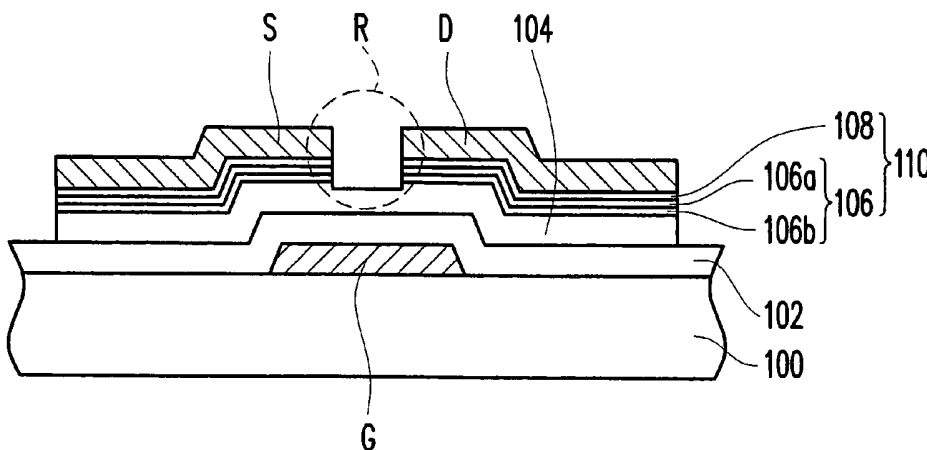
(54)名稱

薄膜電晶體

THIN FILM TRANSISTOR

(57)摘要

一種薄膜電晶體，包括閘極、電極對、配置於閘極與電極對之間的第一半導體層以及配置於第一半導體層與電極對之間的半導體疊層。半導體疊層包括第二半導體層以及至少一半導體層組。其中，第二半導體層鄰近於電極對設置，半導體層組包括第三半導體層以及第四半導體層。此外，第二半導體層與第四半導體層包夾第三半導體層。詳細而言，第三半導體層之導電率實質上小於第二半導體層之導電率及第四半導體層之導電率。



100：基板

102：絕緣層

104：第一半導體層

106：半導體層組

106a：第三半導體層

106b：第四半導體層

108：第二半導體層

110：半導體疊層

D：汲極

G：閘極

R：區域

S：源極



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201225302 A1

(43)公開日：中華民國 101 (2012) 年 06 月 16 日

(21)申請案號：100100348

(22)申請日：中華民國 100 (2011) 年 01 月 05 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

H01L21/336 (2006.01)

(30)優先權：2010/12/01 美國

12/957,406

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：吳文馨 WU, WEN SHING (TW)；黃俊堯 HUANG, CHUN YAO (TW)；林欣樺 LIN,

HSIN HUA (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：13 項 圖式數：19 共 41 頁

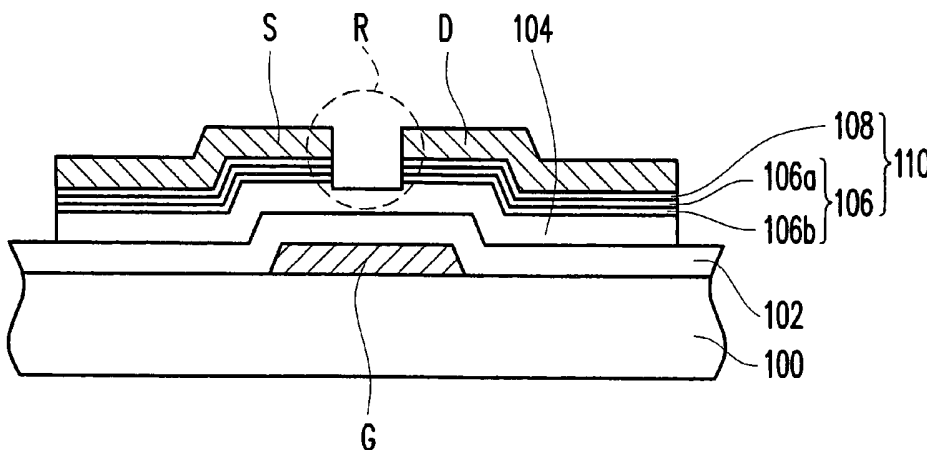
(54)名稱

薄膜電晶體

THIN FILM TRANSISTOR

(57)摘要

一種薄膜電晶體，包括閘極、電極對、配置於閘極與電極對之間的第一半導體層以及配置於第一半導體層與電極對之間的半導體疊層。半導體疊層包括第二半導體層以及至少一半導體層組。其中，第二半導體層鄰近於電極對設置，半導體層組包括第三半導體層以及第四半導體層。此外，第二半導體層與第四半導體層包夾第三半導體層。詳細而言，第三半導體層之導電率實質上小於第二半導體層之導電率及第四半導體層之導電率。



100：基板

102：絕緣層

104：第一半導體層

106：半導體層組

106a：第三半導體層

106b：第四半導體層

108：第二半導體層

110：半導體疊層

D：汲極

G：閘極

R：區域

S：源極

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件，且特別是有關於一種薄膜電晶體。

【先前技術】

隨著現代資訊科技的進步，各種不同規格的顯示器已被廣泛地應用在消費者電子產品的螢幕之中，例如手機、筆記型電腦、數位相機以及個人數位助理(PDAs)等。在這些顯示器中，由於液晶顯示器(liquid crystal displays, LCD)及有機電激發光顯示器(Organic Electroluminescence Display, OLED 或稱為 AMOLED)具有輕薄以及消耗功率低的優點，因此在市場中成為主流商品。LCD 與 OLED 的製程包括將半導體元件陣列排列於基板上，而半導體元件包含薄膜電晶體(thin film transistors, TFTs)。

傳統上來說，薄膜電晶體包括頂閘型薄膜電晶體(top-gate TFTs)以及底閘型薄膜電晶體(bottom-gate TFTs)。這些 TFTs 只有(僅有)一層半導體層作為主動層或通道層，因此，若受到前光源、背光源或外界光源的照射，則 TFTs 的半導體層很容易產生光漏電流(photo current leakage)。光漏電流會導致殘影進而使顯示器的顯示品質下降。

【發明內容】

有鑑於此，本發明提供一種可以降低光漏電流的薄膜電晶體。

本發明提出一種薄膜電晶體，其包括閘極、電極對、配置於閘極與電極對之間的第一半導體層以及配置於第一半導體層與電極對之間的半導體疊層。半導體疊層包括第二半導體層以及至少一半導體層組。第二半導體層鄰近於電極對設置，半導體層組包括第三半導體層以及第四半導體層。此外，第三半導體層夾於第二半導體層與第四半導體層之間。特別是，第三半導體層之導電率實質上小於第二半導體層之導電率及第四半導體層之導電率。

本發明另提出一種薄膜電晶體，其包括閘極、電極對、以及配置於閘極上或配置於閘極下方的半導體層。半導體層包括至少一個第一半導體區域、至少一個第二半導體區域以及至少一個半導體區域組。第二半導體區域配置於第一半導體區域之至少一側，半導體區域組包括第三半導體區域以及第四半導體區域。此外，第二半導體區域與第四半導體區域包夾第三半導體區域。特別是，第三半導體區域之導電率實質上小於第二半導體區域之導電率及第四半導體區域之導電率。

基於上述，本發明之 TFT 具有至少一半導體層組，其包含第三半導體層及第四半導體層，且第三半導體層之導電率實質上小於第四半導體層之導電率。因此，在第三半導體層與第四半導體層的接面(junction)可形成內建電場以作為電洞阻障(hole barrier)之用。在半導體疊層中的電洞阻

障可以有效地降低 TFT 的光漏電流。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

第一實施例

圖 1 是依照本發明之第一實施例之一種 TFT 的剖面示意圖。圖 1A 是圖 1 中之區域 R 的局部放大示意圖。請參照圖 1 與圖 1A，本實施例中之薄膜電晶體包括閘極 G、電極對 S 與 D、第一半導體層 104 以及半導體疊層 110。

閘極 G 配置於基板 100 上。基板 100 可以由玻璃、石英、有機聚合物 (organic polymer)、非光透射/反射 (non-light-transmissive/reflective) 材料 (例如導電物質、金屬、晶圓、陶瓷等) 或其他適合的材料製作而成。當基板 100 是由導電物質或金屬製作而成時，則會覆蓋一層絕緣層 (未繪示) 在基板 100 上以防止短路。此外，基於導電率的考量，閘極 G 通常由金屬材料製作而成。根據本發明的其他實施例，閘極 G 也可以由其他的導電材質 (例如合金、金屬氮化物、金屬氧化物、金屬氮氧化物或其他適合的材料) 或是由包含金屬材料及其他導電材料之堆疊層製作而成。

在本實施例中，絕緣層 102 更進一步地配置於基板 100 上以覆蓋閘極 G。絕緣層 102 在此可稱為閘絕緣層。絕緣層 102 可以由無機材料 (例如氧化矽、氮化矽或氮氧化矽)、

有機材料或是由包含絕緣材料及其他絕緣材料之堆疊層製作而成。

第一半導體層 104 配置於閘極 G 上方的絕緣層 102 上。第一半導體層 104 在此可稱為通道層或主動層。第一半導體層 104 包括含矽半導體材料或金屬氧化物半導體材料。其中，含矽半導體材料可為本質(或稱為本徵)半導體材料，其例如是非晶矽、多晶矽、微晶矽或單晶矽等。而金屬氧化物半導體材料包括銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、銦鋅氧化物(Indium-Zinc Oxide, IZO)、鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、鋅錫氧化物(Zinc-Tin Oxide, ZTO)、銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的金屬氧化物半導體材料。在其他的實施例中，第一半導體層 104 也許具有較低的導電率。

電極對 S 與 D 配置於第一半導體層上，電極對 S、D 在此分別稱為源極與汲極。基於導電率的考量，源極 S 與汲極 D 通常由金屬材料製作而成。根據本發明的其他實施例，源極 S 與汲極 D 可以由其他的導電材質(例如合金、金屬氮化物、金屬氧化物、金屬氮氧化物或其他適合的材料)或是由包含金屬材料及其他導電材料之堆疊層製作而成。

半導體疊層 110 配置於第一半導體層 104 與電極對 S,D 之間。根據一實施例，半導體疊層 110 包括第二半導體層 108 以及至少一半導體層組 106。本發明並未限制半

導體層組 106 的數目。為了清楚地說明本實施例，本實施例中是以在半導體疊層 110 中形成一組半導體層組 106 為例來說明。然而，在其他的實施例中，也可以在半導體疊層 110 中形成兩組或兩組以上之半導體層組 106。在此，半導體疊層 110 可稱為歐姆接觸層(ohmic contact layer)。

第二半導體層 108 鄰近於電極對 S,D 設置。在本實施例中，第二半導體層 108 配置於第一半導體層 104 與電極對 S,D 之間且與電極對 S,D 接觸。第二半導體層 108 之導電率實質上大於第一半導體層 104 之導電率。第二半導體層 108 包括經摻雜的含矽(doped silicon-containing)半導體材料或金屬氧化物半導體材料。其中，經摻雜的含矽半導體材料可為摻雜非晶矽、摻雜多晶矽、摻雜微晶矽或摻雜單晶矽等。而金屬氧化物半導體材料是富含金屬(metal-rich)的金屬氧化物半導體材料，例如是富含金屬的銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、富含金屬的銦鋅氧化物(Indium-Zinc Oxide, IZO)、富含金屬的鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、富含金屬的鋅錫氧化物(Zinc-Tin Oxide, ZTO)、富含金屬的銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的富含金屬的金屬氧化物半導體材料，以使第二半導體層 108 實質上大於第一半導體層 104 之導電率。

所述至少一半導體層組 106 包括第三半導體層 106a 以及第四半導體層 106b。第三半導體層 106a 夾於第二半導體層 108 與第四半導體層 106b 之間，且第四半導體層

106b 夾於第三半導體層 106a 與第一半導體層 104 之間。特別是，第三半導體層 106a 之導電率實質上小於第二半導體層 108 之導電率及第四半導體層 106b 之導電率。此外，第三半導體層 106a 之導電率實質上大於或等於第一半導體層 104 之導電率。根據本實施例中，第三半導體層 106a 的材質與第一半導體層 104 的材質相同或類似。舉例來說，第三半導體層 106a 包括含矽半導體材料或金屬氧化物半導體材料。所述含矽半導體材料可為本質(或稱為本徵)半導體材料，其例如是未經摻雜(non-doped)非晶矽、未經摻雜多晶矽、未經摻雜微晶矽或未經摻雜單晶矽等。而金屬氧化物半導體材料包括銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、銦鋅氧化物(Indium-Zinc Oxide, IZO)、鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、鋅錫氧化物(Zinc-Tin Oxide, ZTO)、銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的金屬氧化物半導體材料。金屬氧化物半導體材料較佳的是選擇是富含氧(oxygen-rich)的金屬氧化物半導體材料，例如是富含氧的銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、富含氧的銦鋅氧化物(Indium-Zinc Oxide, IZO)、富含氧的鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、富含氧的鋅錫氧化物(Zinc-Tin Oxide, ZTO)、富含氧的銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的富含氧的金屬氧化物半導體材料。

再者，第四半導體層 106b 的材質與第二半導體層 108

的材質相同或類似。舉例來說，第四半導體層 106b 包括經摻雜的含矽半導體材料或金屬氧化物半導體材料。所述經摻雜的含矽半導體材料可為摻雜非晶矽、摻雜多晶矽、摻雜微晶矽或摻雜單晶矽等。而金屬氧化物半導體材料是富含金屬的(metal-rich)金屬氧化物半導體材料，例如是富含金屬的銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、富含金屬的銦鋅氧化物(Indium-Zinc Oxide, IZO)、富含金屬的鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、富含金屬的鋅錫氧化物(Zinc-Tin Oxide, ZTO)、富含金屬的銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的富含金屬的金屬氧化物半導體材料。

如圖 1 所示之本實施例，TFT 具有半導體疊層 110，其包括第二半導體層 108、第三半導體層 106a 以及第四半導體層 106b，且半導體疊層 110 位於第一半導體層 104 與電極對 S,D 之間。第三半導體層 106a 之導電率實質上小於第二半導體層 108 之導電率及第四半導體層 106b 之導電率。當未施加偏壓於所述 TFT 時，在第三半導體層 106a 與第四半導體層 106b 之接面形成有內建電場 E3 以作為電洞阻障，如圖 1A 所示。更詳細地說，因為第三半導體層 106a 之導電率(例如以未經摻雜的含矽半導體材料作為範例)實質上小於第四半導體層 106b 之導電率(例如以經摻雜的含矽半導體材料作為範例)，所以在第四半導體層 106b 中的載子(例如自由電子)會擴散至第三半導體層 106a，使得空間電荷(space-charge)區域分佈在靠近所述接面之第四

半導體層 106b 中。換句話說，內建電場 E3 的形成是因為第三半導體層 106a 與第四半導體層 106b 之間的接面具有離子化(ionized)的載子之故。特別是，第二半導體層 108 與第三半導體層 106a 之間所形成的內建電場 E1 之方向與內建電場 E3 之方向相反，且第四半導體層 106b 與第一半導體層 104 之間所形成的內建電場 E2 之方向也與內建電場 E3 之方向相反。倘若 TFT 產生光電流，則內建電場 E3(作為電洞阻障之用)便能有效地抑制電洞流從第一半導體層 104 注入源極 S，因而可降低 TFT 的光漏電流。

圖 2 是依照本發明之第一實施例之 TFT 的剖面示意圖。圖 2 所示之實施例相似於圖 1 所示之實施例，因此圖 2 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 2 所示之實施例與圖 1 所示之實施例不同之處在於 TFT 更包括附加半導體層(additional semiconductor layer)120，其配置於半導體疊層 110 之第二半導體層 108 與電極對 S,D 之間。此附加半導體層 120 的材質與第一半導體層 104 及第三半導體層 106a 的材質相同或類似。因此，附加半導體層 120 包括含矽半導體材料或金屬氧化物半導體材料。所述含矽半導體材料可為本質(或稱為本徵)半導體材料，其例如是非晶矽、多晶矽、微晶矽或單晶矽等。而金屬氧化物半導體材料包括銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、銦鋅氧化物(Indium-Zinc Oxide, IZO)、鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、鋅錫氧化物(Zinc-Tin Oxide, ZTO)、銦錫氧化物(Indium-Tin Oxide, ITO)或其他適

合的金屬氧化物半導體材料。

圖 3 是依照本發明之第一實施例之 TFT 的剖面示意圖。圖 3 所示之實施例相似於圖 1 所示之實施例，因此圖 3 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 3 所示之實施例與圖 1 所示之實施例不同之處在於 TFT 更包括緩衝層(buffer layer)130，其配置於第一半導體層 104 與半導體疊層 110 之第四半導體層 106b 之間。特別是，緩衝層 130 之導電率從第一半導體層 104 往半導體疊層 110 之第四半導體層 106b 逐漸增加。更詳細地說，靠近第一半導體層 104 的緩衝層 130 之導電率實質上小於靠近半導體疊層 110 之第四半導體層 106b 的緩衝層 130 之導電率，且緩衝層 130 之導電率從第一半導體層 104 往半導體疊層 110 之第四半導體層 106b 逐漸增加。緩衝層 130 可以由具有梯度摻雜濃度(gradient dopant concentration)的摻雜含矽半導體材料來形成，或是由具有梯度氧濃度(gradient oxygen)或梯度金屬濃度的金屬氧化物半導體材料來形成。上述之經摻雜的含矽半導體材料可為摻雜非晶矽、摻雜多晶矽、摻雜微晶矽或摻雜單晶矽等。金屬氧化物半導體材料包括銦鎵鋅氧化物(Indium-Gallium-Zinc Oxide, IGZO)、銦鋅氧化物(Indium-Zinc Oxide, IZO)、鎵鋅氧化物(Gallium-Zinc Oxide, GZO)、鋅錫氧化物(Zinc-Tin Oxide, ZTO)、銦錫氧化物(Indium-Tin Oxide, ITO)或其他適合的金屬氧化物半導體材料。在另一實施例中，圖 2 中的附加半導體層 120 也可以應用在圖 3 的結構中。

圖 4 是依照本發明之第一實施例之一種 TFT 的剖面示意圖。圖 4 所示之實施例相似於圖 1 所示之實施例，因此圖 4 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 4 所示之實施例與圖 1 所示之實施例不同之處在於 TFT 更包括介電島狀物(dielectric island)140，其配置於第一半導體層 104 上以及位於第一半導體層 104 與半導體疊層 110 之間。介電島狀物 140 也可稱之為蝕刻終止(etching stop)島狀物，用以保護第一半導體層 104。介電島狀物 140 可包括氮化矽、氮氧化矽、氧化矽或其他適合的介電材質。在其他的實施例中，圖 2 中的附加半導體層 120 及圖 3 中的緩衝層 130 至少其中之一也可以應用在圖 4 的結構中。

圖 5 是依照本發明之第一實施例之一種 TFT 的剖面示意圖。圖 5 所示之實施例相似於圖 1 所示之實施例，因此圖 5 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 5 所示之實施例與圖 1 所示之實施例不同之處在於電極對 S, D 配置於絕緣層 102 上，且第一半導體層 104 配置於電極對 S, D 及絕緣層 102 上。此外，半導體疊層 110 之第二半導體層 108 配置於電極對 S, D 上，第三半導體層 106a 配置於第二半導體層 108 上，且第四半導體層 106b 配置於第三半導體層 106a 上。在其他的實施例中，圖 2 中的附加半導體層 120 及圖 3 中的緩衝層 130 至少其中之一也可以應用在圖 5 的結構中。

在圖 1 至圖 5 所示的 TFTs 中，閘極 G 皆配置於第一半導體層 104 下方，因此這些 TFTs 即所謂的底閘型薄膜

電晶體。然而，本發明並不以此為限，根據其他的實施例，半導體疊層也可應用在頂閘型薄膜電晶體，如圖 6 與圖 7 所示。

圖 6 是依照本發明之第一實施例之一種 TFT 的剖面示意圖。圖 6 所示之實施例相似於圖 1 所示之實施例，因此圖 6 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 6 所示之實施例與圖 1 所示之實施例不同之處在於電極對 S, D 配置於閘極 G 下方，且第一半導體層 104 配置於電極對 S, D 及閘極 G 下方。因此，圖 6 中之 TFT 的第一半導體層 104 配置於基板 100 上，半導體疊層 110 配置於第一半導體層 104 上，電極對 S, D 配置於半導體疊層 110 上，絕緣層 102 配置於電極對 S, D 上，且閘極 G 配置於絕緣層 102 上。在其他的實施例中，圖 2 中的附加半導體層 120 及圖 3 中的緩衝層 130 至少其中之一也可以應用在圖 6 的結構中。

圖 7 是依照本發明之第一實施例之一種 TFT 的剖面示意圖。圖 7 所示之實施例相似於圖 1 所示之實施例，因此圖 7 中與圖 1 相同元件以相同標號表示，且在此不予贅述。圖 7 所示之實施例與圖 1 所示之實施例不同之處在於電極對 S, D 配置於閘極 G 下方，且第一半導體層 104 配置於電極對 S, D 及閘極 G 之間。因此，圖 7 中之 TFT 的電極對 S, D 配置於基板 100 上，半導體疊層 110 配置於電極對 S, D 上，第一半導體層 104 配置於半導體疊層 110 上，絕緣層 102 配置於第一半導體層 104 上，且閘極 G 配置於絕緣

層 102 上。在其他的實施例中，圖 2 中的附加半導體層 120 及圖 3 中的緩衝層 130 至少其中之一也可以應用在圖 7 的結構中。

對於上述之 TFTs，基於電極對 S, D 與第一半導體層 104 之間的電性連接的考量，電極對 S, D 與半導體疊層 110 之第二半導體層 108 接觸為較佳實施例，然而本發明並非限定於此。

第二實施例

圖 8 是依照本發明之第二實施例之一種 TFT 的剖面示意圖。請參照圖 8，本實施例之薄膜電晶體包括閘極 G、電極對 S 與 D 以及半導體層 202。

半導體層 202 配置於基板 200。基板 200 可以由玻璃、石英、有機聚合物、非光透射/反射材料(例如導電物質、金屬、晶圓、陶瓷等)或其他適合的材料製作而成。當基板 200 是由導電物質或金屬製作而成時，則會覆蓋一層絕緣層(未繪示)在基板 200 上以防止短路。半導體層 202 包括含矽半導體材料，其例如是多晶矽、微晶矽、單晶矽或非晶矽。除此之外，半導體層 202 包括至少一第一半導體區域 210、至少一第二半導體區域 212,222 以及至少一半導體區域組 214,224。於此，第一半導體區域 210 可稱作通道區域或主動區域。

在本實施例中，是以二個第二半導體區域 212,222 配置於第一半導體區域 210 的兩側，半導體區域組 214 配置

於第一半導體區域 210 與第二半導體區域 212 之間，且半導體區域組 224 配置於第一半導體區域 210 與第二半導體區域 222 之間為例來說明。然而，本發明並未限制第一半導體區域、第二半導體區域及半導體區域組的數量。第二半導體區域 212 及半導體區域組 214 在此可稱作歐姆接觸區(ohmic contact regions)，同樣地，第二半導體區域 222 及半導體區域組 224 在此也可稱作歐姆接觸區。

半導體區域組 214 包括第三半導體區域 214a 以及第四半導體區域 214b，且第三半導體區域 214a 夾於第二半導體區域 212 與第四半導體區域 214b 之間。半導體區域組 224 包括第三半導體區域 224a 以及第四半導體區域 224b，且夾第三半導體區域 224a 夾於第二半導體區域 222 與第四半導體區域 224b 之間。

根據本發明的一實施例，第一半導體區域 210 之導電率實質上小於第二半導體區域 212,222 之導電率以及半導體區域組 214,224 之導電率。舉例而言，第一半導體區域 210 是本質(或稱為本徵)半導體區域或是未經摻雜之半導體區域，其中第二半導體區域 212,222 及半導體區域組 214,224 為經摻雜的半導體區域(例如是摻雜 n 型(n-type)或 p 型(p-type)的半導體區域)。更特別地是，第三半導體區域 214a 之導電率(以摻雜濃度為例)實質上小於第二半導體區域 212 之導電率(以摻雜濃度為例)以及第四半導體區域 214b 之導電率(以摻雜濃度為例)。第三半導體區域 224a 之導電率實質上小於第二半導體區域 222 之導電率及第四

半導體區域 224b 之導電率。此外，第三半導體區域 214a,224a 實質上大於或等於第一半導體區域 210 之導電率。

絕緣層 204 覆蓋半導體層 202，絕緣層 204 在此稱作閘絕緣層。絕緣層 204 可以由無機材料(例如氧化矽、氮化矽或氮氧化矽)、有機材料或是由包含絕緣材料及其他絕緣材料之堆疊層製作而成。

閘極 G 配置於絕緣層 204 上。基於導電率的考量，閘極 G 通常由金屬材料製作而成。根據本發明的其他實施例，閘極 G 可以由其他的導電材質(例如合金、金屬氮化物、金屬氧化物、金屬氮氧化物或其他適合的材料)或是由包含金屬材料及其他導電材料之堆疊層製作而成。

保護層 206 進一步地覆蓋在閘極 G 上。保護層 206 可以由有機材料(例如是聚酯 (polyester)、聚乙烯 (polyethylene)、環烯烴(cycloolefin)、聚醯亞胺(polyimide)、聚醯胺 (polyamide)、聚醇類 (polyalcohols)、聚苯 (polyphenylene)、聚醚(polyether)、聚酮 (polyketone) 或其他適合的材料及其組合)或是由包含絕緣材料及其他絕緣材料之堆疊層製作而成。

電極對 S, D 配置於保護層 206 內及保護層 206 上，且電極對 S, D 與第二半導體區域 212,222 直接接觸。電極對 S 與 D 在此稱作源極與汲極。基於導電率的考量，源極 S 與汲極 D 通常由金屬材料製作而成。根據本發明的其他實施例，源極 S 與汲極 D 可以由其他的導電材質(例如合金、

金屬氮化物、金屬氧化物、金屬氮氧化物或其他適合的材料)或是由包含金屬材料及其他導電材料之堆疊層製作而成。

圖 8 中之 TFT 的半導體層 202 包括至少一第一半導體區域 210、至少一第二半導體區域 212/222 以及至少一半導體區域組 214/224。所述半導體區域組 214/224 包括第三半導體區域 214a/224a 以及第四半導體區域 214b/224b。第三半導體區域 214a/224a 之導電率實質上小於第二半導體區域 212/222 之導電率以及第四半導體區域 214b/224b 之導電率。當未施加偏壓於 TFT 時，在第三半導體區域 214a/224a 與第四半導體區域 214b/224b 之接面形成有內建電場 E3 以作為電洞阻障之用。類似於圖 1A 之第一實施例，因為第三半導體區域 214a/224a 之導電率(例如以本質(或稱為本徵)半導體區域作為範例)實質上小於第四半導體區域 214b/224b 之導電率(例如以經摻雜之半導體區域作為範例)，所以在第四半導體區域 214b/224b 中的載子(例如自由電子)會擴散至第三半導體區域 214a/224a，使得空間電荷區域分佈在靠近接面之第四半導體區域 214b/224b 中。因此，內建電場的形成是因為在第三半導體區域 214a/224a 與第四半導體區域 214b/224b 之接面具有離子化(ionized)的載子。特別是，第二半導體區域 212,222 與第三半導體區域 214a/224a 之間形成的內建電場之方向與前述內建電場之方向相反。類似地，第四半導體區域 214b/224b 與第一半導體區域 210 之間形成的內建電場之方向也與前

述內建電場之方向相反。倘若 TFT 產生光電流，則內建電場(作為電洞阻障之用)便能有效地抑制光電洞流從第一半導體區域 210 流向源極 S，以降低 TFT 的光漏電流。

圖 9 是依照本發明之第二實施例之一種 TFT 的剖面示意圖。圖 9 所示之實施例相似於圖 8 所示之實施例，因此圖 9 中與圖 8 相同元件以相同標號表示，且在此不予贅述。圖 9 所示之實施例與圖 8 所示之實施例不同之處在於 TFT 的半導體層 202 更包括附加半導體區域 (additional semiconductor region) 216/226。在本實施例中，是以半導體層 202 具有二個附加半導體區域 216 與 226 為例來說明。附加半導體區域 216 配置於第二半導體區域 212 與源極 S 之間，且附加半導體區域 226 配置於第二半導體區域 222 與汲極 D 之間。附加半導體區域 216, 226 之導電率實質上大於或等於第一半導體區域 210 之導電率。

圖 10 是依照本發明之第二實施例之一種 TFT 的剖面示意圖。圖 10 所示之實施例相似於圖 8 所示之實施例，因此圖 10 中與圖 8 相同元件以相同標號表示，且在此不予贅述。圖 10 所示之實施例與圖 8 所示之實施例不同之處在於 TFT 的半導體層 202 更包括緩衝區域 (buffer region) 218/228。在本實施例中，是以半導體層 202 具有二個緩衝區域 218 與 228 為例來說明。緩衝區域 218 配置於第一半導體區域 210 與第四半導體區域 214b 之間，且緩衝區域 228 配置於第一半導體區域 210 與第四半導體區域 224b 之間。特別是，緩衝區域 218 之導電率從第一半導體

區域 210 往第四半導體區域 214b 逐漸增加，且緩衝區域 228 之導電率從第一半導體區域 210 往第四半導體區域 224b 逐漸增加。更詳細地說，靠近第一半導體區域 210 的緩衝區域 218/228 之導電率實質上小於靠近第四半導體區域 214b/224b 的緩衝區域 218/228 之導電率，且緩衝區域 218/228 之導電率從第一半導體區域 210 往第四半導體區域 214b/224b 逐漸增加。緩衝區域 218/228 可以是具有梯度摻雜濃度的經摻雜半導體區域。

圖 11 是依照本發明之第二實施例之一種 TFT 的剖面示意圖。圖 11 所示之實施例相似於圖 8 所示之實施例，因此圖 11 中與圖 8 相同元件以相同標號表示，且在此不予贅述。圖 11 所示之實施例與圖 8 所示之實施例不同之處在於 TFT 的半導體層 202 配置於閘極 G 上方。因此，圖 11 中之 TFT 的閘極 G 是配置於基板 200 上，絕緣層 204 覆蓋閘極 G，半導體層 202 配置於絕緣層 204 上，保護層 206 覆蓋半導體層 202，且電極對 S,D 配置於保護層 206 上。在其他的實施例中，圖 9 中的附加半導體區域 216/226 及圖 10 中的緩衝區域 218/228 至少其中之一也可以應用在圖 11 的半導體層 202 中。

範例及比較例

以下之範例 1 及比較例 1-2 是用來說明具有半導體疊層的 TFT 確實可以降低光漏電流。範例 1 之 TFT 具有如圖 1 所示之結構，其中半導體疊層 110 之第二半導體層 108

例如是 n 型摻雜 (n-doped) 非晶矽且厚度為 200 埃米 (angstrom)。半導體疊層 110 之第三半導體層 106a 例如是未經摻雜非晶矽且厚度為 100 埃米。半導體疊層 110 之第四半導體層 106b 例如是 n 型摻雜非晶矽且厚度為 300 埃米。半導體疊層 110 在此稱為歐姆接觸層，半導體疊層 110 包括第二半導體層 108 以及至少一半導體層組 106，其中半導體層組 106 包括第三半導體層 106a 及第四半導體層 106b。比較例 1 中之 TFT 為傳統 TFT，其僅具有一層大約 200 埃米之歐姆接觸層。比較例 2 中之 TFT 為傳統 TFT，其僅具有一層大約 600 埃米之歐姆接觸層。

圖 12 至圖 15 所示為畫素保持能力 (pixel holding capability) (即亦可表現出光漏電流) 之電流電壓曲線 (IV-curve) 圖。在圖 12 至圖 15 中，範例 1 與比較例 1-2 的薄膜電晶體皆為液晶顯示器 (LCD) 的畫素的開關元件，X 軸代表閘源極電壓 (V_{gs}) 且 Y 軸代表汲源極電流 (I_{ds})。

請參照圖 12 至圖 13，具有範例 1 與比較例 1-2 之薄膜電晶體的液晶顯示器是放置於黑暗的環境中。圖 12 是當薄膜電晶體的汲源極電壓 (V_{ds}) 大約為 5V 時所得到的 I-V 曲線圖 (I_{ds} - V_{gs} curves)，圖 13 是當薄膜電晶體的汲源極電壓大約為 15V 時所得到的 I-V 曲線圖。如圖 12 至圖 13 所示，範例 1 的薄膜電晶體相較於比較例 1-2 之薄膜電晶體具有較低的漏電流 (I_{ds})。特別是，當汲源極電壓愈高，漏電流 (I_{ds}) 下降效應更加明顯。

請參照圖 14 至圖 15 具有範例 1 與比較例 1-2 之薄膜

電晶體的液晶顯示器並未放置於黑暗的環境中，且上述液晶顯示器的背光模組提供了大約 500 尼特(nits)的亮度。類似地，圖 14 是當薄膜電晶體的汲源極電壓(V_{ds})大約為 5V 時所得到的 I-V 曲線圖，圖 15 是當薄膜電晶體的汲源極電壓大約為 15V 時所得到的 I-V 曲線圖。如圖 14 至圖 15 所示，範例 1 的薄膜電晶體相較於比較例 1-2 薄膜電晶體具有較低的光漏電流(I_{ds})。特別是，在圖 14 中範例 1 的光漏電流(I_{ds})與比較例 1 相較之下大約下降 79.9%(在 $V_{gs}=-15V$ 時)。在圖 15 中範例 1 的光漏電流與比較例 1 相較之下大約下降 88.9%(在 $V_{gs}=-15V$ 時)。

圖 16 至圖 17 所示為薄膜電晶體是作為驅動器(例如是閘極驅動電路(gate driver on array, GOA))之漏電流的 IV 曲線圖。在圖 16 至圖 17 中，範例 1 與比較例 1-2 的薄膜電晶體皆作為 GOA 的開關元件，X 軸代表閘源極電壓(V_{gs})且 Y 軸代表汲源極電流(I_{ds})。具有範例 1 與比較例 1-2 之薄膜電晶體的 GOA 是放置於黑暗的環境中。圖 16 是當薄膜電晶體的汲源極電壓(V_{ds})大約為 30V 時所得到的 I-V 曲線圖，圖 17 是當薄膜電晶體的汲源極電壓大約為 50V 時所得到的 I-V 曲線圖。如圖 16 至圖 17 所示，範例 1 的薄膜電晶體相較於比較例 1-2 具有較低的漏電流(I_{ds})。特別是，在圖 16 中範例 1 的漏電流(I_{ds})與比較例 1 相較之下大約下降 81.8%(在 $V_{gs}=0V$ 時)。在圖 17 中範例 1 的光漏電流與比較例 1 相較之下大約下降 87.2%(在 $V_{gs}=0V$ 時)。

圖 18 所示為畫素充電能力(pixel charging capability)

的 IV 曲線圖。圖 19 所示為寄生電阻(parasitic resistance)與薄膜電晶體之歐姆接觸層的厚度之關係示意圖。在圖 18 中，範例 1 與比較例 1-2 的薄膜電晶體皆作為液晶顯示器(LCD)的畫素的開關元件，X 軸代表閘源極電壓(V_{gs})且 Y 軸代表汲源極電流(I_{ds})。在圖 19 中範例 1 與比較例 1-3 的薄膜電晶體皆作為液晶顯示器(LCD)的畫素的開關元件，其中比較例 3 之薄膜電晶體為傳統 TFT，其僅具有一層大約 400 埃米之歐姆接觸層。而左側 Y 軸代表寄生電阻，右側 Y 軸代表寄生電阻下降率。一般而言，如圖 19 所示，寄生電阻與歐姆接觸層和半導體層的相對厚度有關。而當寄生電阻愈低時，畫素充電能力就會愈好。如圖 18 所示，具有範例 1 之薄膜電晶體之畫素的充電能力比較例 1-2 相當。換句話說，範例 1 中薄膜電晶體的半導體疊層不影響畫素充電能力。

以上所述之實施例皆可應用在任何種類的顯示面板或其他任何與薄膜電晶體有關的顯示面板中。顯示面板包括液晶顯示面板(LCD panel)、自發光型顯示面板(self-emitting display panel, SED panel)、電泳顯示面板(EPD panel)、其他適合的顯示面板或任兩種以上之組合。LCD 包括穿透型顯示面板、穿透反射型(trans-reflective)顯示面板、反射型顯示面板、彩色濾光片於陣列上(color filter on array)顯示面板、陣列於彩色濾光片上(array on color filter)顯示面板、垂直配向型(vertical alignment, VA)顯示面板、水平切換型(in plane switch, IPS)顯示面板、多域垂直

配向型(multi-domain vertical alignment, MVA)顯示面板、扭曲向列型(twist nematic, TN)顯示面板、超扭曲向列型(super twist nematic, STN)顯示面板、圖案垂直配向型(patterned-silt vertical alignment, PVA)顯示面板、超級圖案垂直配向型(super patterned-silt vertical alignment, S-PVA)顯示面板、先進大視角型(advance super view, ASV)顯示面板、邊緣電場切換型(fringe field switching, FFS)顯示面板、連續焰火狀排列型(continuous pinwheel alignment, CPA)顯示面板、軸對稱排列微胞型(axially symmetric aligned micro-cell mode, ASM)顯示面板、光學補償彎曲排列型(optical compensation banded, OCB)顯示面板、超級水平切換型(super in plane switching, S-IPS)顯示面板、先進超級水平切換型(advanced super in plane switching, AS-IPS)顯示面板、極端邊緣電場切換型(ultra-fringe field switching, UFFS)顯示面板、高分子穩定配向型顯示面板、雙視角型(dual-view)顯示面板、三視角型(triple-view)顯示面板、三維顯示面板、藍相(blue phase)顯示面板、其它型顯示面板或上述之組合。自發光型顯示面板(SED panel)包括磷光電激發光(phosphorescence electro-luminescent)顯示面板、螢光(fluorescence)電激發光顯示面板或上述之組合，且自發光材質可以是有機材料、無機材料或其組合。再者，上述所提材料的分子大小包括小分子、聚合物或其組合。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離

本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1~圖 7 是依照本發明之第一實施例之薄膜電晶體的剖面示意圖。

圖 1A 是圖 1 中之區域 R 的局部放大示意圖。

圖 8~圖 11 是依照本發明之第二實施例之薄膜電晶體的剖面示意圖。

圖 12~圖 15 所示為畫素保持能力(pixel holding capability)之電流電壓曲線(IV-curve)圖。

圖 16~圖 17 為薄膜電晶體是作為驅動器(例如是閘極驅動電路(gate driver on array, GOA))之漏電流的 IV 曲線圖。

圖 18 所示為畫素充電能力(pixel charging capability)的 IV 曲線圖。

圖 19 所示為寄生電阻(parasitic resistance)與 TFT 中之歐姆接觸層的厚度之關係示意圖。

【主要元件符號說明】

100、200：基板

102、204：絕緣層

104：第一半導體層

106：半導體層組

- 106a：第三半導體層
- 106b：第四半導體層
- 108：第二半導體層
- 110：半導體疊層
- 120：附加半導體層
- 130：緩衝層
- 140：第一半導體層
- 202：半導體層
- 206：保護層
- 210：第一半導體區域
- 212、222：第二半導體區域
- 214、224：半導體區域組
- 214a、224a：第三半導體區域
- 214b、224b：第四半導體區域
- 216、226：附加半導體區域
- 218、228：緩衝區域
- S：源極
- D：汲極
- G：閘極
- R：區域
- E1~E3：內建電場

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100100348

※申請日： 100.1.-5 ※IPC 分類：

H01L 27/08 (2006.01)
H01L 27/36 (2006.01)

一、發明名稱：

薄膜電晶體 / THIN FILM TRANSISTOR

二、中文發明摘要：

一種薄膜電晶體，包括閘極、電極對、配置於閘極與電極對之間的第一半導體層以及配置於第一半導體層與電極對之間的半導體疊層。半導體疊層包括第二半導體層以及至少一半導體層組。其中，第二半導體層鄰近於電極對設置，半導體層組包括第三半導體層以及第四半導體層。此外，第二半導體層與第四半導體層包夾第三半導體層。詳細而言，第三半導體層之導電率實質上小於第二半導體層之導電率及第四半導體層之導電率。

三、英文發明摘要：

A thin film transistor includes a gate, a pair of electrodes, a first semiconductor layer disposed between the gate and the pair of electrodes, and a semiconductor stacked layer disposed between the first semiconductor layer and the pair of the electrodes. The semiconductor stacked layer includes a second semiconductor layer disposed adjacent to the pair of electrodes and at least one pair of semiconductor layers including a third semiconductor layer and a fourth

semiconductor layer, the third semiconductor layer being sandwiched between the second semiconductor layer and the fourth semiconductor layer. In particular, the electric conductivity of the third semiconductor layer is substantially smaller than the electric conductivity of the second semiconductor layer and the electric conductivity of the fourth semiconductor layer.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：基板

102：絕緣層

104：第一半導體層

106：半導體層組

106a：第三半導體層

106b：第四半導體層

108：第二半導體層

110：半導體疊層

S：源極

D：汲極

G：閘極

R：區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種薄膜電晶體，包括：
 - 一閘極以及一電極對；
 - 一第一半導體層，配置於該閘極與該電極對之間；
 - 一半導體疊層，配置於該第一半導體層與該電極對之間，其中該半導體疊層包括：
 - 一第二半導體層，鄰近於該電極對設置；以及
 - 至少一半導體層組，該半導體層組包括一第三半導體層以及一第四半導體層，該第三半導體層夾於該第二半導體層與該第四半導體層之間，其中該第三半導體層之導電率實質上小於該第二半導體層之導電率及該第四半導體層之導電率。
2. 如申請專利範圍第 1 項所述之薄膜電晶體，更包括一附加半導體層，配置於該半導體疊層之該第二半導體層與該電極對之間。
3. 如申請專利範圍第 1 項所述之薄膜電晶體，更包括一緩衝層，配置於該第一半導體層與該半導體疊層之該第四半導體層之間，該緩衝層之導電率由該第一半導體層往該半導體疊層之該第四半導體層逐漸增加。
4. 如申請專利範圍第 1 項所述之薄膜電晶體，其中該電極對與該第二半導體層接觸。
5. 如申請專利範圍第 1 項所述之薄膜電晶體，其中該閘極配置於該第一半導體層下方。
6. 如申請專利範圍第 1 項所述之薄膜電晶體，其中該

電極對配置於該第一半導體層下方。

7. 如申請專利範圍第 1 項所述之薄膜電晶體，更包括一介電島狀物，配置於該第一半導體層上且位於該第一半導體層與該半導體疊層之間。

8. 如申請專利範圍第 1 項所述之薄膜電晶體，其中該第三半導體層之導電率實質上大於或等於第一半導體層之導電率。

9. 一種薄膜電晶體，包括：

一閘極以及一電極對；

一半導體層，配置於該閘極上或配置於該閘極下方，其中該半導體層包括：

至少一第一半導體區域；

至少一第二半導體區域，配置於該第一半導體區域之至少一側；以及

至少一半導體區域組，該半導體區域組包括一第三半導體區域以及一第四半導體區域，該第三半導體區域夾於該第二半導體區域與該第四半導體區域之間，

其中該第三半導體區域之導電率實質上小於該第二半導體區域之導電率及該第四半導體區域之導電率。

10. 如申請專利範圍第 9 項所述之薄膜電晶體，更包括至少一附加半導體區域，配置於該第二半導體區域與該電極對之間。

11. 如申請專利範圍第 9 項所述之薄膜電晶體，更包括至少一緩衝區域，配置於該第一半導體區域與該第四半

導體區域之間，該緩衝區域之導電率由該第一半導體區域往該第四半導體區域逐漸增加。

12. 如申請專利範圍第 9 項所述之薄膜電晶體，其中該電極對與該第二半導體區域接觸。

13. 如申請專利範圍第 9 項所述之薄膜電晶體，其中該第三半導體區域之導電率實質上大於或等於該第一半導體區域之導電率。

36755TW_T

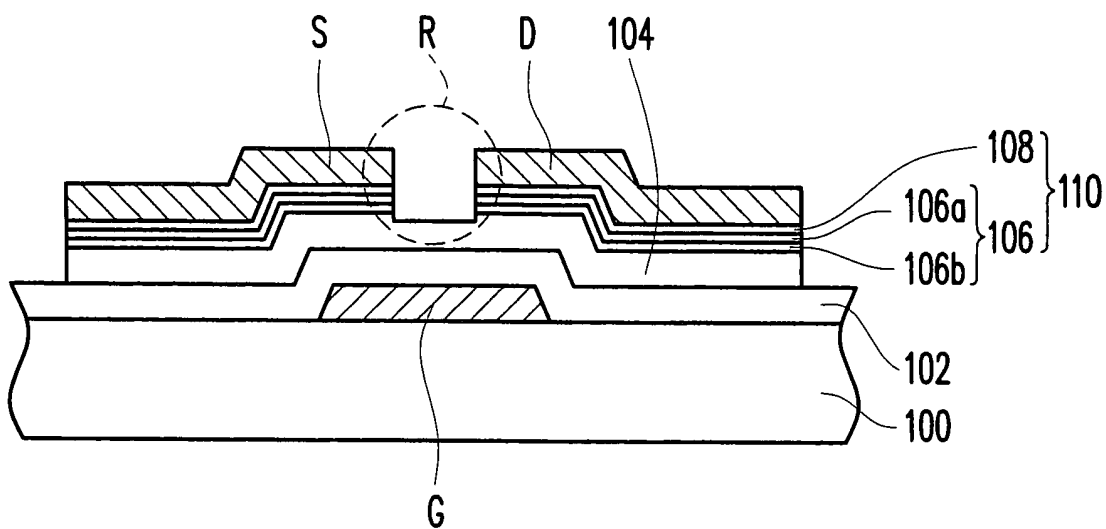


圖 1

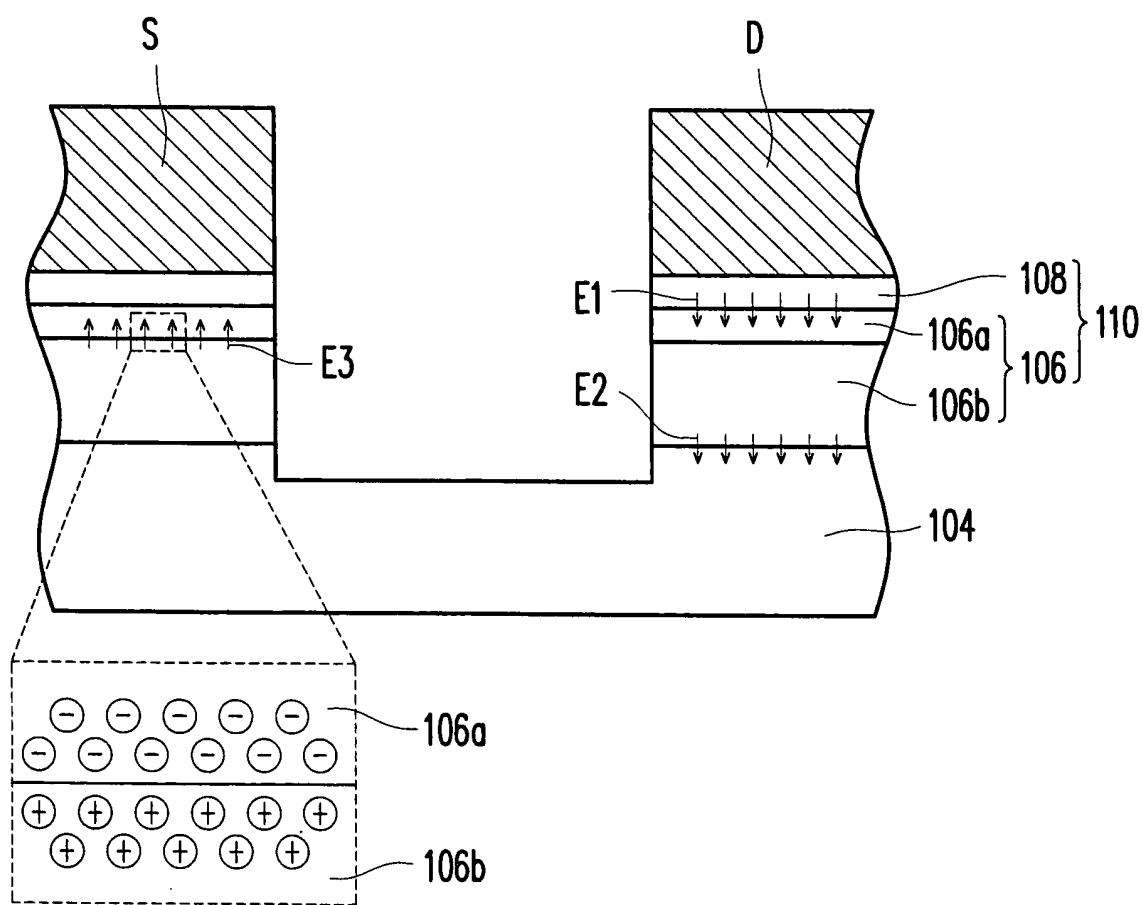


圖 1A

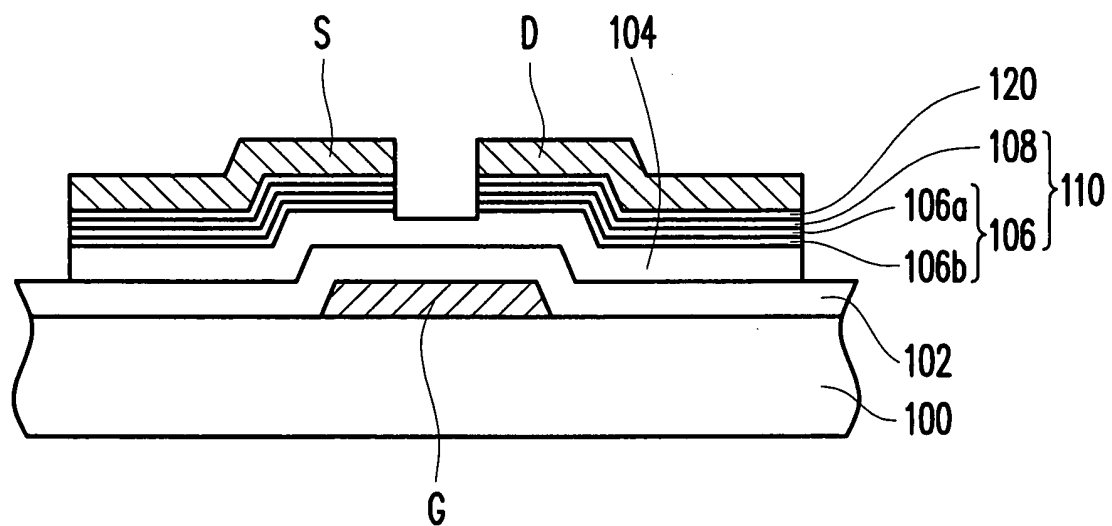


圖 2

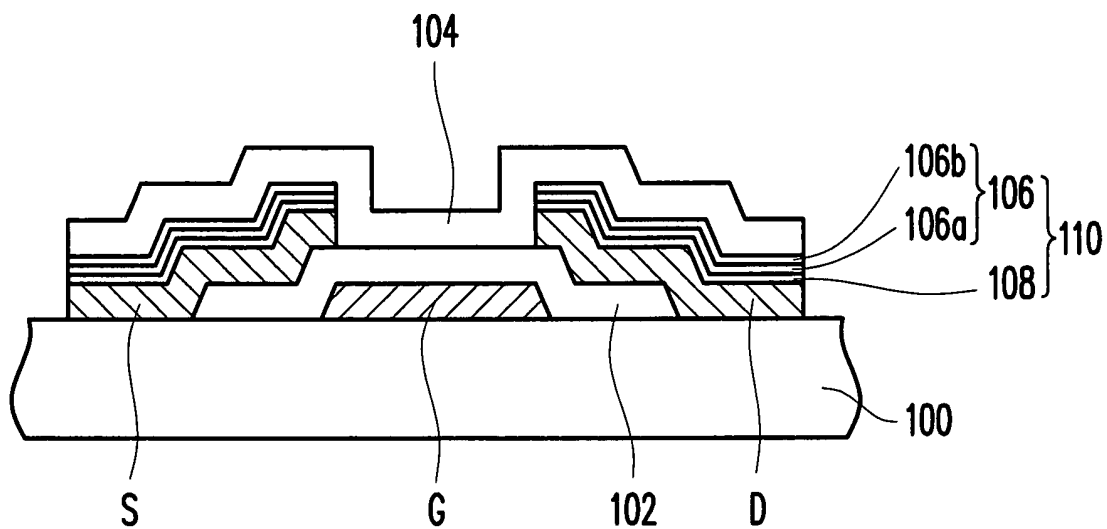


圖 5

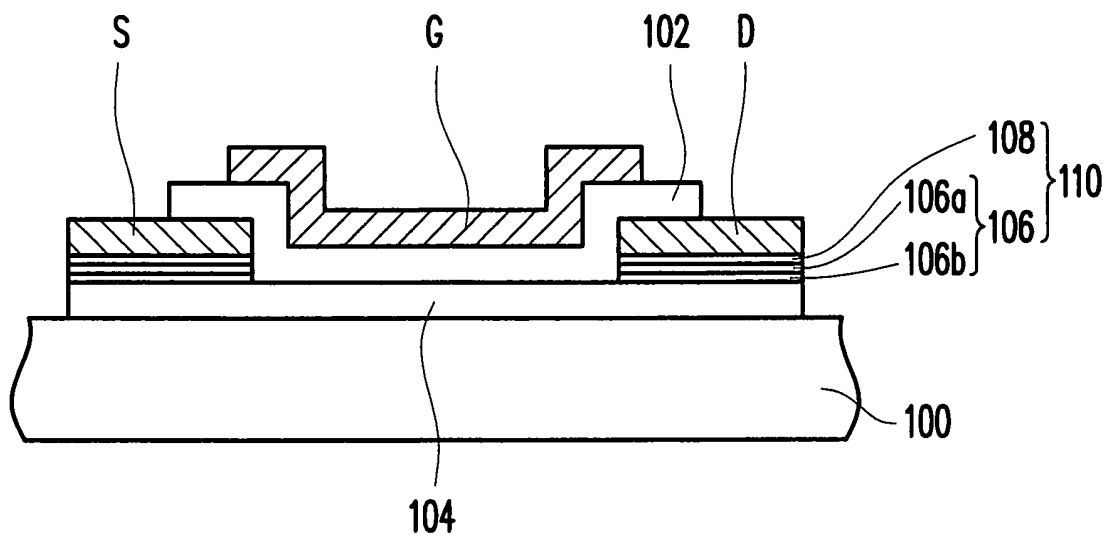


圖 6

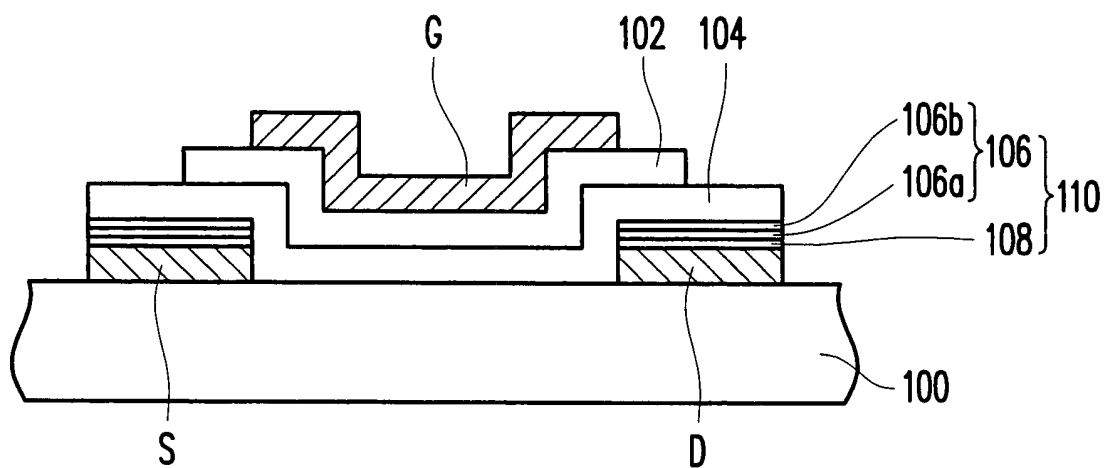


圖 7

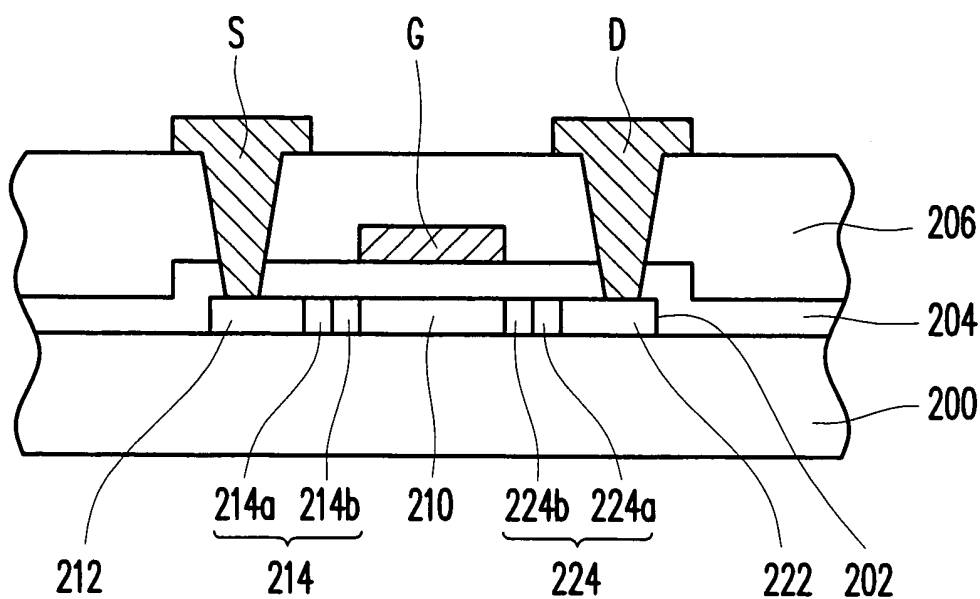


圖 8

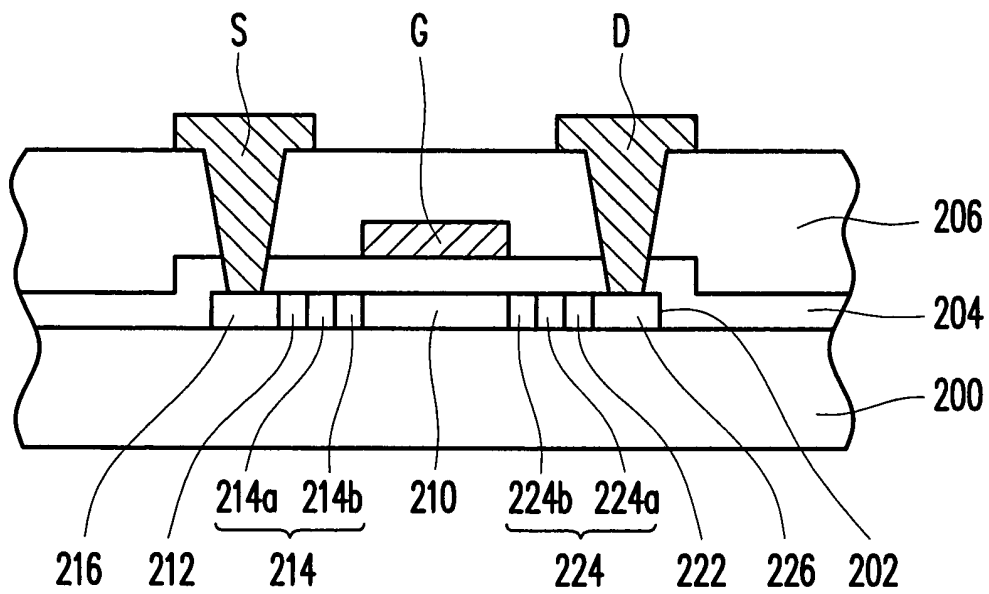


圖 9

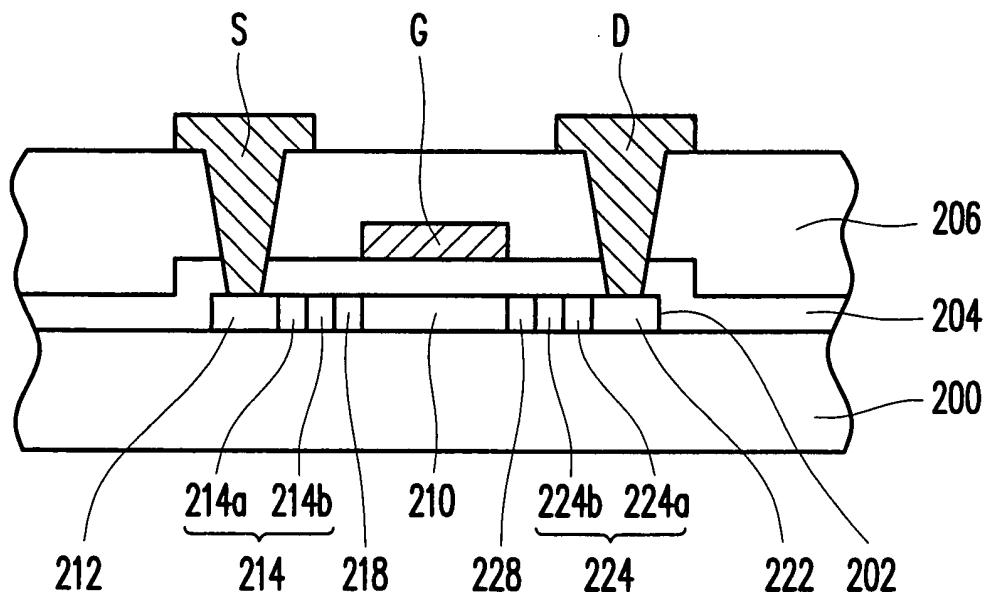


圖 10

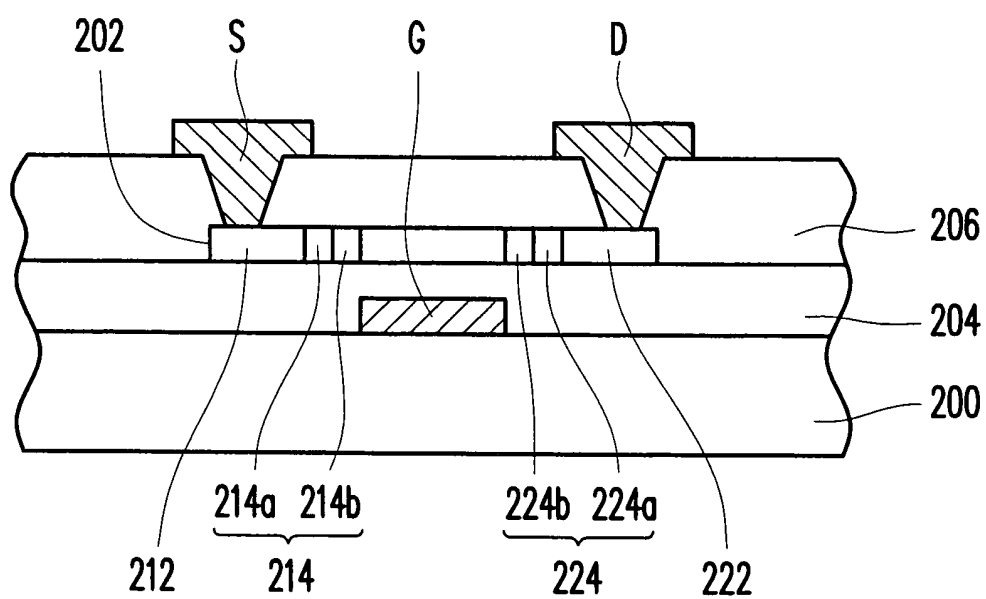


圖 11

36755TW_I

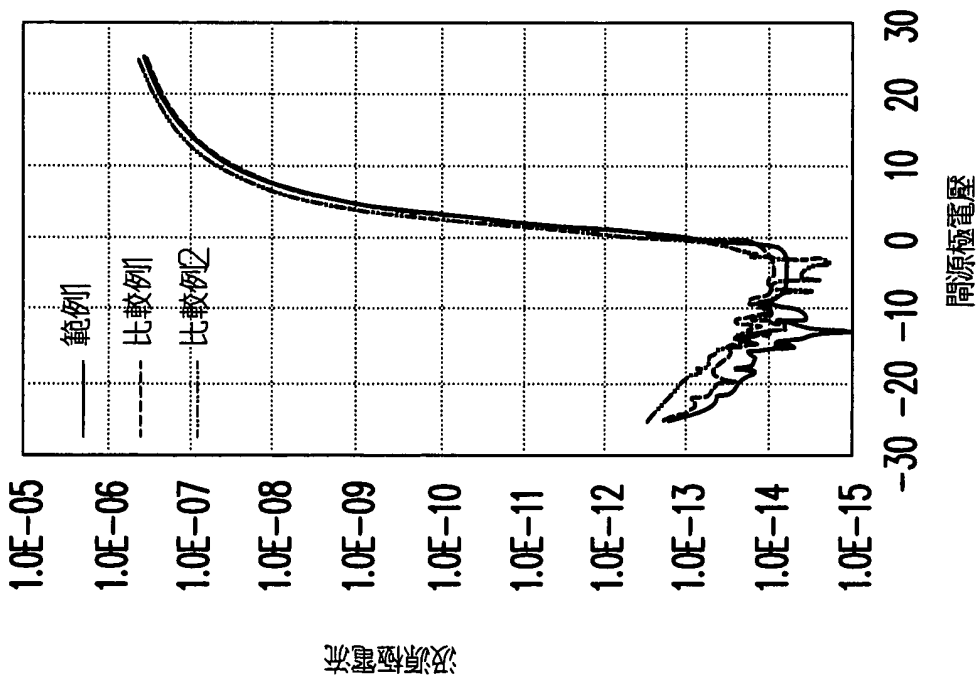


圖 12

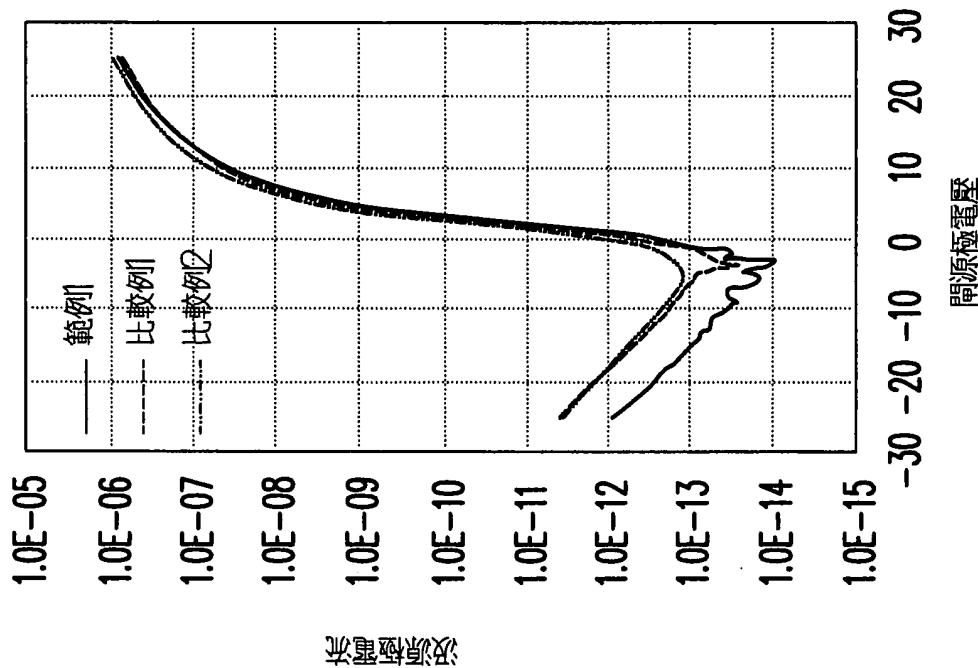


圖 13

36755TW_I

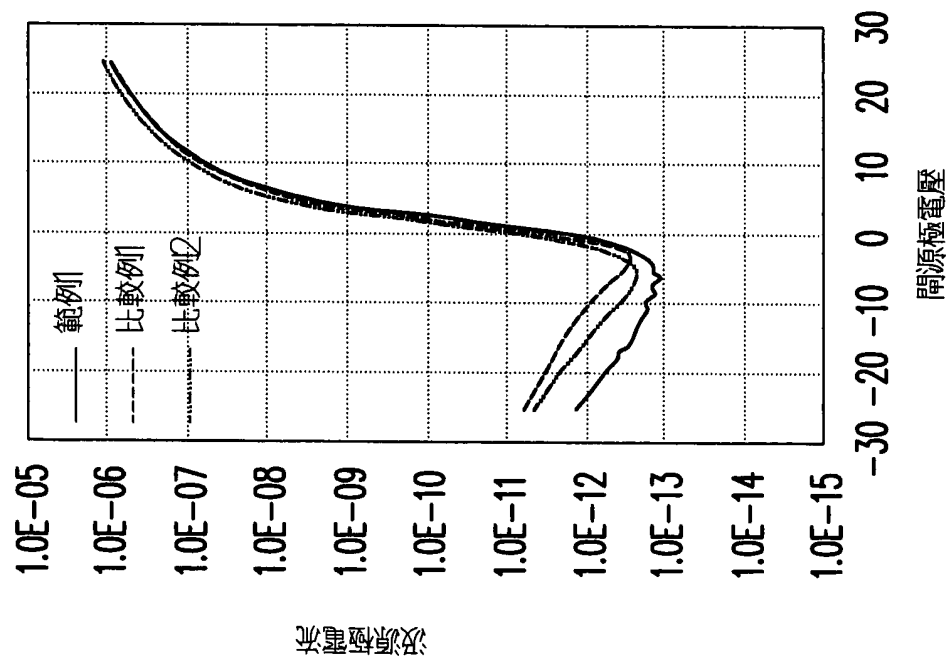


圖 14

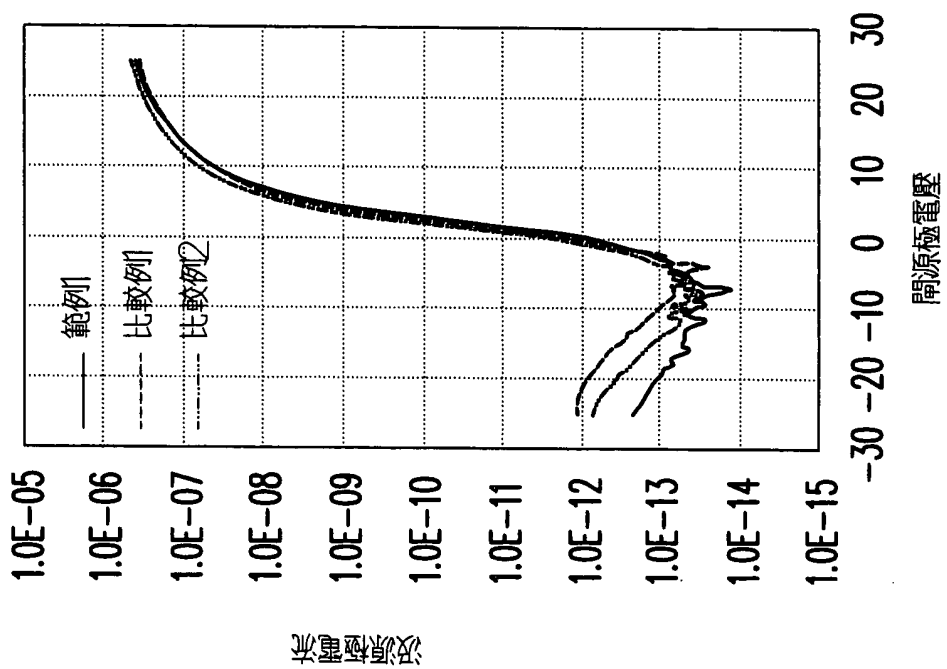


圖 15

36755TW_I

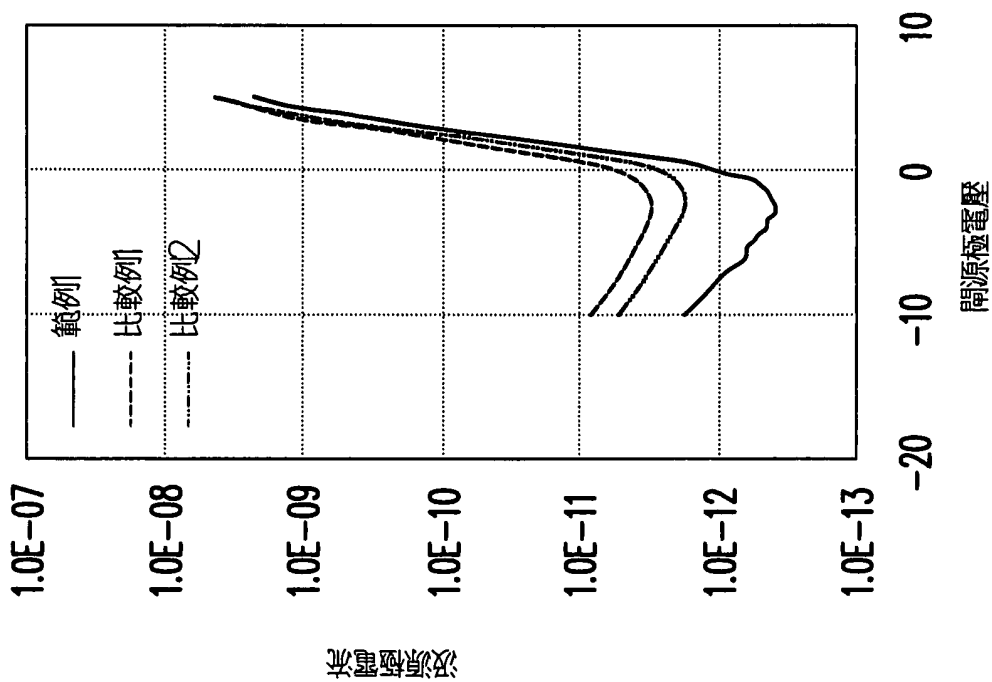


圖 16

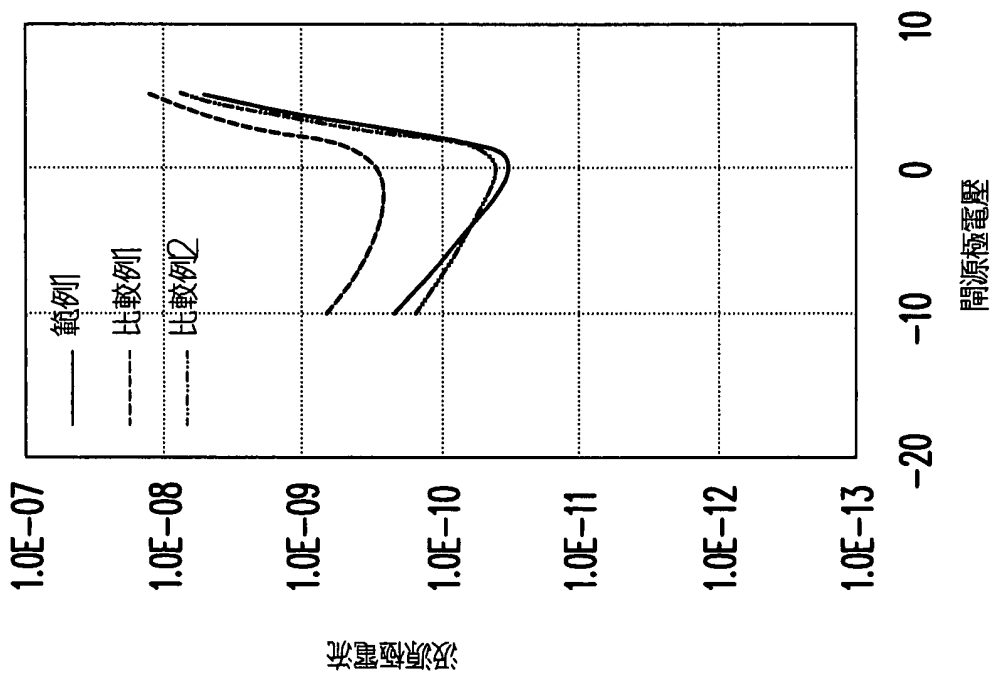


圖 17

36755TW_T

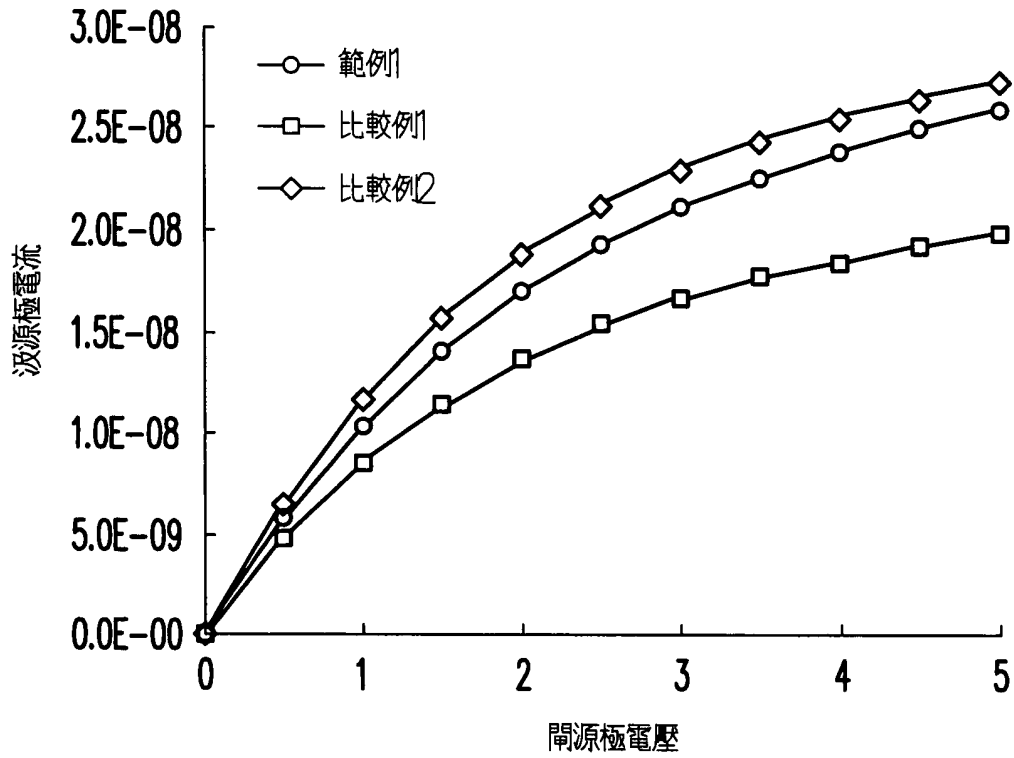


圖 18

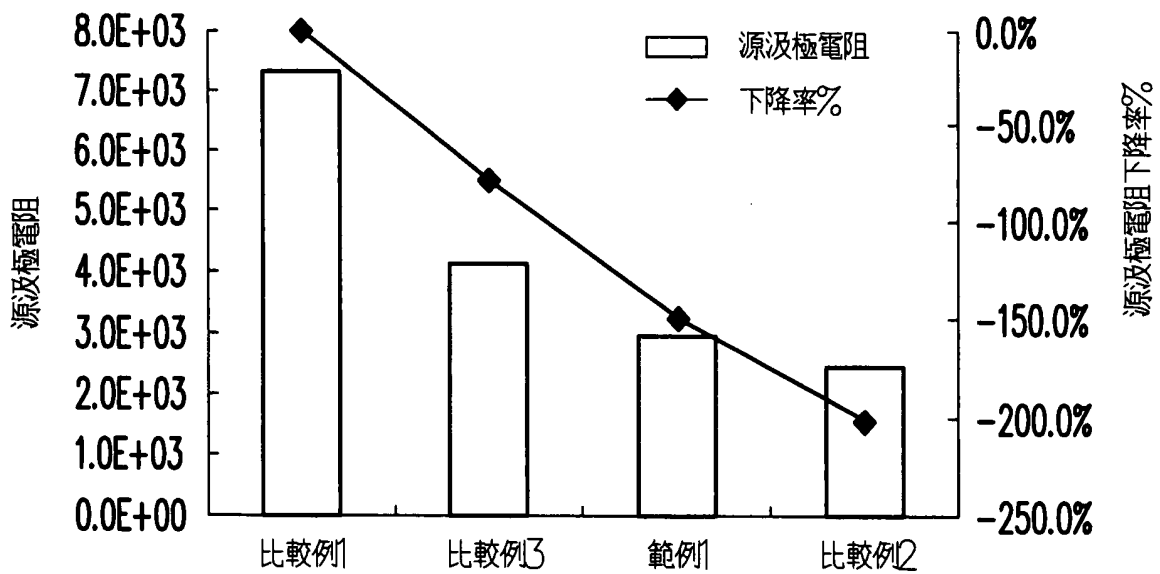


圖 19

semiconductor layer, the third semiconductor layer being sandwiched between the second semiconductor layer and the fourth semiconductor layer. In particular, the electric conductivity of the third semiconductor layer is substantially smaller than the electric conductivity of the second semiconductor layer and the electric conductivity of the fourth semiconductor layer.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：基板

102：絕緣層

104：第一半導體層

106：半導體層組

106a：第三半導體層

106b：第四半導體層

108：第二半導體層

110：半導體疊層

S：源極

D：汲極

G：閘極

R：區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無