

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 104576593 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201310526773. 9

(22) 申请日 2013. 10. 30

(30) 优先权数据

102137271 2013. 10. 16 TW

(71) 申请人 矽品精密工业股份有限公司

地址 中国台湾台中市

(72) 发明人 陈嘉成 孙铭成 沈子杰 洪良易
萧惟中 白裕呈 邱士超 江东昇
张翊峰 王隆源

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/498(2006. 01)

H01L 23/31(2006. 01)

H01L 21/60(2006. 01)

H01L 21/56(2006. 01)

H01L 25/16(2006. 01)

H01L 25/00(2006. 01)

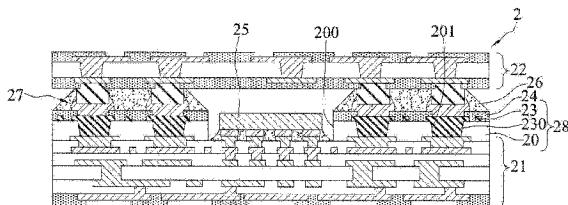
权利要求书3页 说明书6页 附图5页

(54) 发明名称

封装结构及其制法

(57) 摘要

一种封装结构及其制法，该封装结构包括第一基板、设于该第一基板上且具有开口的增层部、设于该开口中且电性连接该第一基板的电子组件、设于该增层部上的堆栈件、以及设于该增层部与该堆栈件之间的封装胶体。藉由该增层部的设计，以增加隔离效果及避免桥接现象。



1. 一种封装结构,包括 :

第一基板 ;

增层部,其设于该第一基板上并电性连接该第一基板,且该增层部具有开口 ;

至少一电子组件,其设于该开口中,且电性连接该第一基板 ;

堆栈件,其设于该增层部上,以令该堆栈件叠设于该第一基板上;以及

封装胶体,其设于该增层部与该堆栈件之间。

2. 根据权利要求 1 所述的封装结构,其特征在于,该第一基板为线路板。

3. 根据权利要求 1 所述的封装结构,其特征在于,该开口外露该第一基板的表面,使该电子组件设于该第一基板的表面上。

4. 根据权利要求 1 所述的封装结构,其特征在于,该增层部包含 :

至少一介电层,其设于该第一基板上,且该开口穿设该介电层 ;及

至少一导电体,其位于该介电层中且外露于该介电层,并电性连接该第一基板。

5. 根据权利要求 4 所述的封装结构,其特征在于,形成该介电层的材质为预浸材。

6. 根据权利要求 4 所述的封装结构,其特征在于,形成该导电体的材质为金属材。

7. 根据权利要求 4 所述的封装结构,其特征在于,该导电体为柱状或凹槽状。

8. 根据权利要求 4 所述的封装结构,其特征在于,该堆栈件与该导电体藉由多个导电组件相结合。

9. 根据权利要求 4 所述的封装结构,其特征在于,该封装结构还包括线路层,其设于该介电层上,且电性连接该导电体。

10. 根据权利要求 4 所述的封装结构,其特征在于,该封装结构还包括绝缘保护层,其设于该增层部上,且外露该导电体。

11. 根据权利要求 10 所述的封装结构,其特征在于,该封装胶体设于该绝缘保护层与该堆栈件之间。

12. 根据权利要求 1 所述的封装结构,其特征在于,该电子组件为主动组件或被动组件。

13. 根据权利要求 1 所述的封装结构,其特征在于,该堆栈件与该增层部藉由多个导电组件相结合。

14. 根据权利要求 1 所述的封装结构,其特征在于,该堆栈件为第二基板或封装件。

15. 根据权利要求 14 所述的封装结构,其特征在于,该第二基板为线路板。

16. 根据权利要求 1 所述的封装结构,其特征在于,该堆栈件的宽度小于该第一基板的宽度。

17. 根据权利要求 16 所述的封装结构,其特征在于,该封装胶体包覆该堆栈件。

18. 根据权利要求 1 所述的封装结构,其特征在于,该封装胶体还设于该第一基板与该堆栈件之间。

19. 一种封装结构的制法,包括 :

提供一第一基板,该第一基板上具有增层部,且该增层部具有开口 ;

设置至少一电子组件于该开口中,且该电子组件电性连接该第一基板 ;以及

设置堆栈件于该增层部上,以令该堆栈件叠设于该第一基板上。

20. 根据权利要求 19 所述的封装结构的制法,其特征在于,该第一基板的制程包括 :

提供该第一基板；以及

形成该增层部于该第一基板上，且形成该开口于该增层部上，该增层部并电性连接该第一基板。

21. 根据权利要求 19 所述的封装结构的制法，其特征在于，该第一基板为线路板。

22. 根据权利要求 19 所述的封装结构的制法，其特征在于，该开口外露该第一基板的表面，使该电子组件设于该第一基板的表面上。

23. 根据权利要求 19 所述的封装结构的制法，其特征在于，该增层部的制程包括：

形成至少一介电层于该第一基板上，且形成该开口与多个盲孔于该介电层上；

形成多个导电体于该些盲孔中，使该些导电体电性连接该第一基板；及

设置该电子组件于该开口中。

24. 根据权利要求 23 所述的封装结构的制法，其特征在于，该介电层先压合于该第一基板上，再形成该开口于该介电层上。

25. 根据权利要求 23 所述的封装结构的制法，其特征在于，该介电层先形成该开口，再压合该介电层于该第一基板上。

26. 根据权利要求 23 所述的封装结构的制法，其特征在于，形成该介电层的材质为预浸材。

27. 根据权利要求 23 所述的封装结构的制法，其特征在于，该开口及该些盲孔以激光钻孔方式形成者。

28. 根据权利要求 23 所述的封装结构的制法，其特征在于，形成该导电体的材质为金属材。

29. 根据权利要求 23 所述的封装结构的制法，其特征在于，该导电体为柱状或凹槽状。

30. 根据权利要求 23 所述的封装结构的制法，其特征在于，该堆栈件与该导电体藉由多个导电组件相结合。

31. 根据权利要求 23 所述的封装结构的制法，其特征在于，该制法还包括形成线路层于该介电层上，且该线路层电性连接该些导电体。

32. 根据权利要求 23 所述的封装结构的制法，其特征在于，该制法还包括形成绝缘保护层于该增层部上，且外露该导电体。

33. 根据权利要求 32 所述的封装结构的制法，其特征在于，该制法还包括形成封装胶体于该绝缘保护层与该堆栈件之间。

34. 根据权利要求 19 所述的封装结构的制法，其特征在于，该电子组件为主动组件或被动组件。

35. 根据权利要求 19 所述的封装结构的制法，其特征在于，该堆栈件与该增层部藉由多个导电组件相结合。

36. 根据权利要求 19 所述的封装结构的制法，其特征在于，该堆栈件为第二基板或封装件。

37. 根据权利要求 36 所述的封装结构的制法，其特征在于，该第二基板为线路板。

38. 根据权利要求 19 所述的封装结构的制法，其特征在于，该堆栈件的宽度小于该第一基板的宽度。

39. 根据权利要求 38 所述的封装结构的制法，其特征在于，该制法还包括形成封装胶

体于该增层部与该堆栈件之间，且该封装胶体包覆该堆栈件。

40. 根据权利要求 19 所述的封装结构的制法，其特征在于，该制法还包括形成封装胶体于该增层部与该堆栈件之间。

41. 根据权利要求 40 所述的封装结构的制法，其特征在于，该封装胶体还形成于该第一基板与该堆栈件之间。

封装结构及其制法

技术领域

[0001] 本发明涉及一种封装结构，尤指一种得提升堆栈良率的封装结构。

背景技术

[0002] 随着半导体封装技术的演进，半导体装置 (Semiconductor device) 已开发出不同的封装型态，而为提升电性功能及节省封装空间，遂堆加多个封装件以形成封装堆栈结构 (Package on Package, POP)，此种封装方式能发挥系统封装 (SiP) 异质整合特性，可将不同功用的电子组件，例如：内存、中央处理器、绘图处理器、影像应用处理器等，藉由堆栈设计达到系统的整合，适合应用于轻薄型各种电子产品。

[0003] 一般封装堆栈结构 (PoP) 仅以焊锡球 (solder ball) 堆栈与电性连接上、下封装件，但随着产品尺寸规格与线距越来越小，该些焊锡球之间容易发生桥接 (bridge) 现象，将影响产品的良率。

[0004] 于是，遂发展出一种封装堆栈结构，以铜柱 (Cu pillar) 作支撑，以增加隔离 (stand off) 效果，可避免发生桥接现象。第 1A 及 1B 图为现有封装堆栈结构 1 的制法的剖面示意图。

[0005] 如图 1A 所示，先提供一具有相对的第一及第二表面 11a, 11b 的第一基板 11，且于该第一基板 11 的第一表面 11a 上形成多个铜柱 13。

[0006] 如图 1B 所示，设置一电子组件 15 于该第一表面 11a 上且以覆晶方式电性连接该第一基板 11，再叠设一第二基板 12 于该铜柱 13 上，之后形成封装胶体 16 于该第一基板 11 的第一表面 11a 与该第二基板 12 之间。具体地，该第二基板 12 藉由多个导电组件 17 结合该铜柱 13，且该导电组件 17 由金属柱 170 与焊锡材料 171 构成。

[0007] 然而，现有封装堆栈结构 1 中，该铜柱 13 以电镀形成，致使其尺寸变异不易控制，所以容易发生各铜柱 13 的高度不一致的情况，因而产生接点偏移的问题，致使该些导电组件 17 与该些铜柱 13 接触不良，而造成电性不佳，因而影响产品良率。

[0008] 因此，如何克服现有技术中的种种问题，实已成目前亟欲解决的课题。

发明内容

[0009] 鉴于上述现有技术的缺失，本发明的主要目的为提供一种封装结构及其制法，以增加隔离效果及避免桥接现象。

[0010] 本发明的封装结构，包括：第一基板；增层部，其设于该第一基板上并电性连接该第一基板，且该增层部具有开口；至少一电子组件，其设于该开口中，且电性连接该第一基板；堆栈件，其设于该增层部上，以令该堆栈件叠设于该第一基板上；以及封装胶体，其设于该增层部与该堆栈件之间。

[0011] 本发明还提供一种封装结构的制法，其包括：提供一第一基板，该第一基板上具有增层部，且该增层部具有开口；设置至少一电子组件于该开口中，且该电子组件电性连接该第一基板；以及设置堆栈件于该增层部上，以令该堆栈件叠设于该第一基板上。

[0012] 前述的制法中,该第一基板的制程包括:提供该第一基板;以及形成该增层部于该第一基板上,且形成该开口于该增层部上,该增层部并电性连接该第一基板。

[0013] 前述的封装结构及其制法中,该增层部的制程包括:形成至少一介电层于该第一基板上,且形成该开口与多个盲孔于该介电层上;形成多个导电体于该些盲孔中,使该些导电体电性连接该第一基板;及设置该电子组件于该开口中。

[0014] 依前述技术中,形成该介电层的材质为预浸材,且该介电层先压合于该第一基板上,再形成该开口于该介电层上;或者,该介电层先形成该开口,再压合该介电层于该第一基板上。

[0015] 依前述技术中,该开口及该些盲孔以激光钻孔方式形成者,而该导电体为金属材且为柱状或凹槽状。

[0016] 依前述技术中,该堆栈件与该导电体藉由导电组件相结合。

[0017] 依前述技术中,还包括形成线路层于该介电层上,且该线路层电性连接该些导电体。

[0018] 前述技术中,还包括形成绝缘保护层于该介电层上,且外露该些导电体,使该封装胶体设于该绝缘保护层与该堆栈件之间。

[0019] 前述的封装结构及其制法中,该第一基板为线路板。

[0020] 前述的封装结构及其制法中,该开口外露该第一基板的表面,使该电子组件设于该第一基板的表面上。

[0021] 前述的封装结构及其制法中,该电子组件为主动组件或被动组件。

[0022] 前述的封装结构及其制法中,该堆栈件与该增层部藉由多个导电组件相结合。

[0023] 前述的封装结构及其制法中,该堆栈件为第二基板或封装件,例如,该第二基板为线路板。

[0024] 另外,前述的制法中,还包括形成封装胶体于该增层部与该堆栈件之间,且前述的封装结构及其制法中,该堆栈件的宽度小于该第一基板的宽度,使该封装胶体包覆该堆栈件。又该封装胶体还设于该第一基板与该堆栈件之间。

[0025] 由上可知,本发明封装结构及其制法,主要藉由在该第一基板上形成该增层部,以增加隔离效果及避免桥接现象。

[0026] 此外,藉由该些盲孔控制各该导电体的尺寸,使各该导电体的高度一致,以避免接点偏移的问题,所以相较于现有技术,该些导电组件与该些导电体不会发生接触不良或短路的问题,因而能有效提高产品良率。

附图说明

[0027] 图 1A 至图 1B 为现有封装堆栈结构的制法的剖视示意图;

[0028] 图 2A 至图 2F 为本发明封装结构的制法的剖视示意图;其中,图 2C' 为图 2C 的另一实施例;以及

[0029] 图 3 及图 4 为本发明封装结构的其它实施例的剖视示意图。

[0030] 符号说明

[0031]

1	封装堆栈结构	11、21	第一基板
11a、21a	第一表面	11b、21b	第二表面
12	第二基板	13	铜柱
15、25、35	电子组件	16、26、26'、36	封装胶体

[0032]

17、27	导电组件	170、270	金属柱
171、271	焊锡材料	2、3、4	封装结构
20	介电层	200	开口
201	盲孔	21'	芯层
210	焊垫	211	电性接触垫
212	植球垫	213、223	层间线路
22、32	堆栈件	22'	基板
22a、32a	顶面	22b	底面
23	线路层	230、230'	导电体
24、24'	绝缘保护层	240、240'	开孔
250	焊锡凸块	251	底胶
28、48	增层部	32c	侧面
d、r	宽度。		

具体实施方式

[0033] 以下藉由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0034] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,所以不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“顶”、“底”、“侧面”、“第一”、“第二”及“一”等用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当亦视为本发明可实施的范畴。

[0035] 图 2A 至图 2F 为本发明的封装结构 2 的制法的剖视示意图。

[0036] 如图 2A 所示,提供一具有相对的第一表面 21a 及第二表面 21b 的第一基板 21。

[0037] 于本实施例中,该第一基板 21 为线路板,其具有一芯层 21' 及形成于该芯层 21' 上、下侧的多个层间线路 213,且该第一表面 21a 上具有多个焊垫 210 与多个电性接触垫 211,而该第一基板 21 的第二表面 21b 上具有多个植球垫 212。

[0038] 此外,该芯层 21' 的层间线路 213 的数量可于上、下侧均相同或不相同。

[0039] 另外,可形成一例如防焊层的绝缘保护层 24' 于该第一基板 21 的第二表面 21b 上,且该绝缘保护层 24' 的开孔 240' 外露该些植球垫 212。

[0040] 如图 2B 所示,形成一介电层 20 于该第一基板 21 的第一表面 21a 上,且形成一开口 200 及多个盲孔 201 于该介电层 20 上。

[0041] 于本实施例中,先以压合方式形成该介电层 20 于该第一基板 21 的第一表面 21a 上,再以激光钻孔方式形成该开口 200 及该些盲孔 201。于其它实施例中,也可先形成该开口 200 及该些盲孔 201 于该介电层 20 上,再压合该介电层 20 至该第一基板 21 的第一表面 21a 上。

[0042] 此外,该些盲孔 201 分别外露该些电性接触垫 211,且该开口 200 外露该些焊垫 210 及其周围的该第一基板 21 的第一表面 21a。

[0043] 又,形成该介电层 20 的材质可为预浸材 (Prepreg, PP)。

[0044] 如图 2C 所示,形成一线路层 23 于该介电层 20 上,且形成多个导电体 230 于该些盲孔 201 中,以令该介电层 20、线路层 23 与导电体 230 作为增层部 28,且使该些导电体 230 电性连接该线路层 23 与该第一基板 21 的层间线路 213 与电性接触垫 211。

[0045] 于本实施例中,于该介电层 20 与该线路层 23 上形成有例如防焊层的一绝缘保护层 24,且该绝缘保护层 24 藉由多个开孔 240 分别外露该些导电体 230。

[0046] 此外,该导电体 230 为如铜的金属材,且该导电体 230 为柱状。

[0047] 又,于一实施例中,该导电体 230' 为凹槽状,如图 2C' 所示。

[0048] 如图 2D 所示,藉由多个焊锡凸块 250 设置一电子组件 25 于该开口 200 中的该些焊垫 210 上,并藉由底胶 251 包覆该些焊锡凸块 250,使该电子组件 25 设于该第一基板 21 的第一表面 21a 上,以形成一封装件,且该电子组件 25 以覆晶方式电性连接该第一基板 21 的层间线路 213 与焊垫 210。

[0049] 于本实施例中,该电子组件 25 为主动组件及 / 或被动组件,该主动组件例如为芯片,而该被动组件例如为电阻、电容或电感。

[0050] 于其它实施例中,该电子组件 25 也可以打线方式电性连接该第一基板 21。

[0051] 如图 2E 所示,设置一堆栈件 22 于该导电体 230 上,以令该堆栈件 22 叠设于该增层部 28 上,且覆盖该电子组件 25。

[0052] 于本实施例中,该堆栈件 22 为第二基板,如线路板,其具有多个层间线路 223,且该堆栈件 22 藉由多个导电组件 27 电性结合至该导电体 230。例如,该堆栈件 22 的底面 22b 以如焊锡材料的导电组件 27 电性连接该导电体 230,使该堆栈件 22 叠设于该增层部 28 上。或者,该导电体 230 与该堆栈件 22 之间也可形成由金属柱 270(如铜柱)与焊锡材料 271 构成的导电组件 27,以利于堆栈制程。

[0053] 此外,如图 3 所示,该堆栈件 32 也可为封装件,包含一基板 22'、设于该基板 22' 的顶面 22a 的其它电子组件 35 及包覆该电子组件 35 的封装胶体 36,且该电子组件 35 以覆晶方式或打线方式电性连接该基板 22'。

[0054] 如图 2F 所示,形成封装胶体 26 于该第一基板 21 的第一表面 21a 与该堆栈件 22 之间。

[0055] 于本实施例中,该封装胶体 26 设于该介电层 20(或该绝缘保护层 24)与该堆栈件

22 之间,而未设于该开口 200 中,所以该封装胶体 26 包覆该些导电组件 27,而未包覆该电子组件 25。于其它实施例中,该封装胶体 26 也可填满该第一基板 21 的第一表面 21a 与该堆栈件 22 之间,以包覆该些导电组件 27 与该电子组件 25。

[0056] 于另一实施例中,如图 3 所示,该堆栈件 32 的宽度 d 小于该第一基板 21 的宽度 r,使该封装胶体 26' 还包覆该堆栈件 32 的侧面 32c 与顶面 32a。

[0057] 于另一实施例中,本发明的封装结构 4 中,如图 4 所示,该增层部 48 也可包含多个介电层 20 与多个线路层 23。

[0058] 本发明的制法藉由在第一基板 21 上形成增层部 28(即该介电层 20、线路层 23 与导电体 230),使该导电体 230 嵌入该介电层 20 中,再于该增层部 28 上接置该堆栈件 22,32(即另一基板或封装件),藉以增加隔离 (stand off) 各该导电体 230 的效果、及避免各该导电体 230 之间发生桥接现象。

[0059] 此外,藉由该些盲孔 201 控制各该导电体 230 的尺寸,使各该导电体 230 的高度一致,以令该些导电组件 27 的接置处高度一致,因而能避免接点偏移的问题,所以该些导电组件 27 与该些导电体 230 不会发生接触不良或短路 (short) 的问题,因而能有效提高产品良率。

[0060] 本发明还提供一种封装结构 2,3,4,包括:一第一基板 21、设于该第一基板 21 上并电性连接该第一基板 21 的增层部 28,48、电性连接该第一基板 21 的一电子组件 25、叠设于该增层部 28,48 上的一堆栈件 22,32、以及设于该增层部 28,48(或该绝缘保护层 24)与该堆栈件 22,32 之间的封装胶体 26,26'。

[0061] 所述的第一基板 21 为线路板,其具有相对的第一表面 21a 与第二表面 21b。

[0062] 所述的增层部 28,48 具有一开口 200,且该开口 200 外露该第一基板 21 的第一表面 21a。

[0063] 于本实施例中,该增层部 28,48 包含:设于该第一基板 21 上的至少一介电层 20、设于该介电层 20 上的线路层 23、及位于该介电层 20 中且外露于该介电层 20 的导电体 230。

[0064] 具体地,该开口 200 穿设该介电层 20,且该介电层 20 具有多个盲孔 201,并且形成该介电层 20 的材质为预浸材 (Prepreg, PP)。该导电体 230,230' 设于该盲孔 201 中并电性连接该线路层 23 与该第一基板 21,又该导电体 230,230' 为金属材,且该导电体 230,230' 为柱状或凹槽状。此外,所述的封装结构 2,3,4 还包括一绝缘保护层 24,设于该增层部 28,48 上并外露该些导电体 230,230'。

[0065] 所述的电子组件 25 为主动组件或被动组件,其设于该开口 200 中的第一基板 21 的第一表面 21a 上。

[0066] 所述的堆栈件 22,32 设于该增层部 28,48 上。具体地,该堆栈件 22,32 与该导电体 230,230' 藉由多个导电组件 27 相结合,以令该堆栈件 22,32 叠设于该第一基板 21 上。

[0067] 于一实施例中,所述的封装胶体 26' 还设于该第一基板 21 与该堆栈件 32 之间。

[0068] 于一实施例中,该堆栈件 22 为如线路板的第二基板;而于另一实施例中,该堆栈件 32 为封装件。

[0069] 于一实施例中,该堆栈件 32 的宽度 d 小于该第一基板 21 的宽度 r,使该封装胶体 26' 还包覆该堆栈件 32。

[0070] 综上所述,本发明封装结构及其制法,藉由在该第一基板上形成介电层,使该导电

体嵌入该介电层中,再于该增层部上接置该堆栈件,藉以增加隔离效果及避免桥接现象。

[0071] 此外,藉由该些盲孔控制各该导电体的尺寸,使各该导电体的高度一致,以避免接点偏移的问题,所以该些导电组件与该些导电体不会发生接触不良或短路的问题,因而能有效提高产品良率。

[0072] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

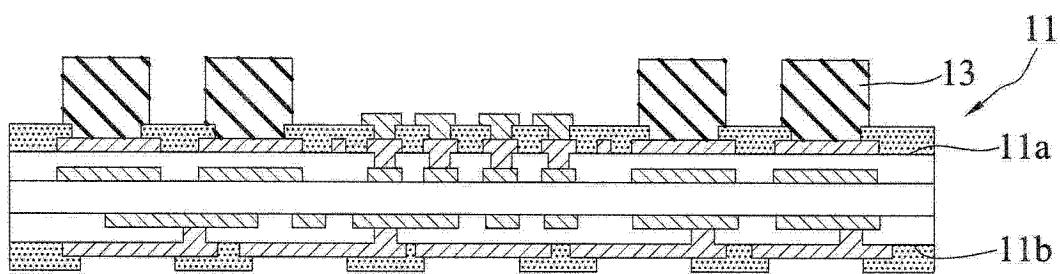


图 1A

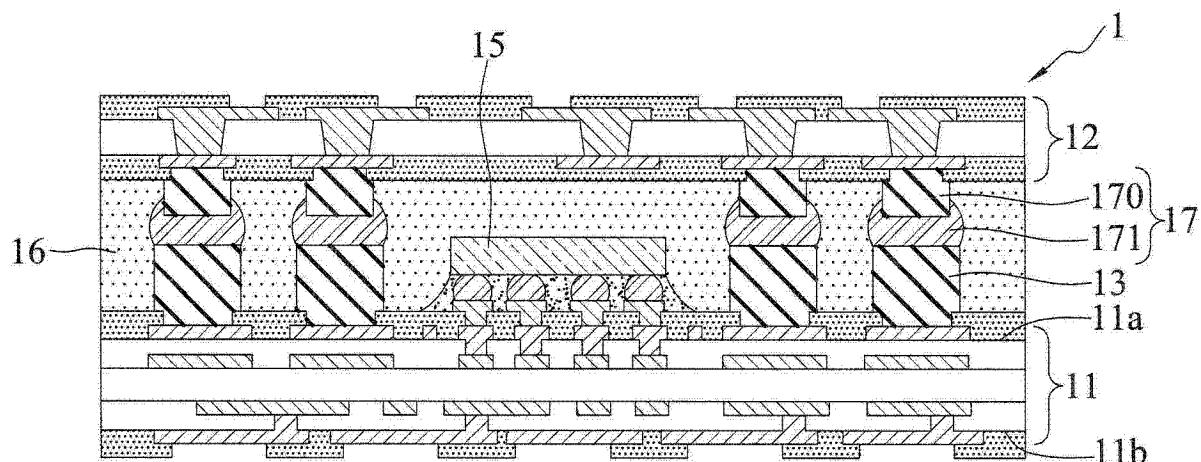


图 1B

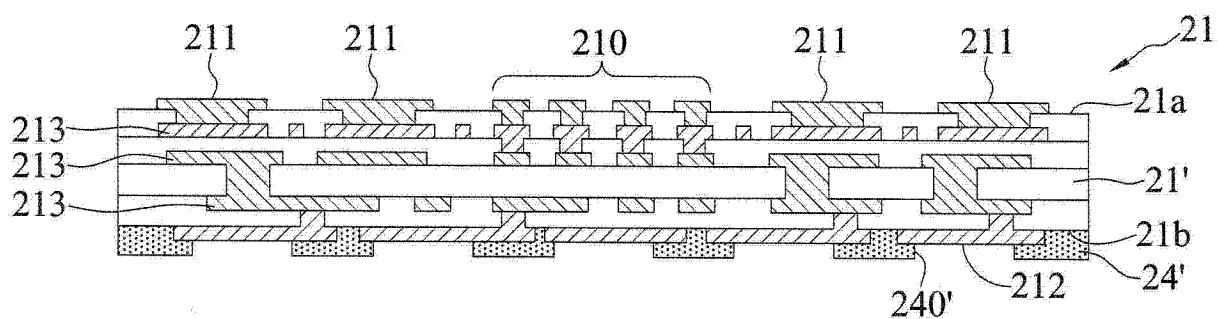


图 2A

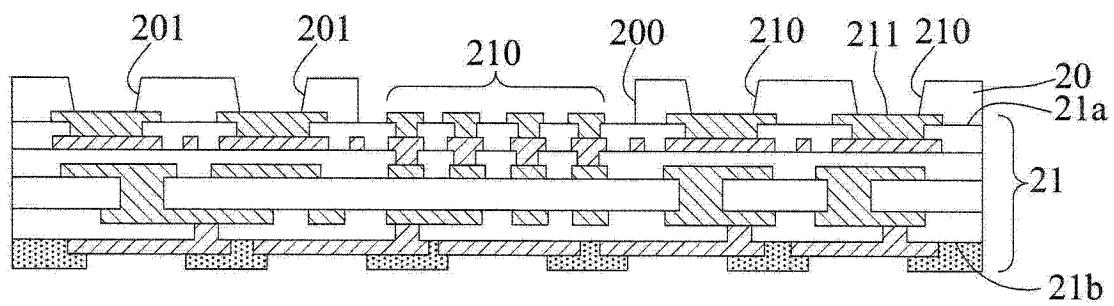


图 2B

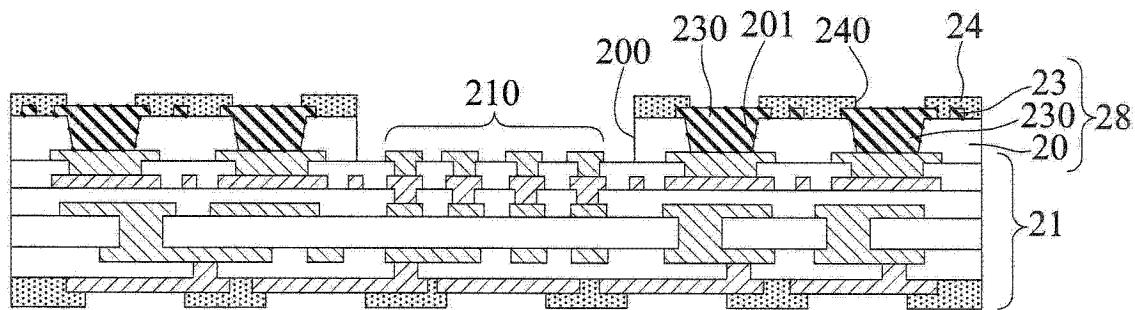


图 2C

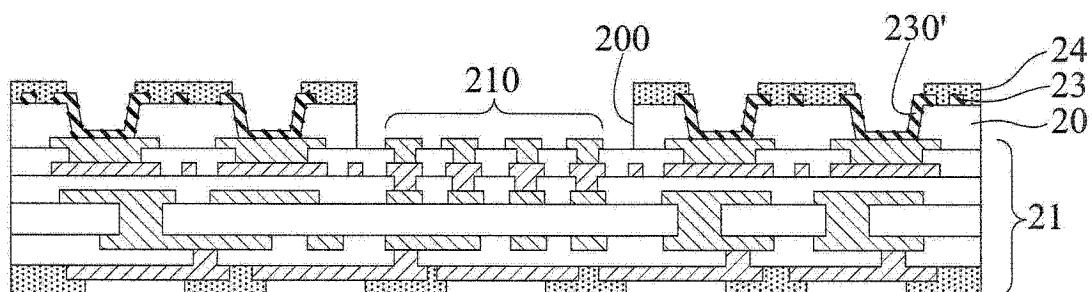


图 2C'

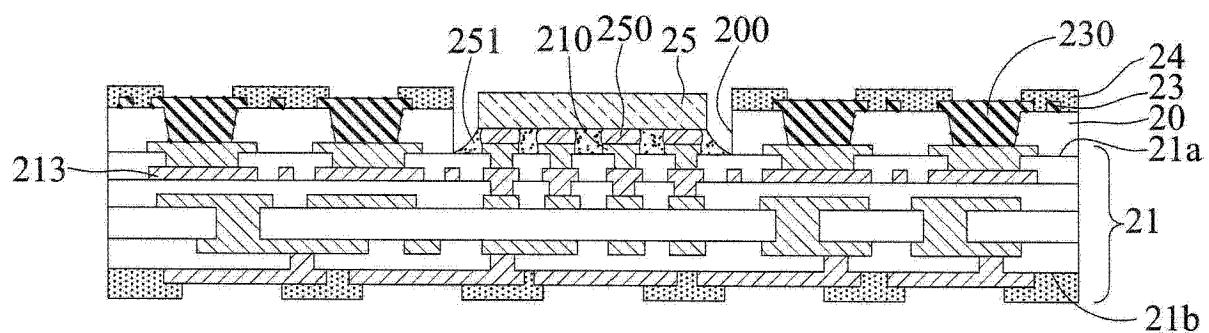


图 2D

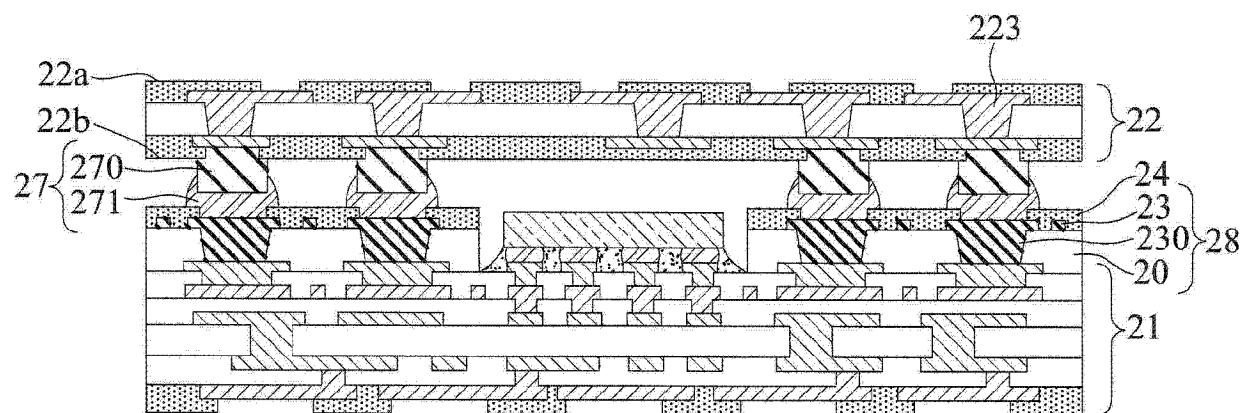


图 2E

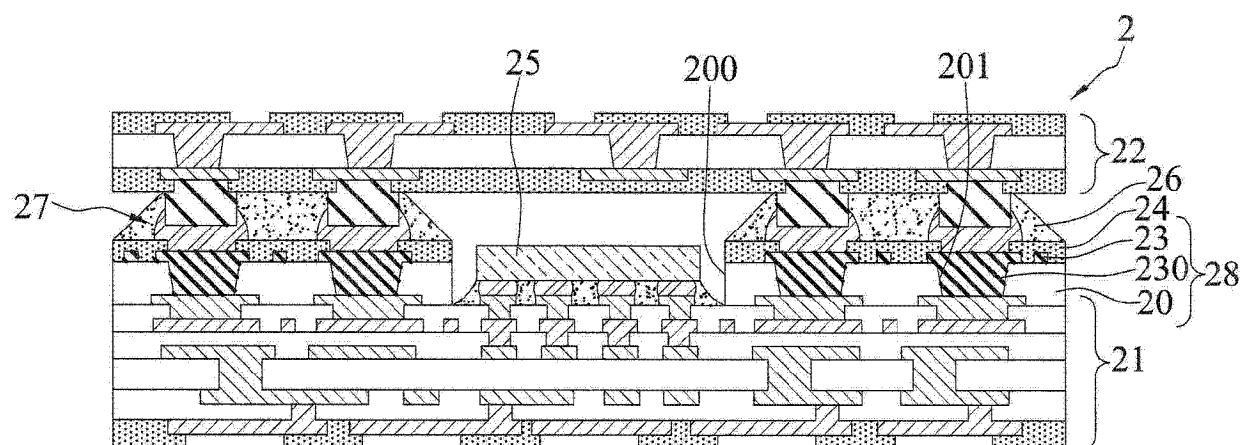


图 2F

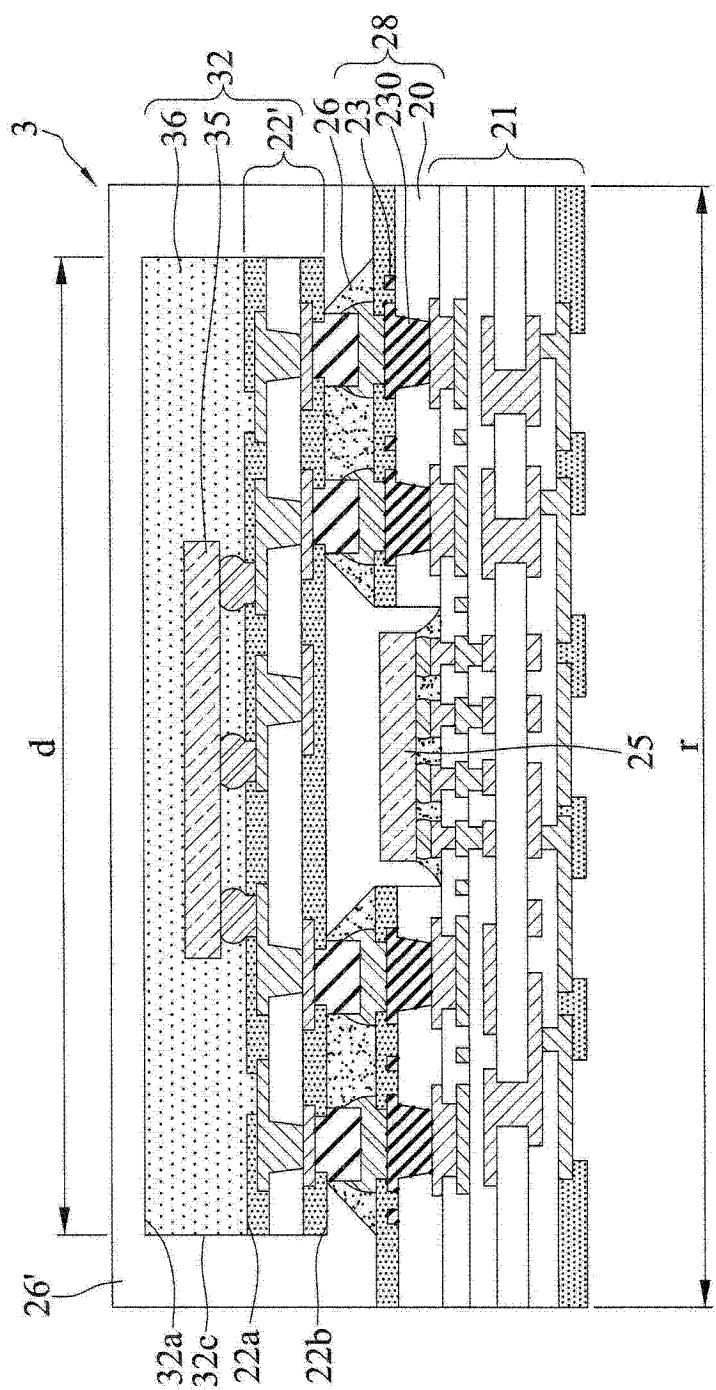


图 3

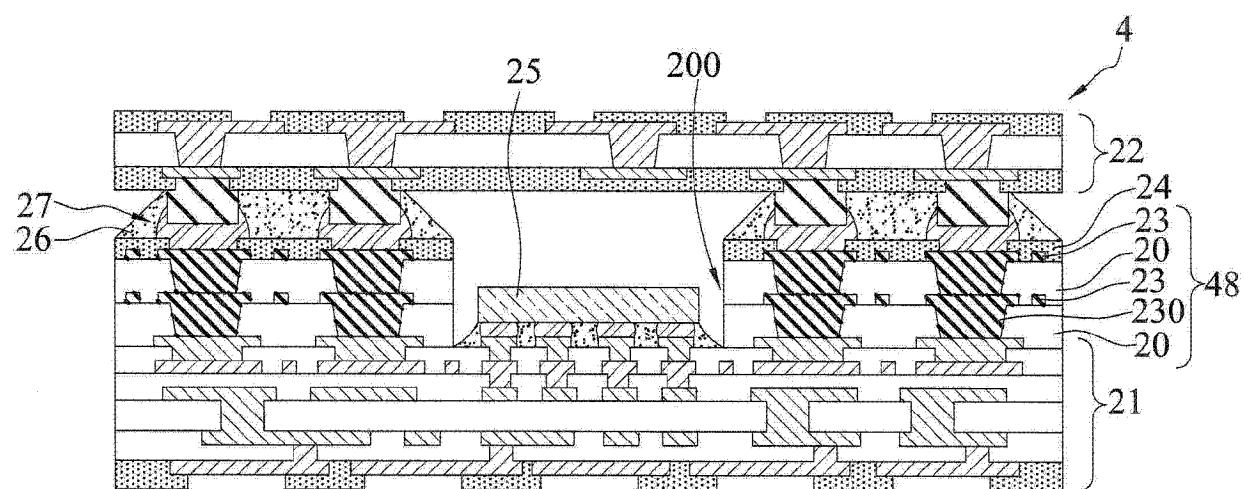


图 4