

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年1月19日(2017.1.19)

【公表番号】特表2016-511933(P2016-511933A)

【公表日】平成28年4月21日(2016.4.21)

【年通号数】公開・登録公報2016-024

【出願番号】特願2015-552832(P2015-552832)

【国際特許分類】

H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
G 11 C	17/14	(2006.01)
G 11 C	16/06	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/82	(2006.01)

【F I】

H 01 L	27/08	1 0 2 A
G 11 C	17/06	B
G 11 C	17/00	6 3 2 D
H 01 L	27/04	D
H 01 L	21/82	F

【誤訳訂正書】

【提出日】平成28年11月29日(2016.11.29)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】nウェル切替回路

【技術分野】

【0001】

[0001]本願は、2013年1月16日に出願された、米国非仮出願番号第13/742,964号の優先権を主張し、参照によってその全体が本明細書に組み込まれている。

【0002】

[0002]本出願は、集積回路に関し、より詳細には、高密度応用例のための、ラッチアップを防止するためのnウェルバイアシング方式に関する。

【背景技術】

【0003】

[0003]PMOSトランジスタは、n型ボディ中に形成された、p型ドレインおよびソースを備える。よって、PMOSチャネル中では、正孔が多数キャリアである。相補型MOS(CMOS)技術では、バ尔斯基板はp型であり、したがって、PMOSトランジスタのn型ボディは、p型基板中のn型ウェル(nウェル)として存在する。

【0004】

[0004]PMOSトランジスタ中では正孔が多数キャリアなので、チャネルが導通しているとき、PMOSソースは、ドレインに対して正の電圧にあることになる。この、ソース上の正の電圧は、PMOSトランジスタのソースとnウェルとの間でpn接合が形成されるという点で、問題となる可能性がある。ソースがnウェルに対して十分にバイアスされ

る場合は、p n 接合は順バイアスされる。この順バイアスされた p n 接合と、p 型基板中のN M O Sトランジスタへの接地接続との結果、導通する寄生構造が生じる。結果的な、導通する寄生構造中の短絡状況は、ラッチアップと呼ばれる。ラッチアップは、回路がラッチアップ電流から破壊される可能性があるので危険である。さらに、回路が短絡電流に耐えられる場合であっても、ラッチアップは正常な動作を阻害する。

#### 【0005】

[0005]ラッチアップを防止するには、P M O Sトランジスタのnウェルを最高予想電圧に結合するのが慣例的である。たとえば、P M O Sトランジスタが、低電圧モードで、また高電圧モードでも動作できる場合、P M O Sのnウェルを、高電圧動作モードの間に使用される高電圧電源に結合するのが慣例的である。しかし、ディープサブミクロン技術などではトランジスタ寸法が縮小されるので、nウェル結合は問題である。これらの現代のプロセスノードでは、nウェルを比較的高い電圧の電源に結合する結果として生じる応力に対処するには、ゲート酸化物は薄すぎ、トランジスタは小さすぎる。

#### 【0006】

[0006]高電圧モードと低電圧モードの両方で動作できる現代のプロセスノードにおけるP M O Sトランジスタのラッチアップ問題を解決するには、頑強なP M O Sトランジスタを使用するのが慣例的である。言い換えれば、トランジスタ寸法が拡大され、比較的厚いゲート酸化物が使用される。その場合、そのような、大きくてゲート酸化物の厚いP M O Sトランジスタは、トランジスタに応力をかけることなくそのnウェルが高電圧電源に結合されるようになることが可能である。しかし、大きいトランジスタ寸法は、現代のプロセスノードにおいて使用される、より小さいトランジスタ寸法に対して相対的に、多くのダイ面積を要求する。

#### 【0007】

[0007]したがって、密度が増したラッチアップ防止アーキテクチャが、当技術分野で必要とされている。

#### 【発明の概要】

#### 【0008】

[0008]nウェル電圧切替回路が、ラッチアップを防止するために、デュアルモードP M O Sトランジスタの切替型nウェルに対する電圧を制御する。デュアルモードP M O Sトランジスタは、高電圧モードと低電圧モードの両方で動作するように制御される。高電圧モードでは、nウェル電圧切替回路は、切替型nウェルを高電圧にバイアスする。この高電圧は、高電圧モードで動作中のデュアルモードP M O Sトランジスタに対する任意の予想されるソース（またはドレイン）電圧と、少なくとも同じ高さである。このようにして、デュアルモードP M O Sトランジスタの、そのソースと切替型nウェルとの間のp n 接合は、順バイアスされず、したがってラッチアップが防止される。

#### 【0009】

[0009]低電圧動作モードの間は、nウェル電圧切替回路は、切替型nウェルを、高電圧よりも低い低電圧にバイアスする。この低電圧は、低電圧モードの間にデュアルモードP M O Sトランジスタに負担がかからないように、十分に低い。このようにして、デュアルモードP M O Sトランジスタは、比較的小型であることができるとともに薄いゲート酸化物を有することができ、それにより密度を高めることができる。複数のデュアルモードP M O Sトランジスタが、それらの切替型nウェルの電圧がnウェル電圧切替回路によってバイアスされるようにすることができ、それにより密度をさらに高めることができる。

#### 【0010】

[0010]nウェル切替電圧切替回路は、第1のゲート酸化物厚さを有する第1のサイズの第1のP M O Sトランジスタを備える。第1のサイズおよび第1のゲート酸化物厚さの大きさは、高電圧を提供する高電圧電源に第1のP M O Sトランジスタの非切替型nウェルおよびソースが永続的に連結されても第1のP M O Sトランジスタに対する損傷が引き起こされないような大きさである。対照的に、デュアルモードP M O Sトランジスタは、第1のサイズ未満の第2のサイズと、第1のゲート酸化物厚さ未満の第2のゲート酸化物厚

さとを有する。第2のサイズおよび第2のゲート酸化物厚さの大きさは、デュアルモードPMOSトランジスタに対する損傷を被ることなくデュアルモードPMOSトランジスタの切替型nウェルが高電圧電源に永続的に連結されることが不可能であるような大きさである。そのような損傷を防止するために、nウェル電圧切替回路は、デュアルモードPMOSトランジスタをその比較的小さいサイズおよび薄いゲート酸化物厚さにもかかわらず損傷から守る安全継続時間よりも長くは切替型nウェルが高電圧にバイアスされないように、制御される。

【図面の簡単な説明】

【0011】

【図1】[0011]nウェル電圧切替回路の概略図。

【図2】[0012]図1のnウェル電圧切替回路を組み込んだ電子的にプログラム可能なメモリの概略図。

【図3】[0013]図2のメモリ中のビット線のための高電圧スイッチの概略図。

【図4】[0014]本明細書に開示される実施形態による電子的にプログラム可能なメモリを組み込んだ複数の電子システムを示す図。

【発明を実施するための形態】

【0012】

[0015]本発明の実施形態およびそれらの利点は、後続の詳細な説明を参照することによって最もよく理解される。図の1つまたは複数に示される同じ要素を識別するのに、同じ参照番号が使用されることを理解されたい。

【0013】

[0016]当技術分野における、密度が増したラッチアップ防止アーキテクチャの必要性に対処するために、デュアルモードPMOSトランジスタの切替型nウェルに対する電圧バイアスを制御するnウェル電圧切替回路が開示される。低電力動作モードでは、nウェル電圧切替回路は、切替型nウェルを比較的低い電圧にバイアスする。反対に、高電力動作モードでは、nウェル電圧切替回路は、切替型nウェルを比較的高い電圧にバイアスする。本明細書で論じられる実施形態に関する低電圧および高電圧を構成するものは、プロセスノードに依存する。たとえば、20nmプロセスノードでは、高電圧は1.9Vであってよく、低電圧は1Vであってよい。より一般的には、高電圧は、切替型nウェル内のPMOSトランジスタに対する損傷を被ることなくnウェルが高電圧に継続的にバイアスされるには高すぎる大きさを有する。対照的に、低電圧は、切替型nウェルの長時間のバイアシングに安全である。何が安全であるかと、何が安全でないかは、使用されている特定のプロセスノードに依存することになる。

【0014】

[0017]次に図面に移るが、図1は、モード制御信号105に応答するnウェル電圧切替回路100の一実施形態を示す。モード制御信号105がハイにアサートされた（それによって高電圧動作モードを示す）場合、nウェル電圧切替回路100は、デュアルモードPMOSトランジスタ112の高電圧（または電力）動作モードの間、デュアルモードPMOSトランジスタ112の切替型nウェル110を高電圧に帯電させる。他方、モード制御信号105がローにプルされて、デュアルモードPMOSトランジスタ112の低電圧動作モードが選択された場合、nウェル電圧切替回路100は、切替型nウェル110を低電圧にバイアスする。このようにして、切替型nウェル110は、高電圧電源に永続的に結合される必要はない。本明細書でさらに論じられるように、その場合、デュアルモードPMOSトランジスタ112は、現代のプロセスノードにおいて利用可能な、より小さい寸法（およびより薄い酸化物）を利用することができる。

【0015】

[0018]インバータ125が、モード制御信号105を反転制御信号106に反転する。反転制御信号106は、ネイティブ厚酸化物NMOSトランジスタ130のゲートを駆動する。ネイティブ厚酸化物NMOSトランジスタ130のドレインは低電圧電源120に結合され、そのソースは切替型nウェル110に結合される。低電圧電源120は、NM

OSトランジスタ130がオンにされたとき、切替型nウェル110に対する低電圧を供給する。よって、モード制御信号105がローになってデュアルモードPMOSトランジスタ112の低電圧動作モードが選択されたとき、反転制御信号106はハイになり、それにより、NMOSトランジスタ130は完全にオンになって、切替型nウェル110を低電圧にバイアスする。NMOSトランジスタ130のソースは、切替型nウェル110に連結するnウェル切替回路100の出力ノードの一部を形成する。反転制御信号106はまた、厚酸化物PMOSトランジスタ135のゲートを駆動し、よって、厚酸化物PMOSトランジスタ135は、低電圧モードではオフである。PMOSトランジスタ135のソースは高電圧電源115に結合され、そのドレインは切替型nウェル110に結合される。

#### 【0016】

[0019]高電圧動作モードを選択するには、モード制御信号105がハイにアサートされ、それにより、インバータ125は、PMOSトランジスタ135が完全にオンになるよう、反転制御信号106をローにプルする。PMOSトランジスタ135のドレインは、切替型nウェル110に連結するnウェル電圧切替回路100の出力ノードの残りの部分を形成する。高電圧電源115は、PMOSトランジスタ135がオンにされたとき、切替型nウェル110をバイアスする高電圧を供給する。反転制御信号106がこの時点でローになるのに応答して、NMOSトランジスタ130はオフにされる。このように、モード制御信号105がハイになったとき、デュアルモードPMOSトランジスタ112の切替型nウェル110は高電圧にバイアスされる。PMOSトランジスタ135は、高電圧からの応力を受けない。というのは、そのnウェル140もまた高電圧電源115に結合されており、またそのゲート酸化物は比較的厚いからである。加えて、PMOSトランジスタ135は、高電圧へのそのような永続的な連結に対して頑強であるように十分に大きいサイズ(チャネル長)を有する。

#### 【0017】

[0020]PMOSトランジスタ135のソースが高電圧電源115に結合されているので、デュアルモードPMOSトランジスタ112の低電力動作モードの間、制御信号106もまた高電圧に帯電されるべきである。もしそうではなく制御信号106がこの間に低電圧に帯電されるだけならば、PMOSトランジスタ135のゲート電圧は、そのソース電圧よりも十分に低い可能性があり、したがって、PMOSトランジスタ135は遮断されるのではなく導通することになる。よって、デュアルモードPMOSトランジスタ112の低電圧動作モードの間、高電圧電源115は、制御信号106が高電圧に帯電されるようにインバータ125に電力を供給する。このようにして、PMOSトランジスタ135は、低電力動作モードの間は完全にオフである。NMOSトランジスタ130は、そのドレインが低電圧電源120のみに結合されているにもかかわらず、厚酸化物トランジスタである。というのは、そのゲートはこのように、デュアルモードPMOSトランジスタ112の低電圧動作モードの間は高電圧に帯電されることになるからである。

#### 【0018】

[0021]PMOSトランジスタ135とNMOSトランジスタ130は両方とも、高電圧電源115からの負担に耐えるために、比較的大きく頑強でなければならない。よって、これらのトランジスタは、ダイ空間を相応に要求する。しかし、低電圧動作モードと高電圧動作モードとを有する種々の他のデュアルモードPMOSトランジスタの切替型nウェル電位を制御するのに、1つのnウェル電圧切替回路100しか必要でない。このようにして、かなりのダイ面積節約が実現され得る。デュアルモードトランジスタPMOS112のサイズは、PMOSトランジスタ135およびNMOSトランジスタ130に使用されるサイズよりも小さい。たとえば、デュアルモードPMOSトランジスタ112は、プロセスノードによって許容される最小のサイズおよびゲート酸化物厚さを有することができる。このようにして、密度は大幅に高められる。

#### 【0019】

[0022]制御信号105が、NMOSトランジスタ130およびPMOSトランジスタ1

35のゲートを直接に駆動することになるアクティブロー制御信号で置き換える代替実施形態では、インバータ125が省略されてよいことは理解されるであろう。そのような実施形態では、アクティブロー制御信号がローにプルされて、高電圧動作モードが選択されることになる。反対に、アクティブロー制御信号が高電圧に帯電されて、低電圧動作モードが選択されることになる。

#### 【0020】

[0023]非常に多くの応用例が有利にも、本明細書に開示される、切替型nウェル中の比較的小さい薄酸化物デュアルモードPMOSトランジスタを使用することができる。たとえば、電気的にプログラム可能なヒューズ(eヒューズ)メモリが、種々のワード線ドライバ、ならびにプログラミングトランジスタを備える。従来のeヒューズメモリ中では、ワード線ドライバに対応するトランジスタ、および関連するプログラミングトランジスタは、eヒューズをプログラムするのに使用される高電圧に耐えるために、比較的大きい必要があり、厚いゲート酸化物を有する必要がある。対照的に、図2に示されるeヒューズメモリ200は、小さくて酸化物の薄いワード線ドライバおよびプログラミングトランジスタの使用を可能にし、これにより有利にも、密度が増す。

#### 【0021】

[0024]図示を明確にするために、eヒューズメモリ200は、单一のワード線210および単一のビット線225のみを伴って示されている。しかし、eヒューズメモリ200は、ワード線210およびビット線225について図示されるのと同様に配置された複数の他のワード線およびビット線を含むことは理解されるであろう。他のワード線は、ワード線210と並列の、追加の行を形成することになる。同様に、他のビット線は、ビット線225と並列の列を形成することになる。ワード線がそのワード線ドライバによってアサートされたとき、このワード線に対応するeヒューズは、ビット線に対するバイアスに応じて、読み出されるかまたはプログラムされるかのいずれかである場合がある。ワード線とビット線との各交差点は、eヒューズに対応する。たとえば、eヒューズ215は、ワード線210とビット線225との交差点に対応する。各eヒューズは、プログラムされていない状態で導通状態であるヒュージブルリンクを備える。対照的に、プログラムされたeヒューズは、開回路であるか、または、プログラムされていないeヒューズと比較してずっと抵抗性があるかのいずれかである。所与のeヒューズを読み出すには、そのワード線とビット線の両方がアサートされる。eヒューズは読み出動作ではプログラムされるべきでないので、読み出動作におけるワード線およびビット線のアサートは、低電圧を使用して実施され得る。対照的に、ワード線とビット線の両方が高電圧にアサートされて、対応するeヒューズがプログラムされる。このように、eヒューズを読み出すことは、低電圧動作モードに対応することになり、eヒューズをプログラムすることは、高電圧動作モードに対応する。

#### 【0022】

[0025]これらの低電圧および高電圧動作モードを考えれば、よってワード線ドライバトランジスタは有利にも、切替型nウェルを使用して実装されることが可能であり、それにより、これらのトランジスタは、比較的小さいままでありながらも高電圧動作モードに対して頑強であることができる。eヒューズ215に関して、小さい薄酸化物ワード線(WL)ドライバPMOSトランジスタ205は、そのドレインがワード線210に結合されるようになる。WLドライバPMOSトランジスタ205は、図1に関して論じられたように、その切替型nウェル110がnウェル電圧切替回路100によって制御されるようになる。加えて、WLドライバPMOSトランジスタ205のソースも切替型nウェル110に結合され、したがって、ソースと切替型nウェル110の両方に対する電圧バイアスは、モード制御信号105によって制御される。よって、eヒューズ215がプログラムされることになる場合、nウェル電圧切替回路100は、WLドライバPMOSトランジスタ205のソースおよび切替型nウェル110を高電圧にバイアスする。ワード線デコーダ(図示せず)が、WLドライバPMOSトランジスタ205のゲートをローにプルすることによって、ワード線210を選択する。これに応答して、WLドライバPMOS

トランジスタ 205 は、オンになり、ワード線 210 を高電圧にバイアスする。ワード線 210 は、ソースが接地に結合されドレインが e ヒューズ 215 の端子に結合された小さい薄酸化物プログラミングN MOSトランジスタ 220 のゲートを制御する。プログラミングモードでは、よって、プログラミングN MOSトランジスタ 220 は、そのゲートが高電圧にバイアスされるようになる。ビット線 225 は、e ヒューズ 215 の残りの端子に連結する。N MOSプログラミングトランジスタ 220 がオンになったときにビット線 225 もまた高電圧に帯電された場合、比較的多量の電流が e ヒューズ 215 の中を流れることになり、したがって e ヒューズ 215 はプログラミングされ得る。

#### 【0023】

[0026] e ヒューズ 215 の状態を読み出すには、モード制御信号 105 は、WL ドライバPMOSトランジスタ 205 のソースおよび切替型nウェル 110 を低電圧にバイアスするよう、nウェル電圧切替回路 100 に命じる。次いで WL ドライバPMOSトランジスタ 205 のゲートがローにプルされた場合、このトランジスタは次いで、N MOSプログラミングトランジスタ 220 をオンにするために、オンになってワード線 210 を低電圧に帯電されることになる。この読み出動作の間、ビット線 225 は低電圧にバイアスされる。e ヒューズ 215 がプログラムされていない場合は、N MOSプログラミングトランジスタ 220 を介した導通のせいで、ワード線 210 のアサートは、帯電されたビット線 225 を接地の方にプルすることになる。対照的に、e ヒューズ 215 がプログラムされた場合は、N MOSプログラミングトランジスタ 220 がオンにされているにもかかわらず、ビット線 225 は接地にプルされることになる。

#### 【0024】

[0027] このように、WL ドライバPMOSトランジスタ 205 は、e ヒューズをプログラムするための高電圧動作モードの間のラッチアップから保護されるが、WL ドライバPMOSトランジスタ 205 は、小さい薄酸化物トランジスタなので、十分に長い期間の高電圧動作に対して頑強ではない。しかし、e ヒューズのプログラミングにかかる時間量は、そのような小さい薄酸化物トランジスタの高電圧寿命と比較して相対的に短い。図 1 を再び参照すると、モード制御信号 105 の状態を制御するコントローラ 150 が、e ヒューズ 215 をプログラムするのに必要な比較的短い時間量のみにわたってモード制御信号 105 をアサートするように構成される。このようにして、WL ドライバPMOSトランジスタ 205 とプログラミングN MOSトランジスタ 220 は両方とも、e ヒューズ 215 をプログラムするのに必要な継続時間のみにわたって高電圧によってバイアスされる。よって、これらのトランジスタは両方とも、現代のプロセスノードにおいて利用可能な、小さい寸法と薄いゲート酸化物厚さとを利用でき、これによりダイ面積節約が大幅に高まる。たとえば、メモリ 200 が複数 (N 個) のワード線と、同じ複数 (N 個) のビット線とを備える場合、メモリ 200 は、N<sup>2</sup> 個の e ヒューズを備えることになり、したがって N<sup>2</sup> 個のプログラミングトランジスタを必要とすることになる。よって、ダイ面積節約は、メモリのサイズに 2 次的に関係する。

#### 【0025】

[0028] 本明細書で論じられるnウェル電圧切替えはまた、プログラミングモードの間にビット線 225 を高電圧にプルするのに使用されるパワースイッチにも適用され得る。これに関して、ビット線 225 の高電圧帯電のために、大域パワースイッチを局所パワースイッチと直列に設けるのが有利である。従来の e ヒューズメモリ中では、これらのスイッチは両方とも、ラッチアップを防止するために、nウェルが高電圧電源 115 に永続的に結合された比較的大きい厚酸化物PMOSトランジスタを備えることになる。しかし、図 3 に示されるように、局所パワースイッチは、切替型nウェル 110 がnウェル電圧切替回路 100 によって制御される、比較的小さい薄酸化物PMOSトランジスタ 300 を備える。大域パワースイッチは、ソースと非切替型nウェル 306 とが高電圧電源 115 に結合された、比較的大きい厚酸化物PMOSトランジスタ 305 を備える。PMOSトランジスタ 300 は、ビット線 225 と PMOSトランジスタ 305 のドレインとの間で直列に連結する。イネーブルプログラミング制御信号 315 が、インバータ 310 を介して

反転されて、PMOSトランジスタ305と300の両方のゲートを駆動する。よって、イネーブルプログラミング制御信号315がハイにアサートされてeヒューズ215のプログラミングモードが選択されたとき、PMOSトランジスタ305および300はオンにされ、したがって、ビット線225は高電圧からの高電圧に帯電される。この実施形態では、イネーブルプログラミング制御信号315はまた、nウェル電圧切替回路100に対するモード制御信号でもある。よって、イネーブルプログラミング制御信号315がアサートされたとき、切替型nウェル110もまた高電圧に帯電される。

#### 【0026】

[0029] eヒューズ215がプログラムされた後、イネーブルプログラミング制御信号315はデアサートされ、したがってPMOSトランジスタ300および305はオフにされる。同時に、nウェル電圧切替回路100は、切替型nウェル110を低電圧にバイアスする。しかし、プログラミングモードの間に、PMOSトランジスタ300のソースに連結するノード320が高電圧に帯電されたことに留意されたい。切替型nウェル110の低電圧と比較したこの帯電されたノード電位からラッチアップが発生するどんな可能性も防止するために、メモリ200がプログラムされているのでないときは、NMOSトランジスタ325がノード320を接地にプルする。こうするために、インバータ310はNMOSトランジスタ325のゲートを駆動し、したがって、NMOSトランジスタ325は、イネーブルプログラミングモード制御信号315のデアサートに応答してオンになる。NMOSトランジスタ325のソースは接地に結合され、そのドレインはノード320に結合される。このようにして、NMOSトランジスタ325は、eヒューズメモリ200がプログラミングモードにないとき、ノード320の電位を接地にプルすることになる。別個の低電圧スイッチ(図示せず)が、メモリ200の読み出動作モードの間にアクティブになって、ビット線225を低電圧に帯電されることになる。

#### 【0027】

[0030] 電気的にプログラム可能なメモリ200は、非常に多くの応用例を有する。たとえば、そのようなメモリを使用して、構成データ、トリムデータ、RAM冗長性情報、暗号化コード、または他の適切な情報で、システムオンチップ(SOC)を構成することが慣例的。図4は、電気的にプログラム可能なメモリ200で強化されたSOCを備えるいくつかの例示的なデバイスを示す。特に、セルフオン400、ラップトップ405、およびタブレットPC410はすべて、本開示に従って構築された電気的にプログラム可能なメモリ200を備えることができる。音楽プレーヤ、ビデオプレーヤ、通信デバイス、およびパーソナルコンピュータなど、他の例示的な電子システムもまた、本開示に従った電気的にプログラム可能なメモリを用いて構成され得る。

#### 【0028】

[0031] 当業者ならもう理解するであろうが、また目下の特定の応用例に応じて、本開示の主旨および範囲を逸脱することなく本開示のデバイスの材料、装置、構成、および使用法に対して多くの変更、置換および変形が行われてもよい。これに鑑みて、本明細書で例示および説明される特定の実施形態は、そのいくつかの例にすぎず、以下に添付される請求項およびそれらの機能的均等物の範囲に完全に対応すべきなので、本開示の範囲は、これらの特定の実施形態の範囲に限定されるべきではない。