



등록특허 10-2141459



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월05일
(11) 등록번호 10-2141459
(24) 등록일자 2020년07월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) *G06F 3/041* (2006.01)
(21) 출원번호 10-2014-0026158
(22) 출원일자 2014년03월05일
심사청구일자 2019년03월04일
(65) 공개번호 10-2014-0115972
(43) 공개일자 2014년10월01일
(30) 우선권주장
JP-P-2013-059637 2013년03월22일 일본(JP)
(56) 선행기술조사문현
KR1020080071489 A
US20110157762 A1
US20120223308 A1

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
타나베 토루
일본국 111-0025 도쿄도 다이토구 히가시아사쿠사
2-18-9 세쿠시아미나미센주901
후쿠토메 타카히로
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

전체 청구항 수 : 총 12 항

심사관 : 이희봉

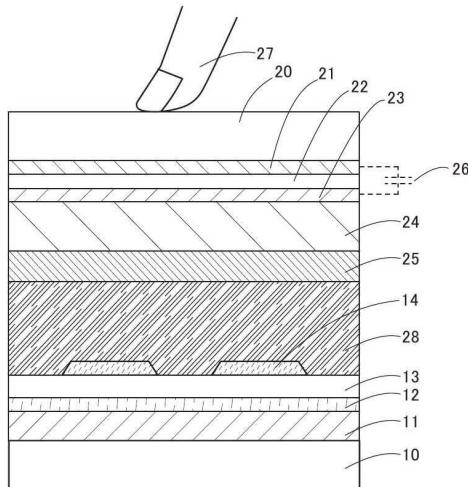
(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 노이즈의 영향을 방지하면서 위치 정보를 취득할 수 있는 액정 표시 장치를 제공한다.

제 1 절연막을 사이에 개재하여 부분적으로 중첩되는 화소 전극 및 공통 전극을 가진 제 1 기판과, 제 2 절연막을 사이에 개재하여 부분적으로 중첩되는 한 쌍의 전극, 상기 한 쌍의 전극을 덮는 수지막, 및 상기 수지막 위의 도전막을 가진 제 2 기판과, 상기 제 1 기판과 상기 제 2 기판 사이에 있어서 상기 화소 전극 및 상기 공통 전극과 상기 도전막 사이에 위치하는 액정층을 가지고, 상기 도전막에는 소정의 전위가 공급되는 액정 표시 장치이다.

대 표 도 - 도1



(72) 발명자

모리야 코지

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

쿠로사키 다이스케

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

오노 마사카즈

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

액정 표시 장치에 있어서,
제 1 기판;
상기 제 1 기판 위의 소자층;
상기 소자층 위의 공통 전극;
상기 공통 전극 위의 제 1 절연막;
상기 제 1 절연막 위의 화소 전극;
상기 화소 전극 위의 액정층;
상기 액정층 위의 도전막;
상기 도전막 위에서 상기 도전막과 직접 접촉하는 수지막;
상기 수지막 위에서 상기 수지막과 직접 접촉하는 제 1 전극;
상기 제 1 전극 위의 제 2 절연막;
상기 제 2 절연막 위의 제 2 전극; 및
상기 제 2 전극 위의 제 2 기판을 포함하는, 액정 표시 장치.

청구항 2

액정 표시 장치에 있어서,
화소 전극 및 공통 전극이 제공되는 제 1 기판;
한 쌍의 전극, 상기 한 쌍의 전극을 덮는 수지막, 및 도전막이 제공되는 제 2 기판; 및
상기 화소 전극과 상기 도전막 사이의 액정층을 포함하고,
상기 수지막은 상기 도전막과 상기 한 쌍의 전극 사이에 있고,
상기 수지막은 상기 도전막 및 상기 한 쌍의 전극 중 한쪽과 직접 접촉하고,
상기 화소 전극과 상기 공통 전극은 제 1 절연막을 사이에 개재하여 서로 부분적으로 중첩되고,
상기 한 쌍의 전극은 제 2 절연막을 사이에 개재하여 서로 부분적으로 중첩되는, 액정 표시 장치.

청구항 3

제 2 항에 있어서,
상기 제 2 기판에 가깝거나 상기 제 2 기판과 접촉하는 도전성 물체의 위치 정보는 상기 한 쌍의 전극 사이의 용량 변화에 의해 얻어지는, 액정 표시 장치.

청구항 4

액정 표시 장치에 있어서,
제 1 기판;
상기 제 1 기판 위의 소자층;
상기 소자층 위의 공통 전극;

상기 공통 전극 위의 제 1 절연막;

상기 제 1 절연막 위의 화소 전극;

액정 소자로서, 상기 화소 전극, 상기 공통 전극, 및 상기 화소 전극 및 상기 공통 전극 위의 액정층을 포함하는 상기 액정 소자;

상기 액정 소자 위의 도전막;

상기 도전막 위에서 상기 도전막과 직접 접촉하는 수지막;

상기 수지막 위에서 상기 수지막과 직접 접촉하는 제 1 전극;

상기 제 1 전극 위의 제 2 절연막;

상기 제 2 절연막 위의 제 2 전극; 및

상기 제 2 전극 위의 제 2 기판을 포함하는, 액정 표시 장치.

청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 제 2 기판에 가깝거나 상기 제 2 기판과 접촉하는 도전성 물체의 위치 정보는 상기 제 1 전극과 상기 제 2 전극 사이의 용량 변화에 의해 얻어지는, 액정 표시 장치.

청구항 6

액정 표시 장치에 있어서,

제 1 기판 위의 소스 및 드레인을 포함하는 트랜지스터;

상기 트랜지스터 위의 제 1 전극;

상기 소스 및 상기 드레인 중 한쪽에 전기적으로 접속되고 상기 트랜지스터 위에 있는 제 2 전극;

상기 제 1 전극 및 상기 제 2 전극 위의 액정층;

상기 액정층 위의 도전막;

$1\mu\text{m}$ 이상 $3\mu\text{m}$ 이하인 두께를 가지고, 상기 도전막 위에서 상기 도전막과 접촉하는 막;

상기 막 위에서 상기 막과 직접 접촉하는 제 3 전극;

상기 제 3 전극 위의 절연막;

상기 절연막 위의 제 4 전극; 및

상기 제 4 전극 위의 제 2 기판을 포함하는, 액정 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제 2 기판에 가깝거나 상기 제 2 기판과 접촉하는 도전성 물체의 위치 정보는 상기 제 3 전극과 상기 제 4 전극 사이의 용량 변화에 의해 얻어지는, 액정 표시 장치.

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 사이에 제 1 절연막을 더 포함하는, 액정 표시 장치.

청구항 10

제 1 항, 제 2 항, 제 4 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 도전막은 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨을 함유하는 산화 아연, 및 산화 실리콘을 함유하는 인듐 주석 산화물 중 적어도 하나를 포함하는, 액정 표시 장치.

청구항 11

제 6 항에 있어서,

상기 트랜지스터는 산화물 반도체를 포함하는, 액정 표시 장치.

청구항 12

제 1 항, 제 2 항, 제 4 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 액정층 위의 배향막을 더 포함하고,

상기 배향막은 상기 도전막과 직접 접촉하는, 액정 표시 장치.

청구항 13

제 1 항, 제 2 항, 제 4 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 액정 표시 장치는 수평 전계 모드의 액정 패널인, 액정 표시 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 액정 표시 장치에 관한 것이다. 특히 본 발명은 터치 패널 기능을 가진 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 터치 패널은 손가락 또는 스타일러스 등이 가리킨 위치를 검출하고 그 위치 정보를 포함한 신호를 생성할 수 있는 위치 입력 장치로서의 기능을 가진다. 터치 패널 중에서도 정전 용량 방식은 적외선 방식 등의 광학식 터치

패널과 달리, 외광에 좌우되지 않고 위치 정보를 취득할 수 있다. 또한, 정전 용량 방식은 저항막 방식에 비하여 위치 정보를 고속으로 취득할 수 있으며, 전극이 물리적으로 마모되는 일도 없다. 그래서 근년에 들어 정전 용량 방식 터치 패널은 시장에서의 보급률이 높아지고 있다.

[0003] 또한, 터치 패널을 가진 액정 표시 장치에는, 터치 패널 기능의 일부를 액정 패널 내부에 내장한 인셀형과, 편광판과 액정 패널 사이에 터치 패널을 제공한 온셀형이 있다. 인셀형은 온셀형보다 터치 패널을 가진 액정 표시 장치의 박형화나 경량화에 유리하다.

[0004] 이하의 특허문헌 1에는 정전 용량 방식 터치 패널을 가진 인셀형 액정 표시 장치에 관하여 기재되어 있다.

발명의 내용

특허문헌

[0005] (특허문헌 0001) 일본국 특개2009-244958호 공보

발명의 내용

해결하려는 과제

[0006] 그런데, 액정에 수직 전계가 가해지는 TN(Twisted Nematic) 모드 등의 액정 패널에 비하여 액정에 수평 전계가 가해지는 FFS(Fringe Field Switching) 모드 등의 액정 패널은, 누르는 압력에 의하여 셀 캡이 약간 변화되더라도 액정의 배향이 흐트러지기 어렵다. 따라서, 액정에 수평 전계가 가해지는 수평 전계 모드의 액정 패널을, 터치 패널을 가진 액정 표시 장치에 사용하면 누르는 압력이 화상 표시에 영향을 미치는 것을 방지할 수 있다.

[0007] 그러나, 수평 전계 모드의 액정 패널에서는, 트랜지스터가 형성된 소자 기판에 대향하는 대향 기판에 전극이 존재하지 않는다. 그러므로 대향 기판에 축적되는 전하의 분포를 제어하기 어려우며 정전기의 영향 등에 의하여 대향 기판의 일부에 전하가 많이 축적될 수 있다. 이 경우, 축적된 전하로 인하여 액정에 불필요한 전계가 국소적으로 가해짐으로써 휘도 편차가 생기기 쉽다.

[0008] 또한, 정전 용량 방식 터치 패널은 터치 패널에 포함되는 전극들 사이, 또는 이 전극들과 손가락 등 도전체와의 사이에 생기는 미소한 용량 변화를 검출함으로써 위치 정보를 취득한다. 그러므로, 액정 패널의 동작에 필요한 신호의 전위 변화가 터치 패널에서의 위치 정보 취득 시에 노이즈로서 작용하여 악영향을 미칠 우려가 있다. 특히 인셀형 터치 패널을 가진 액정 표시 장치에서는 터치 패널의 배선 또는 전극과, 트랜지스터가 형성된 소자 기판 사이의 거리가 온셀형 터치 패널을 가진 액정 표시 장치에 비하여 짧기 때문에, 터치 패널의 배선 또는 전극과, 액정 패널에 포함되는 배선 또는 전극 사이에 형성되는 기생 용량이 크게 되기 쉽다. 따라서, 인셀형 터치 패널을 가진 액정 표시 장치에서는 온셀형 터치 패널을 가진 액정 표시 장치보다, 액정 패널의 동작에 필요한 신호의 전위 변화가 터치 패널에서의 위치 정보 취득 시에 노이즈로서 작용하여 더 크게 악영향을 미칠 우려가 있다.

[0009] 또한, 온셀형 터치 패널을 가진 액정 표시 장치에 비하여 인셀형 터치 패널을 가진 액정 표시 장치에서는 위치 정보를 취득하기 위한 전극과 손가락 등 도전체 사이의 거리가 길다. 그러므로, 인셀형 터치 패널을 가진 액정 표시 장치는 위치 정보의 취득 감도가 낮고 신호 대 잡음비(SNR)가 작아지기 쉬웠다.

[0010] 상술한 바와 같은 기술적 배경을 바탕으로 본 발명의 일 형태는 휘도 편차가 생기는 것을 방지할 수 있는, 터치 패널을 가진 액정 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 노이즈의 영향을 방지하면서 위치 정보를 취득할 수 있는 액정 표시 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0011] 본 발명의 일 형태에 따른 액정 표시 장치는 절연막을 사이에 개재(介在)하여 서로 부분적으로 중첩되는 화소 전극과 공통 전극을 제 1 기판 측에 가진다. 또한, 절연막을 사이에 개재하여 서로 부분적으로 중첩되는 한 쌍의 전극과, 한 쌍의 전극을 덮는 수지막과, 수지막 위의 도전막을 제 2 기판 측에 가진다. 그리고, 제 1 기판 측에 제공된 상기 화소 전극 및 공통 전극과 제 2 기판 측에 제공된 상기 도전막은 대향하고, 또한 제 1 기판과 제 2 기판 사이에는 액정층이 제공된다.

- [0012] 제 2 기판 측에 위치하는 한 쌍의 전극 및 도전막에는 가시광에 대한 투광성을 가진 도전 재료가 사용된다. 제 2 기판을 투과한 가시광은 한 쌍의 전극 및 도전막을 통과하여 액정층으로 입사된다.
- [0013] 또한, 제 2 기판 측에 위치하는 도전막에는 소정의 전위가 공급된다. 예를 들어, 제 2 기판 측에 위치하는 도전막은 제 1 기판 측에 위치하는 공통 전극에 전기적으로 접속되어도 좋고, 이 경우 도전막에는 공통 전극과 같은 전위가 공급된다.
- [0014] 본 발명의 일 형태에서는 한 쌍의 전극이 제 2 기판 측에 위치하기 때문에 제 2 기판에 축적되는 전하는 한 쌍의 전극 중 어느 한쪽을 통과하여 방전될 수 있다. 따라서, 제 2 기판의 일부에 전하가 축적되는 것을 방지하고 이에 의하여 액정층에 전압이 국소적으로 가해지는 것을 방지함으로써, 휘도 편차가 생기는 것을 방지할 수 있다.
- [0015] 또한, 본 발명의 일 형태에서는 제 1 기판 측에 위치하는 화소 전극 및 공통 전극과 제 2 기판 측에 위치하는 한 쌍의 전극 사이에 도전막이 존재하는 것에 기인하여, 화소 전극 또는 공통 전극과 상기 도전막 사이에 기생 용량이 형성되고, 또한 한 쌍의 전극과 상기 도전막 사이에 기생 용량이 형성된다. 그리고, 상기 기생 용량이 형성된 상태로 상기 도전막에 소정의 전위가 공급됨으로써, 화소 전극에 공급되는 전위가 변화되더라도 한 쌍의 전극의 전위가 변화되는 것을 방지할 수 있고, 위치 정보의 취득에 의하여 한 쌍의 전극의 전위가 변화되더라도 화소 전극 또는 공통 전극의 전위가 변화되는 것을 방지할 수 있다. 따라서, 본 발명의 일 형태에 따른 인셀형 액정 표시 장치에서는 액정 패널의 동작에 필요한 신호의 전위 변화가 터치 패널에서의 위치 정보 취득 시에 노이즈로서 작용하여 악영향을 미치는 것을 방지할 수 있다.

발명의 효과

- [0016] 본 발명의 일 형태는 휘도 편차가 생기는 것을 방지할 수 있는, 터치 패널을 가진 액정 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태는 노이즈의 영향을 방지하면서 위치 정보를 취득할 수 있는 액정 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- 도 1은 액정 표시 장치의 구성을 도시한 도면.
- 도 2는 액정 표시 장치의 구성을 도시한 도면.
- 도 3은 전극의 형상을 도시한 도면.
- 도 4는 전극의 단면 구조를 도시한 도면.
- 도 5는 화소부 및 화소의 구성을 도시한 도면.
- 도 6은 액정 표시 장치의 구성을 도시한 도면.
- 도 7은 화소의 상면도.
- 도 8은 패널의 단면도.
- 도 9는 소자 기판의 제작 방법을 도시한 도면.
- 도 10은 소자 기판의 제작 방법을 도시한 도면.
- 도 11은 대향 기판의 제작 방법을 도시한 도면.
- 도 12는 액정 표시 장치의 상면도.
- 도 13은 액정 표시 장치의 단면도.
- 도 14는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하에서는 본 발명의 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서, 본 발명은, 이하에 기재된 실시형태의 내용에 한정하여 해석

되는 것은 아니다.

[0019] 또한, 본 명세서에서, 액정 소자가 각 화소에 형성된 패널과, 구동 회로 또는 컨트롤러를 포함한 IC 등을 이 패널에 실장한 상태의 모듈은 액정 표시 장치의 범주에 포함된다.

[0020] <액정 표시 장치의 화소의 적층 구조 예>

[0021] 도 1은 본 발명의 일 형태에 따른 액정 표시 장치의 화소의 적층 구조의 일례를 도시한 것이다.

[0022] 본 발명의 일 형태에 따른 액정 표시 장치는, 제 1 기판(10) 측에 위치하고 트랜지스터 등 반도체 소자나 배선 등이 포함된 소자층(11)과, 소자층(11) 위의 전극(12)과, 전극(12) 위의 절연막(13)과, 절연막(13) 위에 있고 전극(12)과 부분적으로 중첩되는 전극(14)을 가진다. 전극(12) 및 전극(14)은 한쪽이 화상 신호에 따라 전위가 제어되는 화소 전극에 상당하고 다른 쪽이 화상 신호에 상관없이 소정의 전위가 공급되는 공통 전극에 상당한다.

[0023] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는 제 2 기판(20) 측에 위치하고 서로 부분적으로 중첩되는 제 1 전극(21) 및 제 2 전극(23)과, 제 1 전극(21)과 제 2 전극(23) 사이에 위치하는 절연막(22)과, 제 1 전극(21) 및 제 2 전극(23)을 덮는 수지막(24)과, 수지막(24) 위의 도전막(25)을 가진다.

[0024] 또한, 제 1 기판(10) 측에 제공된 전극(12) 및 전극(14)과 제 2 기판(20) 측에 제공된 도전막(25)은 대향하고, 제 1 기판(10)과 제 2 기판(20) 사이에 있어서 전극(12) 및 전극(14)과 도전막(25) 사이에는 액정 재료를 포함한 액정층(28)이 제공된다. 액정 소자는 전극(12) 및 전극(14)과, 상기 전극(12) 및 전극(14)으로부터 전계가 가해지는 액정층(28)으로 구성된다. 액정층(28)에 전계가 가해짐으로써 액정층(28)에 포함된 액정 재료의 배향이 제어되어 액정층(28)의 투과율이 변화된다.

[0025] 수지막(24)은 제 1 전극(21) 및 제 2 전극(23)의 형상에 기인하여 도전막(25)의 평탄성이 저해되는 것을 방지하는 기능을 가진다. 즉, 제 1 전극(21) 및 제 2 전극(23)이 요철을 가지더라도 제 1 전극(21) 및 제 2 전극(23)과 도전막(25) 사이에 수지막(24)을 제공함으로써 도전막(25) 표면의 평탄성을 제 1 전극(21) 및 제 2 전극(23) 표면보다 높게 할 수 있다. 그리고, 도 1에 도시되어 있지 않지만 절연막(13) 및 전극(14) 위, 및 도전막(25) 위에는 각각 배향막이 제공된다. 그래서, 수지막(24)을 제공함으로써 도전막(25) 표면의 평탄성을 높일 수 있을 뿐만 아니라 도전막(25) 위의 배향막의 평탄성도 높일 수 있다.

[0026] 또한, 손가락 등 도전체(27)가 제 2 기판(20)에 접근 또는 접촉할 때 제 1 전극(21) 및 제 2 전극(23)에 제공된 용량 소자의 정전 용량은 변화된다. 상기 정전 용량의 변화를 관독함으로써 도전체(27)의 위치 정보를 취득할 수 있다. 예를 들어, 위치 정보는 제 1 전극(21)과 제 2 전극(23) 사이에 형성되는 용량 소자(26)가 가진 정전 용량의 변화를 관독하여 취득할 수 있다. 또는, 위치 정보는 제 1 전극(21) 및 제 2 전극(23) 각각과 도전체(27) 사이에 형성되는 용량 소자가 가진 정전 용량의 변화를 관독하여 취득할 수 있다.

[0027] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는, 제 2 기판(20)이 가시광에 대한 투광성을 가지고, 제 2 기판(20) 측에 위치하는 제 1 전극(21) 및 제 2 전극(23)과 도전막(25)에는 가시광에 대한 투광성을 가진 도전 재료가 사용된다. 제 2 기판(20)으로서 예를 들어, 유리 기판, 플라스틱 등의 수지를 포함하는 기판 등을 사용할 수 있다. 또한, 투광성을 가진 도전 재료로서는, 예를 들어 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등을 사용할 수 있다.

[0028] 제 2 기판(20)을 투과한 가시광은 제 1 전극(21) 및 제 2 전극(23)과 도전막(25)을 통과하여 액정층(28)으로 입사된다.

[0029] 본 발명의 일 형태에서는 상술한 바와 같이, 위치 정보의 취득에 사용되는 제 1 전극(21) 및 제 2 전극(23)이 제 2 기판(20) 측에 위치한다. 상술한 구성에 의하여, 제 2 기판(20)에 축적되는 전하는 제 1 전극(21) 및 제 2 전극(23) 중 어느 한쪽을 통과하여 방전될 수 있다. 따라서, 제 2 기판(20)의 일부에 전하가 축적되는 것을 방지하고 이에 의하여 액정층(28)에 전압이 국소적으로 가해지는 것을 방지함으로써, 휘도 편차가 생기는 것을 방지할 수 있다.

[0030] 또한, 본 발명의 일 형태는 위치 정보를 취득하기 위한 제 1 전극(21) 및 제 2 전극(23)이 제 1 기판(10)과 제 2 기판(20) 사이에 위치하는 인셀형 액정 표시 장치이다. 다만, 인셀형 액정 표시 장치이면서도 제 1 기판(10) 측에 위치하는 전극(12) 및 전극(14)과, 제 2 기판(20) 측에 위치하는 제 1 전극(21) 및 제 2 전극(23) 사이에

도전막(25)이 존재하는 것에 기인하여 전극(12) 또는 전극(14)과 도전막(25) 사이에 기생 용량이 형성되고, 또한 제 1 전극(21) 또는 제 2 전극(23)과 도전막(25) 사이에 기생 용량이 형성된다. 그리고, 상기 기생 용량이 형성된 상태로 도전막(25)에 소정의 전위가 공급됨으로써, 전극(12) 또는 전극(14)에 공급되는 전위가 변화되더라도 제 1 전극(21) 및 제 2 전극(23)의 전위가 변화되는 것을 방지할 수 있다. 또한, 위치 정보의 취득에 따라 제 1 전극(21) 또는 제 2 전극(23)의 전위가 변화되더라도 전극(12) 또는 전극(14)의 전위가 변화되는 것을 방지할 수 있다. 따라서, 위치 정보 취득 시에 전극(12) 또는 전극(14)에 공급되는 전위의 변화가 노이즈로서 작용하여 위치 정보에 포함되는 것을 방지할 수 있으므로, 상기 노이즈의 영향을 받지 않으면서 위치 정보를 취득할 수 있다.

[0031] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는 전극(12) 또는 전극(14)이 위치 정보를 취득하는 기능을 가지는 액정 표시 장치와 달리, 화상 표시와 위치 정보 취득을 서로 독립적으로 수행할 수 있다. 또한, 본 발명의 일 형태는 도전막(25)이 존재하기 때문에, 화상 표시와 위치 정보 취득을 병행적으로 수행하더라도 위치 정보 취득에 따른 제 1 전극(21) 및 제 2 전극(23)의 전위 변화가 화상 표시에 영향을 미치는 것을 방지할 수 있고, 또한 화상 표시에 따른 전극(12) 또는 전극(14)의 전위 변화가 위치 정보 취득에 영향을 미치는 것을 방지할 수 있다. 따라서, 화상 표시가 수행되지 않는 귀선 기간 등 짧은 기간에 위치 정보를 고속으로 취득할 필요가 없으므로 위치 정보 취득을 위한 제어를 수행하는 구동 회로의 부담을 작게 억제할 수 있다.

[0032] 또한, 위치 정보를 취득하기 위한 한 쌍의 전극을 제 2 기판(20)이 가지는 제 1 면과 제 2 면에 나누어 형성하는 액정 표시 장치의 경우, 전극 형성 시에 제 2 기판(20)의 양쪽 면과 물리적으로 접촉함이 없이 제 2 기판(20)을 지지하기는 어렵기 때문에 전극을 형성하기 위한 장치 또는 제작 공정이 복잡해진다. 본 발명의 일 형태에 따른 액정 표시 장치는 제 1 전극(21) 및 제 2 전극(23)과 도전막(25)을 모두 제 2 기판(20)이 가지는 한 쪽 면 측에 형성할 수 있기 때문에, 제 1 전극(21) 및 제 2 전극(23)을 형성하기 위한 장치 또는 제작 공정을 간소화할 수 있다.

[0033] <액정 표시 장치의 화소의 적층 구조 예 2>

[0034] 도 1에 도시된 액정 표시 장치의 화소의 적층 구조의 일례를 도 2에 더 자세히 도시하였다.

[0035] 도 2에 도시된 액정 표시 장치는 도 1에 도시된 액정 표시 장치와 마찬가지로 제 1 기판(10) 측에 위치하는 소자층(11)과, 소자층(11) 위의 전극(12)과, 전극(12) 위의 절연막(13)과, 절연막(13) 위에 있고 전극(12)과 부분적으로 중첩되는 전극(14)을 가진다. 그리고, 도 2에서는 소자층(11)에 트랜지스터(15)가 포함되고, 트랜지스터(15)의 소스 및 드레인 중 한쪽이 전극(14)에 전기적으로 접속된다. 즉, 도 2는 전극(14)이 화소 전극, 전극(12)이 공통 전극인 경우를 예시한 것이다.

[0036] 화소 전극인 전극(14)들은 화소(16)마다 전기적으로 분리되고, 공통 전극인 전극(12)은 복수의 화소(16) 사이에서 전기적으로 접속된다.

[0037] 또한, 본 명세서에서 접속이란, 전기적인 접속을 의미하며 전류, 전압, 또는 전위의 공급 또는 전송이 가능한 상태에 상당한다. 따라서, 접속된 상태란, 반드시 직접 접속된 상태를 가리키는 것은 아니며 전류, 전압, 또는 전위의 공급 또는 전송이 가능하도록 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통하여 전기적으로 접속된 상태도 그 범주에 포함된다.

[0038] 또한, 트랜지스터의 소스란, 활성층으로서 기능하는 반도체막의 일부인 소스 영역, 또는 상기 반도체막에 전기적으로 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인이란, 활성층으로서 기능하는 반도체막의 일부인 드레인 영역, 또는 상기 반도체막에 전기적으로 접속된 드레인 전극을 의미한다. 또한, 게이트는 게이트 전극을 의미한다.

[0039] 또한, 트랜지스터가 가지는 소스와 드레인은 트랜지스터의 채널형 및 각 단자에 공급되는 전위의 고저(高低)에 따라 그 호칭이 서로 바뀐다. 일반적으로, n채널형 트랜지스터에서는 낮은 전위가 공급되는 단자가 소스라고 불리고 높은 전위가 공급되는 단자가 드레인이라고 불린다. 또한, p채널형 트랜지스터에서는 낮은 전위가 공급되는 단자가 드레인이라고 불리고 높은 전위가 공급되는 단자가 소스라고 불린다. 본 명세서에서는 편의상 소스와 드레인이 고정되어 있는 것으로 가정하여 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상술한 전위의 관계에 따라 소스와 드레인의 호칭이 바뀐다.

[0040] 또한, 도 2에 도시된 액정 표시 장치는 도 1에 도시된 액정 표시 장치와 마찬가지로, 제 2 기판(20) 측에 위치하는 제 1 전극(21)과, 제 1 전극(21) 위의 절연막(22)과, 절연막(22)을 사이에 개재하여 제 1 전극(21)과 부분적으로 중첩되는 제 2 전극(23)과, 제 1 전극(21) 및 제 2 전극(23)을 덮는 수지막(24)과, 수지막(24) 위의 도

전막(25)을 가진다.

[0041] 도 3의 (A)는 제 1 전극(21) 및 제 2 전극(23)의 형상을 각각 평면도로 도시한 것이다. 또한, 도 3의 (B)는 종합된 제 1 전극(21) 및 제 2 전극(23)을 확대한 평면도를 도시한 것이다.

[0042] 도 3의 (A)에 도시된 바와 같이 액정 표시 장치에는 복수의 제 1 전극(21)과 복수의 제 2 전극(23)이 교차하도록 제공된다. 도 3의 (A)를 보면 알 수 있듯이 복수의 제 1 전극(21)과 복수의 제 2 전극(23)은 복수의 직사각형 도전막이 접속된 형상을 가진다. 그리고, 복수의 제 1 전극(21)과 복수의 제 2 전극(23)은 도 3의 (B)에 도시된 바와 같이 직사각형 도전막의 부분의 위치가 서로 어긋나도록 배치된다. 그리고, 제 1 전극(21)과 제 2 전극(23)이 교차되는 부분에는 제 1 전극(21)과 제 2 전극(23)이 서로 접촉되지 않도록, 이를 사이에 도 1 및 도 2에 도시된 바와 같이 절연막(22)이 제공된다. 제 1 전극(21)과 제 2 전극(23)이 교차되는 부분에는 용량소자가 형성된다.

[0043] 도 4는 제 1 전극(21)과 제 2 전극(23)이 교차되는 부분에서의 제 2 기판(20)의 단면도를 일례로서 도시한 것이다. 도 4는 제 1 전극(21)이, 서로 전기적으로 접속된 도전막(21a) 내지 도전막(21d)을 가지는 경우를 예시한 것이다. 도전막(21a), 도전막(21b), 도전막(21d), 및 제 2 전극(23)은 동일한 절연 표면 위(도 4는 제 2 기판(20) 위인 경우를 예시한 것임)에 형성된다. 그리고, 도전막(21a), 도전막(21b), 도전막(21d), 및 제 2 전극(23) 위에는 절연막(22)이 제공된다. 도전막(21c)은 제 2 전극(23)을 넘도록 절연막(22) 위에 제공되고, 또한 도전막(21c)은 절연막(22)에 제공된 개구부를 통하여 도전막(21b) 및 도전막(21d)에 접속된다. 상술한 구성에 의하여, 도전막(21a) 내지 도전막(21d)을 포함한 제 1 전극(21)은 제 2 전극(23)과 접촉함이 없이 제 2 전극(23)과 교차될 수 있다.

[0044] 제 1 전극(21)과 제 2 전극(23)은 가시광에 대한 투광성을 가진, 상술한 것과 같은 도전 재료를 사용하여 형성할 수 있다. 다만, 도전막(21a)이 리드 배선인 경우에는 도전막(21a)을 반드시 가시광에 대한 투광성을 가진 도전 재료로 형성할 필요는 없다.

[0045] <화소부의 회로 구성예>

[0046] 다음에, 액정 표시 장치의 화소부의 회로 구성예에 대하여 설명한다.

[0047] 도 5에 도시된 화소부(30)에는 복수의 화소(31)와, 화소(31)를 행마다 선택하기 위한 배선 GL(배선 GL1 내지 배선 GLy(y는 자연수임))과, 선택된 화소(31)에 화상 신호를 공급하기 위한 배선 SL(배선 SL1 내지 배선 SLx(x는 자연수임))이 제공된다. 배선 GL로의 신호 입력은 구동 회로(32)에 의하여 제어된다. 배선 SL로의 화상 신호 입력은 구동 회로(33)에 의하여 제어된다. 복수의 화소(31)는 배선 GL 중 적어도 하나와 배선 SL 중 적어도 하나에 각각 접속된다.

[0048] 또한, 화소부(30)에 제공되는 배선의 종류 및 그 개수는 화소(31)의 구성, 개수 및 배치에 따라 결정할 수 있다. 구체적으로 도 5에서는 화소부(30)에 x열×y행의 화소(31)가 매트릭스 형태로 배치되고, 배선 SL1 내지 배선 SLx, 배선 GL1 내지 배선 GLy가 화소부(30) 내에 배치되는 경우를 예시하였다.

[0049] 도 5의 (B)는 화소의 구성예를 도시한 것이다. 도 5의 (B)에 도시된 화소(31)는 액정 소자(34)와 상기 액정 소자(34)로의 화상 신호 공급을 제어하는 트랜지스터(35)를 가진다.

[0050] 액정 소자(34)는 화소 전극, 공통 전극, 및 화소 전극과 공통 전극 사이의 전압이 인가되는 액정 재료를 포함한 액정층을 가진다. 그리고, 도 5의 (B)는 액정 소자(34)가 FFS 모드인 경우를 예시한 것이고 화소 전극과 공통 전극이 절연막을 사이에 개재하여 중첩되는 영역을 가진다. 상기 영역은 화소 전극과 공통 전극 사이에 인가되는 전압 V_{LC} 를 유지하기 위한 용량 소자로서 기능한다. 도 5의 (B)에는 상기 용량 소자를 용량 소자(36)로서 도시하였다.

[0051] 트랜지스터(35)는 배선 SL에 입력되는 화상 신호의 전위를 액정 소자(34)의 화소 전극에 공급할지 여부를 제어한다. 액정 소자(34)의 공통 전극에는 소정의 기준 전위 V_{COM} 가 공급된다.

[0052] 이하에서는 액정 소자(34)와 트랜지스터(35)의 구체적인 접속 관계에 대하여 설명한다.

[0053] 도 5의 (B)에 도시된 화소(31)에서는 트랜지스터(35)의 게이트가 배선 GL에 전기적으로 접속된다. 트랜지스터(35)의 소스 및 드레인 중 한쪽은 배선 SL에 접속되고, 트랜지스터(35)의 소스 및 드레인 중 다른 쪽은 액정 소자(34)의 화소 전극에 접속된다.

- [0054] 또한, 화소(31)는 필요에 따라 추가적으로 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터와 같은 기타 회로 소자를 가져도 좋다.
- [0055] 도 5의 (B)는 화소(31)에 있어서 화소(31)로의 화상 신호 입력을 제어하는 스위치로서 하나의 트랜지스터(35)를 사용하는 경우를 예시한 것이다. 그러나, 화소(31)에서 복수의 트랜지스터를 하나의 스위치로서 기능시켜도 좋다. 복수의 트랜지스터가 하나의 스위치로서 기능하는 경우에는, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0056] 또한, 본 명세서에서 트랜지스터가 직렬로 접속된 상태란, 예를 들어 제 1 트랜지스터의 소스 및 드레인 중 한 쪽만이 제 2 트랜지스터의 소스 및 드레인 중 한쪽에만 접속된 상태를 가리킨다. 또한, 트랜지스터가 병렬로 접속된 상태란, 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽이 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 접속된 상태를 가리킨다.
- [0057] 트랜지스터(35)의 오프 전류가 매우 낮은 경우, 액정 소자(34)에 인가되는 전압이 유지되는 기간을 길게 확보할 수 있다. 그러므로, 정지 화상을 표시하는 경우 등, 연속된 몇 프레임 기간 동안 화소(31)에 동일한 화상 정보를 가진 화상 신호가 기록되는 경우에는, 구동 주파수를 낮게 하여도, 바꿔 말하면 일정한 기간 내에서의 화소(31)로의 화상 신호의 기록 횟수를 줄여도 계조 표시를 유지할 수 있다. 예를 들어, 고순도화된 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터(35)를 사용함으로써 화상 신호의 기록 간격을 10초 이상, 바람직하게는 30초 이상, 더 바람직하게는 1분 이상으로 할 수 있다. 소비 전력은 화상 신호가 기록되는 간격을 길게 할수록 더 저감시킬 수 있다.
- [0058] 액정 소자(34)에서는 화소 전극과 공통 전극 사이에 인가되는 전압의 값에 따라 액정 분자의 배향이 변화되어 투과율이 변화된다. 따라서, 액정 소자(34)는 배선 SL에 공급되는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써 계조를 표시할 수 있다.
- [0059] 또한, 액정은, 전압이 인가되고 나서 그 투과율이 수속될 때까지의 응답 시간이 일반적으로 수십 msec 정도이다. 따라서, 액정의 응답이 느리면 동영상의 흐릿함으로 시인되기 쉽다. 그래서, 본 발명의 일 형태에서는 액정 소자(34)에 인가하는 전압을 일시적으로 크게 하여 액정의 배향을 빨리 변화시키는 오버드라이브 구동을 사용하여도 좋다. 오버드라이브 구동을 사용함으로써, 액정의 응답 속도를 올리고 동영상의 흐릿함을 방지하여 동영상의 화질을 개선할 수 있다.
- [0060] 또한, 트랜지스터(35)가 비도통 상태가 된 후에도 액정 소자(34)의 투과율이 수속되지 않고 계속 변화되는 경우에는 액정의 비유전율이 변화되기 때문에 액정 소자(34)가 유지하는 전압이 변화되기 쉽다. 특히 본 발명의 일 형태와 같이 액정 소자(34)에 접속된 용량 소자(36)의 용량값이 작은 경우에는 상술한 액정 소자(34)가 유지하는 전압은 현저히 변화되기 쉽다. 그러나, 상기 오버드라이브 구동을 사용함으로써, 응답 시간을 줄일 수 있기 때문에 트랜지스터(35)가 비도통 상태가 된 후에서의 액정 소자(34)의 투과율 변화를 작게 할 수 있다. 따라서, 액정 소자(34)에 병렬로 접속되는 용량 소자(36)의 용량값이 작더라도 트랜지스터(35)가 비도통 상태가 된 후에 액정 소자(34)가 유지하는 전압이 변화되는 것을 방지할 수 있다.
- [0061] <액정 표시 장치의 구성예>
- [0062] 다음에, 본 발명의 일 형태에 따른 액정 표시 장치의 구성예에 대하여 설명한다.
- [0063] 도 6은 본 발명의 일 형태에 따른 액정 표시 장치의 구성을 일례로서 블록도로 도시한 것이다. 도 6에 도시된 액정 표시 장치(40)는 복수의 화소(31)를 화소부(30)에 가진 패널(38)과, 컨트롤러(41)를 가진다. 또한, 도 6에 도시된 액정 표시 장치(40)는 CPU(43), 화상 처리 회로(44), 및 화상 메모리(45)를 가진다. 또한, 도 6에 도시된 액정 표시 장치(40)는 패널(38)에 구동 회로(32) 및 구동 회로(33)를 가진다.
- [0064] 또한, 컨트롤러(41)는 구동 회로(32)나 구동 회로(33) 등의 동작을 제어하는 각종 구동 신호를 패널(38)에 공급하는 기능을 가진다. 구동 신호에는 구동 회로(33)의 동작을 제어하는 구동 회로(33)용 스타트 펄스 신호, 구동 회로(33)용 클럭 신호, 구동 회로(32)의 동작을 제어하는 구동 회로(32)용 스타트 펄스 신호, 구동 회로(32)용 클럭 신호 등이 포함된다.
- [0065] 화소부(30)는 각 화소(31)에서 계조를 표시함으로써 화상을 표시하는 기능을 가지며 위치 정보를 취득하는 입력 장치로서의 기능도 가진다. 또한, CPU(43)는 화소부(30)에서 취득된 위치 정보에 따라, 입력된 명령을 디코딩하고 액정 표시 장치(40)가 가진 각종 회로의 동작을 통괄적으로 제어함으로써 상기 명령을 실행하는 기능을 가

진다.

[0066] 따라서, CPU(43)는 화소부(30)에서 취득된 위치 정보에 따라, 패널(38)을 동작 상태로부터 정지 상태로 이행시킬 수 있는 명령, 또는 화소부(30)를 정지 상태로부터 동작 상태로 이행시키기 위한 명령을 실행할 수 있다.

[0067] 예를 들어, 화소부(30)에서 취득된 위치 정보에 따라, 화소부(30)를 동작 상태로부터 정지 상태로 이행시키기 위한 명령이 전송된 경우 CPU(43)는 컨트롤러(41)에, 화소부(30)로의 전원 전압 공급을 정지하고 패널(38)로의 구동 신호 공급을 정지하도록 명령을 전송할 수 있다.

[0068] 또는, 화소부(30)에서 취득된 위치 정보에 따라, 화소부(30)를 정지 상태로부터 동작 상태로 이행시키기 위한 명령이 전송된 경우 CPU(43)는 컨트롤러(41)에, 화소부(30)로의 전원 전압 공급을 다시 시작하고 패널(38)로의 구동 신호 공급을 다시 시작하도록 명령을 전송할 수 있다.

[0069] 화상 메모리(45)는 액정 표시 장치(40)에 입력된 화상 정보를 가진 화상 데이터(46)를 기억하는 기능을 가진다. 또한, 도 6은 화상 메모리(45)를 액정 표시 장치(40)에 하나만 제공하는 경우를 예시한 것이지만 복수의 화상 메모리(45)를 액정 표시 장치(40)에 제공하여도 좋다. 예를 들어, 적색, 청색, 뉴색 등의 색상에 각각 대응하는 3개의 화상 데이터(46)에 의하여 화소부(30)에 풀 컬러 화상을 표시하는 경우에는 각 색상의 화상 데이터(46)에 대응하는 화상 메모리(45)를 각각 제공하여도 좋다.

[0070] 화상 메모리(45)로서는 예를 들어, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 회로를 사용할 수 있다. 또는, 화상 메모리(45)로서 VRAM(Video RAM)을 사용하여도 좋다.

[0071] 화상 처리 회로(44)는 컨트롤러(41)로부터의 명령에 따라 화상 메모리(45)로의 화상 데이터(46) 기록과 화상 메모리(45)로부터의 화상 데이터(46) 판독을 수행하고 화상 데이터(46)로부터 화상 신호를 생성하는 기능을 가진다.

[0072] <화소의 레이아웃>

[0073] 다음에, 도 5의 (B)에 도시된 화소(31)의 레이아웃의 일례에 대하여 도 7을 사용하여 설명한다. 또한, 도 7에서는 화소(31)의 레이아웃을 명확하게 도시하기 위하여 게이트 절연막 등 각종 절연막이나 산화물막을 생략하였다. 또한, 도 7에 도시된 소자 기판을 사용하여 형성된 액정 표시 장치의 단면도를 도 8에 도시하였다. 도 8의 액정 표시 장치의 단면도는 도 7을 패선 A1-A2에서 절단한 단면에 상당하고 도면 중에는 제 1 기판(10)을 포함하는 소자 기판이 도시되어 있다.

[0074] 도 7 및 도 8에 도시된 화소(31)에서는 절연 표면을 가진 제 1 기판(10) 위에 트랜지스터(35)의 게이트로서 기능하고 배선 GL로서 기능하는 도전막(51)이 제공된다.

[0075] 또한, 도전막(51)을 덮도록 제 1 기판(10) 위에 절연막(53)이 제공된다. 그리고, 절연막(53)을 사이에 개재하여 도전막(51)과 중첩되는 위치에 트랜지스터(35)의 반도체막(54)이 제공된다. 반도체막(54) 위에는 도전막(55) 및 도전막(56)이 제공된다. 도전막(55)은 배선 SL로서 기능하고 트랜지스터(35)의 소스 또는 드레인으로서 기능한다. 도전막(56)은 트랜지스터(35)의 소스 또는 드레인으로서 기능한다.

[0076] 반도체막(54), 도전막(55), 및 도전막(56) 위에는 산화물막(57), 절연막(58), 및 절연막(59)이 순차적으로 적층된다. 그리고, 절연막(59) 위에는 유기 수지막(60)이 제공된다. 산화물막(57), 절연막(58), 절연막(59), 및 유기 수지막(60)에는 개구부(62)가 제공된다.

[0077] 유기 수지막(60) 위의, 개구부(62) 이외의 영역에는 공통 전극으로서 기능하는 도전막(61)이 제공된다. 그리고, 도전막(61) 위에는 절연막(63)이 제공되고, 절연막(63) 위에서 도전막(61)과 부분적으로 중첩되는 위치에는 화소 전극으로서 기능하는 도전막(64)이 제공된다. 절연막(63)은 개구부(62)와 중첩되는 위치에 개구부를 가지고, 절연막(63)의 상기 개구부를 통하여 도전막(64)이 도전막(56)에 접속된다. 또한, 도전막(64) 위에는 배향막(65)이 제공된다.

[0078] 또한, 제 1 기판(10)과 대향하도록 제 2 기판(20)이 제공된다. 제 2 기판(20) 위에는 서로 부분적으로 중첩되는 제 1 전극(21) 및 제 2 전극(23)과, 제 1 전극(21)과 제 2 전극(23) 사이에 위치하는 절연막(22)이 제공된다. 제 1 전극(21) 및 제 2 전극(23) 위에는 절연막(66)이 제공된다.

[0079] 절연막(66) 위에는 가시광을 차폐하는 기능을 가진 차폐막(67)과, 특정 파장 범위의 가시광을 투과시키는 착색층(68)이 제공된다. 차폐막(67) 및 착색층(68) 위에는 수지막(24)이 제공되고 수지막(24) 위에는 도전막(25)이 제공된다. 또한, 도전막(25) 위에는 배향막(69)이 제공된다.

- [0080] 그리고, 제 1 기판(10)과 제 2 기판(20) 사이에서, 배향막(65)과 배향막(69) 사이에 끼워지도록 액정 재료를 포함한 액정층(28)이 제공된다. 액정 소자(34)는 도전막(61), 도전막(64), 및 액정층(28)을 가진다.
- [0081] 또한, 반도체막(54)에 산화물 반도체를 사용하는 경우, 도전막(55) 및 도전막(56)에 사용되는 도전성 재료에 따라서는 도전막(55) 및 도전막(56) 내의 금속이 산화물 반도체에서 산소를 추출할 수 있다. 이 때 반도체막(54)에서 도전막(55) 및 도전막(56)에 접촉하는 영역은 산소 결손의 형성에 의하여 n형화될 수 있다.
- [0082] n형화된 영역은 소스 영역 또는 드레인 영역으로서 기능하기 때문에 반도체막(54)과 도전막(55) 및 도전막(56)과의 사이의 접촉 저항을 저감시킬 수 있다. 따라서, n형화된 영역이 형성됨으로써 트랜지스터(35)의 이동도 및 온 전류를 높일 수 있고, 이에 의하여 트랜지스터(35)를 사용한 반도체 장치의 고속 동작을 실현할 수 있다.
- [0083] 또한, 도전막(55) 및 도전막(56) 내의 금속은 도전막(55) 및 도전막(56)을 스퍼터링법 등으로 형성할 때 산소를 추출할 수 있고, 도전막(55) 및 도전막(56)을 형성한 후의 가열 처리 시에 산소를 추출할 수도 있다.
- [0084] 또한, 산소와 결합하기 쉬운 도전성 재료를 도전막(55) 및 도전막(56)에 사용하면 n형화된 영역은 형성되기 더 쉬워진다. 이 도전성 재료로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.
- [0085] <제작 방법>
- [0086] 다음에, 도 7에 도시된 소자 기판의 제작 방법에 대하여 일례를 들어 설명한다. 또한, 산화물 반도체막에 채널 형성 영역을 가진 트랜지스터(35)를 예로 들어 소자 기판의 제작 방법에 대하여 설명하지만 트랜지스터(35)에는 활성층으로서 비정질, 미결정, 다결정, 또는 단결정의 실리콘 또는 게르마늄 등으로 이루어진 반도체막을 사용할 수도 있다.
- [0087] 도 9의 (A)에 도시된 바와 같이 제 1 기판(10) 위에 도전막을 형성한 후, 이 도전막의 형상을 에칭 등으로 가공(패터닝)함으로써 도전막(51)을 형성한다.
- [0088] 제 1 기판(10)으로서는 나중의 제작 공정을 견딜 수 있을 정도의 내열성을 가진 기판을 사용하는 것이 바람직하고 예를 들어, 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판 등을 사용할 수 있다.
- [0089] 도전막(51)으로서는 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테늄, 은, 탄탈, 및 텅스텐 중에서 선택된 하나 이상을 포함하는 도전성 재료로 이루어진 막을 단층 구조로 사용하거나 또는 2층 이상의 적층 구조로 사용하면 좋다. 예를 들어, 도전막(51)으로서 질화 텅스텐막 위에 구리막을 적층한 도전막이나, 단층의 텅스텐막을 사용할 수 있다.
- [0090] 다음에, 도전막(51)을 덮도록 절연막(53)을 형성한 후, 절연막(53) 위에서 도전막(51)과 중첩되는 위치에 반도체막(54)을 형성한다(도 9의 (B) 참조).
- [0091] 절연막(53)으로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 린탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 하나 이상을 포함하는 절연막을 단층 구조로 사용하거나 또는 적층 구조로 사용하면 좋다.
- [0092] 예를 들어, 절연막(53)을 2층 구조로 하는 경우, 1층째를 질화 실리콘막, 2층째를 산화 실리콘막으로 한 다층막으로 하면 좋다. 2층째 산화 실리콘막은 산화 질화 실리콘막으로 할 수도 있다. 또한, 1층째 질화 실리콘막은 질화 산화 실리콘막으로 할 수도 있다.
- [0093] 산화 실리콘막으로서는 결합 밀도가 낮은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 전자 스펜 공명(ESR: Electron Spin Resonance)에서 g 값이 2.001인 신호에서 유래하는 스펜의 스펜 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게는 $5 \times 10^{16} \text{ spins/cm}^3$ 이하인 산화 실리콘막을 사용한다. 산화 실리콘막으로서는 산소를 과잉으로 포함하는 산화 실리콘막을 사용하는 것이 바람직하다. 질화 실리콘막으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 사용한다. 수소, 암모니아의 방출량은 TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석으로 측정하면 좋다.
- [0094] 반도체막(54)으로서는 산화물 반도체막을 사용할 수 있다. 반도체막(54)으로서 사용하는 산화물 반도체막에 수소가 다량으로 포함되는 경우 수소가 산화물 반도체와 결합됨으로써 그 수소의 일부가 도너가 되어 캐리어인 전자를 발생시킨다. 이로 인하여 트랜지스터의 문턱 전압이 음 방향으로 시프트된다. 그러므로, 산화물 반도체막의 형성 후에 탈수화 처리(탈수소화 처리)를 수행함으로써 산화물 반도체막으로부터 수소 또는 수분을 제거하

여 불순물이 가능한 한 포함되지 않도록 하는 것이 바람직하다.

[0095] 또한 산화물 반도체막의 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막에서 산소가 감소되는 경우가 있다. 따라서, 탈수화 처리(탈수소화 처리)에 의하여 증가된 산소 결손을 보전하기 위하여 산화물 반도체막에 산소를 첨가하는 처리를 수행하는 것이 바람직하다.

[0096] 상술한 바와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고 가산화 처리에 의하여 산소 결손이 보전됨으로써, i형(진성)화되거나 또는 i형에 한없이 가깝고 실질적으로 i형(진성)인 산화물 반도체막이 될 수 있다.

[0097] 다음에, 반도체막(54) 및 절연막(53) 위에 도전막을 형성한 후, 이 도전막의 형상을 예칭 등으로 가공함으로써 반도체막(54)에 접촉하는 도전막(55) 및 도전막(56)을 형성한다(도 9의 (C) 참조). 도전막(55) 및 도전막(56)에는 도전막(51)과 같은 도전성 재료를 사용할 수 있다.

[0098] 다음에, 제 1 기판(10)을 덮도록 산화물막 또는 절연막을 형성한다. 도 9의 (D)는 산화물막(57), 절연막(58), 및 절연막(59)을 순차적으로 적층하여 형성하는 경우를 예시한 것이다.

[0099] 산화물막(57)에는 금속 산화물을 사용하는 것이 바람직하다. 산화물막(57)을 사용함으로써 실리콘을 포함된 절연막(58)과, 반도체막(54)을 이격시킬 수 있다. 이로써, 반도체막(54)에 인듐을 포함한 금속 산화물을 사용하는 경우에, 산소와의 결합 에너지가 인듐보다 큰 실리콘이 반도체막(54) 단부에서 인듐과 산소의 결합을 절단하는 것에 의하여 산소 결손이 형성되는 것을 방지할 수 있다. 이에 의하여 본 발명의 일 형태는 트랜지스터의 신뢰성을 더 높일 수 있다.

[0100] 산화물막(57)은 구체적으로, 금속의 원자수비가 1:6:4, 1:3:4, 또는 1:3:2인 In-Ga-Zn계 산화물 타깃을 사용하여 스퍼터링법으로 형성할 수 있다.

[0101] 절연막(59)은 절연막(58)을 형성한 후 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 절연막(58)을 형성한 후 대기에 개방시키지 않고 원료 가스의 유량, 압력, 고주파 전력, 및 기판 온도 중에서 하나 이상을 조정하여 절연막(59)을 연속적으로 형성함으로써, 절연막(58)과 절연막(59)의 계면에서의 불순물 농도를 저감시킬 수 있음과 함께 절연막(59)에 포함되는 산소를 반도체막(54)으로 이동시킬 수 있어 반도체막(54)의 산소 결손량을 저감시킬 수 있다.

[0102] 절연막(58)으로서는 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치(載置)된 기판을 180°C 이상 400°C 이하, 더 바람직하게는 200°C 이상 370°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내의 압력을 30Pa 이상 250Pa 이하, 더 바람직하게는 40Pa 이상 200Pa 이하로 하고, 처리실 내에 설치된 전극에 고주파 전력을 공급하는 조건으로 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0103] 절연막(58)의 원료 가스로서는 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표적인 예로서는 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 기체로서는 산소, 오존, 일산화이질소, 이산화질소 등이 있다.

[0104] 상술한 조건에 의하여 절연막(58)으로서 산소를 투과시키는 산화 절연막을 형성할 수 있다. 또한, 절연막(58)을 제공함으로써, 나중에 형성하는 절연막(59)의 형성 공정에서의 산화물막(57)에 대한 대미지를 저감시킬 수 있다.

[0105] 또한, 실리콘을 포함한 퇴적성 기체에 대한 산화성 기체의 유량을 100배 이상으로 하면, 절연막(58)의 수소 함유량을 저감시킬 수 있음과 함께, 절연막(58)에 포함되는 맹글링 본드를 저감시킬 수 있다. 절연막(59)으로부터 이동하는 산소는 절연막(58)에 포함되는 맹글링 본드에 의하여 포획될 수 있어, 절연막(59)에 포함되는 산소를 효율적으로 반도체막(54)으로 이동시켜 반도체막(54)에 포함되는 산소 결손을 보전할 수 있다. 이 결과 반도체막(54)에 흔입되는 수소량을 저감시킬 수 있음과 함께 반도체막(54)에 포함되는 산소 결손을 저감시킬 수 있기 때문에, 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있고 트랜지스터의 소스와 드레인간에서의 누설 전류를 저감시킬 수 있어 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0106] 본 실시형태에서는 절연막(58)으로서, 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 40Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 100W의 고주파 전력을 평행 평판 전극에 공급하는 조건으로 한 플라즈마 CVD법에 의하여, 두께 50nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm²인 평행 평판형 플라즈마 CVD 장치이며 공급하는 전력

을 단위 면적당 전력(전력 밀도)으로 환산하면 $1.6 \times 10^{-2} \text{W/cm}^2$ 이다. 상술한 조건에 의하여, 산소를 투과시키는 산화 질화 실리콘막을 형성할 수 있다.

[0107] 절연막(59)으로서는 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 260°C 이하, 더 바람직하게는 180°C 이상 230°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 설치된 전극에 0.17W/cm^2 이상 0.5W/cm^2 이하, 더 바람직하게는 0.25W/cm^2 이상 0.35W/cm^2 이하의 고주파 전력을 공급하는 조건으로, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0108] 상술한 압력으로 설정한 처리실에서 상술한 파워 밀도의 고주파 전력을 공급하는 성막 조건으로 절연막(59)을 형성하면, 플라즈마 내에서 원료 가스의 분해 효율이 높아지고 산소 라디칼이 증가되고 원료 가스의 산화가 진행되기 때문에 절연막(59) 내의 산소 함유량이 화학량론적 조성보다 많게 된다. 그러나, 기판 온도가 상술한 온도인 경우 실리콘과 산소의 결합력이 약하기 때문에 가열에 의하여 산소의 일부가 탈리된다. 이 결과 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하고 가열에 의하여 산소의 일부가 탈리되는 산화 절연막을 형성할 수 있다. 또한, 산화물막(57) 위에 절연막(58)이 제공되고 이 절연막(58)은 절연막(59)의 형성 공정에서 산화물막(57)을 보호하는 기능을 가진다. 따라서, 반도체막(54)에 대한 대미지를 저감시키면서 파워 밀도가 높은 고주파 전력을 사용하여 절연막(59)을 형성할 수 있다.

[0109] 본 실시형태에서는 절연막(59)으로서, 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1500W의 고주파 전력을 평행 평판 전극에 공급하는 조건으로 한 플라즈마 CVD법에 의하여, 두께 400nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm^2 인 평행 평판형 플라즈마 CVD 장치이며 공급하는 전력을 단위 면적당 전력(전력 밀도)으로 환산하면 $2.5 \times 10^{-1} \text{W/cm}^2$ 이다.

[0110] 다음에, 적어도 절연막(59)을 형성한 후에 가열 처리를 수행하여 절연막(58) 또는 절연막(59)에 포함되는 산소를 산화물막(57) 및 반도체막(54)으로 이동시킴으로써 산화물막(57) 및 반도체막(54)의 산소 결손을 보전하는 것이 바람직하다. 또한, 이 가열 처리는 반도체막(54)의 탈수소화 또는 탈수화를 위한 가열 처리로서 수행하면 좋다.

[0111] 다음에, 제 1 기판(10)을 덮도록 유기 수지막(60)을 형성한다. 유기 수지막(60)은 나중에 형성되는 도전막(61) 및 도전막(64)의 하지막으로서 기능하는 막이며 트랜지스터나 도전막 등으로 인하여, 공통 전극으로서 기능하는 도전막(61)과 화소 전극으로서 기능하는 도전막(64)에 요철이 형성되는 것을 방지하는 기능을 가진다. 유기 수지막(60)에는 아크릴 수지, 폴리이미드 수지 등을 사용할 수 있다.

[0112] 그리고, 유기 수지막(60), 산화물막(57), 절연막(58), 및 절연막(59)에 개구부(62)를 형성한다(도 10의 (A) 참조). 개구부(62)에서 도전막(56)이 부분적으로 노출된다.

[0113] 또한, 개구부(62)는 한 장의 포토마스크를 사용하여 형성하여도 좋고, 유기 수지막(60)에 개구부를 형성하기 위한 포토마스크와 산화물막(57), 절연막(58), 및 절연막(59)에 개구부를 형성하기 위한 포토마스크를 각각 사용하여 형성할 수도 있다.

[0114] 다음에, 유기 수지막(60) 위에 투명 도전막을 형성하고 이 투명 도전막을 예칭 등으로 원하는 형상으로 가공함으로써 도전막(61)을 형성한 후에 도전막(61) 및 유기 수지막(60) 위에 절연막(63)을 형성한다. 그리고, 개구부(62)에서 도전막(56)이 부분적으로 노출되도록 절연막(63)에 개구부를 형성한다(도 10의 (B) 참조).

[0115] 절연막(63)은 외부에서 물이나 불순물이 침입되는 것을 방지하는 기능을 가진다. 또한, 절연막(63)은 도전막(61)과 도전막(64)이 중첩되는 영역에 형성되는 용량 소자(36)의 유전체로서 기능한다. 절연막(63)은 질화물 또는 질화 산화물로 이루어진 절연막인 것이 바람직하고 예를 들어, 질화 실리콘막, 질화 산화 실리콘막을 형성하면 좋다.

[0116] 다음에, 절연막(63) 위에 투명 도전막을 형성하고 예칭 등으로 이 투명 도전막의 형상을 가공함으로써 도전막(64)을 형성한다. 도전막(64)은 도전막(56)에 접속된다. 이 후 도전막(64) 위에 배향막(65)을 형성한다(도 10의 (C) 참조).

[0117] 또한 도전막(61) 및 도전막(64)을 형성하는 데 사용하는 투명 도전막으로서는 산화 텅스텐을 포함한 인듐 산화

물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등을 포함한 도전막을 사용할 수 있다.

[0118] 또한, 배향막(65)은 폴리이미드, 폴리비닐 알코올 등 유기 수지를 사용하여 형성할 수 있고, 그 표면에는 액정 분자를 일정한 방향으로 배열시키기 위하여 러빙(rubbing) 등의 배향 처리가 수행된다. 러빙은, 나일론 등의 천으로 감겨진 롤러를 배향막(65)에 접촉시키면서 굴려서 상기 배향막(65)의 표면을 일정한 방향으로 문지름으로써 수행할 수 있다. 또한, 산화 실리콘 등 무기 재료를 사용하여, 배향 처리를 수행하지 않고 증착법으로 배향 특성을 가진 배향막(65)을 직접 형성하는 것도 가능하다.

[0119] 상술한 제작 공정에 의하여 도 7에 도시된 소자 기판을 형성할 수 있다.

[0120] 또한, 도 11의 (A)에 도시된 바와 같이 제 2 기판(20) 위에 제 1 전극(21), 제 1 전극(21) 위의 절연막(22), 절연막(22) 위의 제 2 전극(23)을 형성한다. 제 2 기판(20)은 가시광에 대한 투광성을 가진 유리 기판, 석영 기판 등을 사용할 수 있다. 또는, 나중에 수행되는 제작 공정을 견딜 수 있을 정도의 내열성을 가진 것이라면 플라스틱 기판 등을 사용할 수도 있다.

[0121] 제 1 전극(21) 및 제 2 전극(23)에는 투광성을 가진 도전 재료를 사용할 수 있다. 예를 들어, 투광성을 가진 도전 재료로서 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨을 포함한 산화 아연, 산화 실리콘을 포함한 인듐 주석 산화물 등을 사용할 수 있다. 본 실시형태에서는 산화 실리콘을 포함한 산화 인듐 주석을 사용하여 막 두께 220nm의 제 1 전극(21) 및 제 2 전극(23)을 형성한다.

[0122] 다음에, 도 11의 (B)에 도시된 바와 같이 제 1 전극(21) 및 제 2 전극(23) 위에 절연막(66)을 형성한 후, 절연막(66) 위에 가시광을 차폐하는 기능을 가진 차폐막(67)과 특정의 과장 범위의 가시광을 투과시키는 착색층(68)을 형성한다. 도 11의 (B)는 차폐막(67)을 형성한 후에 착색층(68)을 형성하는 경우를 예시한 것이고 차폐막(67)과 착색층(68)이 부분적으로 중첩된다. 차폐막(67)에는 카본 블랙, 이산화 티타늄보다 산화수가 작은 산화 티타늄 등의 흑색 안료를 포함하는 유기 수지를 사용할 수 있다. 또는, 차폐막(67)으로서 크롬막을 사용할 수도 있다.

[0123] 다음에, 도 11의 (C)에 도시된 바와 같이 차폐막(67) 및 착색층(68) 위에 아크릴 등 유기 수지를 사용하여 수지막(24)을 형성한 후, 수지막(24) 위에 도전막(25) 및 배향막(69)을 순차적으로 형성한다.

[0124] 나중에 형성되는 도전막(25)의 평탄성을 높이기 위하여, 수지막(24)의 두께는 $1\text{ }\mu\text{m}$ 내지 $3\text{ }\mu\text{m}$ 정도인 것이 바람직하다. 본 실시형태에서는 아크릴을 사용하여 막 두께 $1\text{ }\mu\text{m}$ 정도의 수지막(24)을 형성한다.

[0125] 도전막(25)에는 제 1 전극(21) 및 제 2 전극(23)과 마찬가지로 투광성을 가진 도전 재료를 사용할 수 있다. 본 실시형태에서는 산화 실리콘을 포함한 산화 인듐 주석을 사용하여 막 두께 220nm의 도전막(25)을 형성한다.

[0126] 또한, 배향막(69)은 배향막(65)과 같은 재료를 사용하여 같은 제작 방법으로 형성할 수 있다.

[0127] 상술한 제작 공정으로 대향 기판을 형성할 수 있다.

[0128] 소자 기판과 대향 기판을 형성한 후, 도 8에 도시된 바와 같이 제 1 기판(10)과 제 2 기판(20) 사이에 액정층(28)을 봉입하면 액정 표시 장치의 패널을 형성할 수 있다. 액정층(28)을 형성하기 위한 액정의 주입은 디스펜서식(적하식)으로 수행하여도 좋고 딥식(펌핑식)으로 수행하여도 좋다.

[0129] <반도체막에 대하여>

[0130] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등 불순물이 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 i형(진성 반도체)이거나 또는 i형에 한없이 가깝다. 따라서, 고순도화된 산화물 반도체막에 채널 형성 영역을 가지는 트랜지스터는 오프 전류가 매우 작고 신뢰성이 높다.

[0131] 구체적으로, 고순도화된 산화물 반도체막에 채널 형성 영역을 가지는 트랜지스터의 오프 전류가 작은 것은 각종 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1\times 10^{-6}\text{ }\mu\text{m}$ 이고 채널 길이가 $10\text{ }\mu\text{m}$ 인 소자의 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위일 때 오프 전류가 반도체 파라미터 분석기

의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 정규화된 오프 전류는 $100\text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하가 상기 트랜지스터로 제어되는 회로를 사용하여, 오프 전류를 측정하였다. 이 측정에서는 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V일 때 수십 $\text{yA}/\mu\text{m}$ 라는 더 작은 오프 전류가 얻어지는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는 결정성을 가지는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 작다.

[0132] 또한, 특별히 언급하지 않는 한 본 명세서에서 오프 전류란, 차단 영역(cut-off region)에서 트랜지스터의 소스와 드레인 사이에 흐르는 전류를 가리킨다.

[0133] 또한, 반도체막으로서 산화물 반도체막을 사용하는 경우, 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 줄이기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 포함하는 것이 바람직하다.

[0134] 산화물 반도체 중에서도 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물 등을 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과 달리 스퍼터링법이나 습식법에 의하여 전기적 특성이 우수한 트랜지스터를 제작할 수 있으며, 양산성이 우수하다는 이점이 있다. 또한, 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과 달리 이 In-Ga-Zn계 산화물은 유리 기판 위에 전기적 특성이 우수한 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다.

[0135] 또한, 다른 스테빌라이저로서 란타노이드(lanthanoid)인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수를 포함하여도 좋다.

[0136] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0137] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 포함하는 산화물을 말하며 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn계 산화물은 무전계 시의 저항이 충분히 높으므로 오프 전류를 충분히 작게 할 수 있고 이동도도 높다.

[0138] 예를 들어, 원자수비가 $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$ 또는 $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$ 인 In-Ga-Zn계 산화물이나 그 근방의 조성을 가진 산화물을 사용할 수 있다. 또는, 원자수비가 $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$, 또는 $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 그 근방의 조성을 가진 산화물을 사용하면 좋다.

[0139] 예를 들어, In-Sn-Zn계 산화물을 사용하면 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물을 사용한 경우에도 별크 내 결합 밀도를 낮게 함으로써 이동도를 높일 수 있다.

[0140] 이하에서는 산화물 반도체막의 구조에 대하여 설명한다.

[0141] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.

[0142] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고 결정 성분을 가지지 않는 산화물 반도체막이다. 미소 영역에서도 결정부를 가지지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형적이다.

- [0143] 미결정 산화물 반도체막은 예를 들어, 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 함)을 포함한다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮은 특징을 가진다.
- [0144] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체막 중 하나이며, 대부분의 결정부는 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기일 수도 있다. CAAC-OS막은 미결정 산화물 반도체막보다 결합 준위 밀도가 낮은 특징을 가진다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.
- [0145] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰한 경우 결정부들끼리의 명확한 경계, 즉 결정 입계(그레이인 바운더리라고도 함)가 확인되지 않는다. 그러므로, CAAC-OS막에서는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0146] CAAC-OS막을 시료면에 실질적으로 평행한 방향으로부터 TEM으로 관찰(단면 TEM 관찰)하면 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막 상면의 요철이 반영된 형상을 가지고, CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.
- [0147] 본 명세서에서 '평행'이란, 두 개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 두 개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0148] 한편, CAAC-OS막을 시료면에 실질적으로 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부들간에서 금속 원자의 배열에 규칙성은 없다.
- [0149] 단면 TEM 관찰과 평면 TEM 관찰로부터 CAAC-OS막의 결정부가 배향성을 가짐을 알 수 있다.
- [0150] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막을 구조 해석하면 예를 들어, InGaZnO_4 의 결정을 가지는 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우에 회절각(2θ)이 31° 근방일 때 피크가 나타날 수 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에 CAAC-OS막의 결정이 c축 배향성을 가지고 c축이 괴형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.
- [0151] 한편, CAAC-OS막에 대하여 c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2θ 가 56° 근방일 때 피크가 나타날 수 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막의 경우, 2θ 를 56° 근방에 고정시키고 시료면의 법선 벡터를 축(f축)으로 하여 시료를 회전시키면서 분석(f 스캔)하면 (110)면과 동가인 결정 면에 귀속되는 피크가 6개 관찰된다. 이에 반하여, CAAC-OS막의 경우, 2θ 를 56° 근방에 고정시키고 f 스캔하여도 명확한 피크가 나타나지 않는다.
- [0152] 상술한 것으로부터 CAAC-OS막에 있어서 다른 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만 c축 배향성을 가지고 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되어 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 a-b면에 평행한 면이다.
- [0153] 또한, 결정부는 CAAC-OS막을 형성하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이 결정의 c축은 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우에는 결정의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.
- [0154] 또한, CAAC-OS막 내의 결정화도는 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터 결정을 성장시킴으로써 형성되는 경우, 상면 근방의 영역은 괴형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는 불순물이 첨가된 영역의 결정화도가 변화되어 부분적으로 결정화도가 다른 영역이 형성될 수도 있다.
- [0155] 또한, InGaZnO_4 의 결정을 가진 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우 2θ 가 31° 근방일 때 나타나는 피크 외에 2θ 가 36° 근방일 때도 피크가 나타날 수 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에 c축 배향성을 가지지 않는 결정이 포함되어 있음을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때

때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0156] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0157] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 가진 적층막이어도 좋다.

[0158] CAAC-OS막은 예를 들어, 다결정의 금속 산화물 타깃을 사용하여 스퍼터링법으로 형성한다. 상기 타깃에 이온이 충돌되면 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 가진 평판상 또는 펠릿상의 스퍼터링 입자로서 박리될 수 있다. 이 경우 상기 평판상 또는 펠릿상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달됨으로써 CAAC-OS막이 형성될 수 있다.

[0159] 또한, CAAC-OS막을 형성하기 위하여 이하와 같은 조건을 적용하는 것이 바람직하다.

[0160] 막 형성 시의 불순물 혼입을 저감시킴으로써 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 처리실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 성막 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0161] 또한, 막 형성 시의 기판 가열 온도를 높게 함으로써 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 한다. 막 형성 시의 기판 가열 온도를 높게 함으로써, 평판상 또는 펠릿상의 스퍼터링 입자가 기판에 도달할 때 기판 위에서 마이그레이션이 일어나 평판상 또는 펠릿상의 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0162] 또한, 성막 가스 내의 산소 비율을 높이고 전력을 최적화함으로써 막 형성 시의 플라즈마 대미지를 경감시키는 것이 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0163] 타깃의 일례로서 In-Ga-Zn계 산화물 타깃에 대하여 이하에 기재한다.

[0164] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합하고 가압 처리를 수행한 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리함으로써 다결정의 In-Ga-Zn계 산화물 타깃을 제작한다. 또한, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어 InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류와 분말을 혼합하는 mol수비는 제작하고자 하는 타깃에 따라 적절히 변경하면 좋다.

[0165] 또한, 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에 불순물이다. 알칼리 토금속도 또한 산화물 반도체를 구성하는 원소가 아닌 경우에는 불순물로서 기능한다. 특히, 알칼리 금속 중에서 Na는 산화물 반도체막에 접촉하는 절연막이 산화물인 경우에, 이 절연막 내로 확산되어 Na^+ 가 된다. 또한, Na는 산화물 반도체막 내에서 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나 또는 그 결합 내에 침입한다. 이 결과 예를 들어, 문턱 전압이 음 방향으로 시프트됨으로 인한 노멀리 온(normally-on)화, 이동도의 저하 등, 트랜지스터의 전기적 특성이 열화되고 특성의 편차도 생긴다. 구체적으로, 이차 이온 질량 분석법에 의한 나트륨(Na) 농도의 측정값은 $5 \times 10^{16}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, Li 농도의 측정값은 $5 \times 10^{15}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, K 농도의 측정값은 $5 \times 10^{15}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다.

[0166] 또한, 인듐을 포함한 금속 산화물을 사용하는 경우에는 산소와의 결합 에너지가 인듐보다 큰 실리콘이나 탄소에 의하여 인듐과 산소의 결합이 절단되어 산소 결손이 형성될 수 있다. 그러므로, 실리콘이나 탄소가 산화물 반도체막에 혼입된 경우에는 알칼리 금속이나 알칼리 토금속의 경우와 마찬가지로 트랜지스터의 전기적 특성이 열화되기 쉽다. 따라서, 산화물 반도체막 내의 실리콘이나 탄소의 농도는 낮은 것이 바람직하다. 구체적으로, 이차 이온 질량 분석법에 의한 탄소(C) 농도의 측정값 또는 실리콘(Si) 농도의 측정값은 $1 \times 10^{18}/\text{cm}^3$ 이하로 하면 좋다. 상술한 구성을 채용하면 트랜지스터의 전기적 특성의 열화를 방지할 수 있고 액정 표시 장치의 신뢰성을 높일 수 있다.

- [0167] 또한, 소스 전극 및 드레인 전극에 사용된 도전성 재료에 따라서는 소스 전극 및 드레인 전극 내의 금속이 산화물 반도체막에서 산소를 추출할 수 있다. 이 때 산화물 반도체막 중 소스 전극 및 드레인 전극에 접촉하는 영역은 산소 결손의 형성에 의하여 n형화된다.
- [0168] n형화된 영역은 소스 영역 또는 드레인 영역으로서 기능하기 때문에 산화물 반도체막과 소스 전극 및 드레인 전극과의 사이의 접촉 저항을 저감시킬 수 있다. 따라서, n형화된 영역이 형성됨으로써 트랜지스터의 이동도 및 온 전류를 향상시킬 수 있기 때문에 트랜지스터를 사용한 스위치 회로의 고속 동작을 실현할 수 있다.
- [0169] 또한, 소스 전극 및 드레인 전극 내의 금속은, 스퍼터링 법 등에 의한 소스 전극 및 드레인 전극 형성 시에 산소를 추출할 수 있고, 소스 전극 및 드레인 전극 형성 후의 가열 처리 시에 산소를 추출할 수도 있다.
- [0170] 또한, 산소와 결합하기 쉬운 도전성 재료를 소스 전극 및 드레인 전극에 사용하면 n형화된 영역은 형성되기 더 쉬워진다. 이 도전성 재료로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.
- [0171] 또한, 산화물 반도체막은 하나의 금속 산화물막으로 구성되어도 좋고 적층된 복수의 금속 산화물막으로 구성되어도 좋다. 예를 들어, 제 1 내지 제 3 금속 산화물막이 순차적으로 적층된 반도체막의 경우, 제 1 금속 산화물막 및 제 3 금속 산화물막은 제 2 금속 산화물막을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하며 전도대 하단의 에너지가 제 2 금속 산화물막의 그것보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물막이다. 또한, 제 2 금속 산화물막은 적어도 인듐을 포함하면 캐리어 이동도가 높아지므로 바람직하다.
- [0172] 상술한 구성의 반도체막을 트랜지스터가 가지는 경우, 게이트 전극에 전압을 인가함으로써 반도체막에 전계가 인가되면, 반도체막 중에서 전도대 하단의 에너지가 작은 제 2 금속 산화물막에 채널 영역이 형성된다. 즉, 제 2 금속 산화물막과 게이트 절연막 사이에 제 3 금속 산화물막이 제공되어 있음으로써 게이트 절연막과 이격된 제 2 금속 산화물막에 채널 영역을 형성할 수 있다.
- [0173] 또한, 제 3 금속 산화물막은 제 2 금속 산화물막을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 제 2 금속 산화물막과 제 3 금속 산화물막의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에서 캐리어의 움직임이 저해되기 어렵기 때문에 트랜지스터의 전계 효과 이동도가 높게 된다.
- [0174] 또한, 제 2 금속 산화물막과 제 1 금속 산화물막의 계면에 계면 준위가 형성되면 계면 근방의 영역에도 채널 영역이 형성되어 트랜지스터의 문턱 전압이 변동된다. 그러나, 제 1 금속 산화물막은 제 2 금속 산화물막을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 제 2 금속 산화물막과 제 1 금속 산화물막의 계면에서 계면 준위가 형성되기 어렵다. 따라서, 상술한 구성에 의하여 트랜지스터의 문턱 전압 등 전기적 특성의 편차를 저감시킬 수 있다.
- [0175] 또한, 금속 산화물막들 사이에 불순물이 존재하는 것으로 인하여 각 막들의 계면에서 캐리어의 흐름을 저해하는 계면 준위가 형성되지 않도록 복수의 금속 산화물막을 적층하는 것이 바람직하다. 적층된 금속 산화물막들 사이에 불순물이 존재하면 금속 산화물막들 사이의 전도대 하단의 에너지의 연속성이 없어져 계면 근방에서 캐리어가 포획되거나 또는 재결합함으로써 소멸되기 때문이다. 막들 사이에 존재하는 불순물을 저감시킴으로써 적어도 하나의 금속을 주성분으로서 공통적으로 가지는 복수의 금속 산화물막을 단순히 적층하는 경우에 비하여 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막들 사이에서 연속적으로 변화하는 U자형 우물 구조를 가진 상태)이 형성되기 쉬워진다.
- [0176] 연속 접합을 형성하기 위해서는 로드록실을 구비한 멀티 챔버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기기에 노출시키지 않고 연속적으로 적층할 필요가 있다. 산화물 반도체에 있어서 불순물로서 기능하는 물 등을 가능한 한 제거하기 위하여, 스퍼터링 장치의 각 챔버는 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 사용하여, 배기계로부터 챔버 내로 기체가 역류되지 않도록 하는 것이 바람직하다.
- [0177] 고순도이며 진성인 산화물 반도체를 얻기 위해서는 각 챔버 내의 고진공 배기뿐만 아니라 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 상기 가스로서 사용하는 산소 가스나 아르곤 가스의 이슬점은 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하로 하고, 사용하는 가스의 고순도화를 도모함으로써 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.
- [0178] 예를 들어, 제 1 금속 산화물막 또는 제 3 금속 산화물막은 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨, 또는 하프늄의 원자수비가 제 2 금속 산화물막의 그것보다 높은 산화물막

으로 하면 좋다. 구체적으로는 제 1 금속 산화물막 또는 제 3 금속 산화물막으로서, 상술한 원소의 원자수비가 제 2 금속 산화물막의 그것보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높은 산화물막을 사용하면 좋다. 상술한 원소는 산소와 강하게 결합하여 산화물막에 산소 결손이 생기는 것을 억제하는 기능을 가진다. 이 구성에 의하여 제 1 금속 산화물막 또는 제 3 금속 산화물막을 제 2 금속 산화물막보다 산소 결손이 생기기 어려운 산화물막으로 할 수 있다.

[0179] 구체적으로는, 제 2 금속 산화물막과 제 1 금속 산화물막 또는 제 3 금속 산화물막 모두가 In-M-Zn계 산화물막인 경우, 제 1 금속 산화물막 또는 제 3 금속 산화물막의 원자수비가 $In:M:Zn=x_1:y_1:z_1$, 제 2 금속 산화물막의 원자수비가 $In:M:Zn=x_2:y_2:z_2$ 일 때 y_1/x_1 이 y_2/x_2 보다 크게 되도록 그 원자수비를 설정하면 좋다. 또한, 원소 M은 In보다 산소와의 결합력이 강한 금속 원소이며 예를 들어, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf 등을 들 수 있다. 바람직하게는 y_1/x_1 이 y_2/x_2 보다 1.5배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 더 바람직하게는 y_1/x_1 이 y_2/x_2 보다 2배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 더욱 바람직하게는 y_1/x_1 이 y_2/x_2 보다 3배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 또한 제 2 금속 산화물막에서 y_2 를 x_2 이상으로 하면 트랜지스터에 안정된 전기적 특성을 부여할 수 있으므로 바람직하다. 다만 y_2 를 x_2 의 3배 이상으로 한 경우 트랜지스터의 전계 효과 이동도가 저하되기 때문에 y_2 는 x_2 의 3배 미만으로 하는 것이 바람직하다.

[0180] 또한, 제 1 금속 산화물막 및 제 3 금속 산화물막의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 금속 산화물막의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0181] 3층 구조의 반도체막에서 제 1 금속 산화물막 내지 제 3 금속 산화물막은 각각 비정질 또는 결정질로 할 수 있다. 다만, 채널 영역이 형성되는 제 2 금속 산화물막이 결정질이면 트랜지스터에 안정된 전기적 특성을 부여할 수 있으므로 제 2 금속 산화물막은 결정질로 하는 것이 바람직하다.

[0182] 또한, 채널 형성 영역이란, 트랜지스터의 반도체막에 있어서 게이트 전극과 중첩되고 소스 전극과 드레인 전극에 끼워진 영역을 말한다. 또한, 채널 영역이란, 채널 형성 영역에서 전류가 주로 흐르는 영역을 말한다.

[0183] 예를 들어, 스퍼터링법으로 형성한 In-Ga-Zn계 산화물막을 제 1 금속 산화물막 및 제 3 금속 산화물막으로서 사용하는 경우, 제 1 금속 산화물막 및 제 3 금속 산화물막의 형성에는 In-Ga-Zn계 산화물($In:Ga:Zn=1:3:2$ [원자수비])의 타깃을 사용할 수 있다. 성막 조건은 예를 들어, 성막 가스로서 아르곤 가스 30sccm, 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC 전력을 0.5kW로 하면 좋다.

[0184] 또한, CAAC-OS막을 제 2 금속 산화물막으로서 사용하는 경우, 제 2 금속 산화물막의 형성에는 In, Ga, Zn을 원자수비 1:1:1로 포함한 다결정 In-Ga-Zn계 산화물의 타깃을 사용하는 것이 바람직하다. 성막 조건은 예를 들어, 성막 가스로서 아르곤 가스 30sccm, 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 300°C로 하고, DC 전력을 0.5kW로 할 수 있다.

[0185] 또한, 트랜지스터는 반도체막의 단부가 경사진 구조를 가져도 좋고, 반도체막 단부가 둥그스름한 구조를 가져도 좋다.

[0186] 또한, 적층된 복수의 금속 산화물막을 가지는 반도체막을 트랜지스터에 사용하는 경우에도 소스 전극 및 드레인 전극에 접촉하는 영역이 n형화되어 있어도 좋다. 이 구성에 의하여 트랜지스터의 이동도 및 온 전류를 높일 수 있어, 이 트랜지스터를 사용한 액정 표시 장치의 고속 동작을 실현할 수 있다. 또한, 적층된 복수의 금속 산화물막을 가지는 반도체막을 트랜지스터에 사용하는 경우, n형화되는 영역은 채널 영역이 되는 제 2 금속 산화물막에 도달되는 것이 트랜지스터의 이동도 및 온 전류를 높여 액정 표시 장치의 고속 동작을 실현하는 데 더 바람직하다.

[0187] <액정 표시 장치의 상면도와 단면도>

[0188] 본 발명의 일 형태에 따른 액정 표시 장치의 외관에 대하여 도 12를 사용하여 설명한다. 도 12는 제 1 기판(4001)과 제 2 기판(4006)이 밀봉재(4005)로 접합된 액정 표시 장치의 상면도이다. 또한, 도 13은 도 12를 패션 B1-B2에서 절단한 단면도에 상당한다. 또한, 도 12는 FFS 모드의 액정 표시 장치를 예시한 것이다.

[0189] 제 1 기판(4001) 위에 제공된 화소부(4002)와 한 쌍의 구동 회로(4004)를 둘러싸도록 밀봉재(4005)가 제공되어 있다. 또한, 화소부(4002) 및 구동 회로(4004) 위에 제 2 기판(4006)이 제공되어 있다. 따라서, 화소부(4002)

및 구동 회로(4004)는 제 1 기판(4001), 밀봉재(4005), 및 제 2 기판(4006)으로 밀봉되어 있다.

[0190] 또한, 제 1 기판(4001) 위의 밀봉재(4005)로 둘러싸인 영역과는 다른 영역에 구동 회로(4003)가 실장되어 있다.

[0191] 또한, 제 1 기판(4001) 위에 제공된 화소부(4002) 및 구동 회로(4004)는 복수의 트랜지스터를 가진다. 도 13은 화소부(4002)에 포함된 트랜지스터(4010)를 예시한 것이다.

[0192] 화소부(4002) 및 구동 회로(4004)에서 트랜지스터(4010) 위에는 수지를 사용한 절연막(4020)이 제공되어 있다. 그리고, 절연막(4020) 위에는 액정 소자(4023)의 화소 전극(4021), 공통 전극(4024), 및 화소 전극(4021)과 공통 전극(4024) 사이의 절연막(4022)이 제공되어 있다.

[0193] 또한, 도 13은 공통 전극(4024) 위에 화소 전극(4021)이 제공되는 경우를 예시한 것이지만 화소 전극(4021) 위에 공통 전극(4024)이 제공되어도 좋다.

[0194] 또한, 도 13에 도시된 바와 같이, 본 발명의 일 형태에서 절연막(4020)은 패널 단부에서 제거되어 있다. 절연막(4020)이 제거된 영역에는 도전막(4050)이 형성되고, 공통 전극(4024)은 도전막(4050)과 접촉된다. 또한, 도전막(4051)은 절연막(4022)에 제공된 개구부에서 공통 전극(4024)과 접촉되도록 제공된다.

[0195] 도전막(4050)과 트랜지스터(4010)의 소스 또는 드레인으로서 기능하는 도전막(4052) 및 도전막(4053)은 하나의 도전막을 에칭함으로써 형성할 수 있다. 또한, 화소 전극(4021)과 도전막(4051)은 하나의 도전막을 에칭함으로써 형성할 수 있다.

[0196] 또한, 제 2 기판(4006) 측에는, 위치 정보를 취득하기 위한 제 1 전극(4056)과 제 2 전극(4057)이 절연막(4058)을 사이에 개재하여 서로 중첩되어 있다. 제 1 전극(4056) 및 제 2 전극(4057) 위에는 수지막(4059)이 제공되고, 수지막(4059) 위에는 도전막(4060)이 제공된다.

[0197] 그리고, 도전막(4060)은 수지막(4062) 내에 분산된 도전성을 가진 도전성 입자(4061)를 통하여 도전막(4051)과 전기적으로 접속된다. 즉, 공통 전극(4024)과 도전막(4060)은 패널 단부에서 도전성 입자(4061)를 통하여 전기적으로 접속된다. 수지막(4062)에는 열 경화성 수지 또는 자외선 경화성 수지를 사용할 수 있다. 또한, 도전성 입자(4061)로서는 예를 들어, 구(球)상 유기 수지를 박막 형태의 Au나 Ni, Co 등의 금속으로 피복한 입자를 사용할 수 있다.

[0198] 또한, 도 13에는 배향막이 도시되어 있지 않지만 절연막(4022) 및 공통 전극(4024) 위, 및 도전막(4060) 위에 배향막을 제공하는 경우에는, 도전막(4060)과 도전성 입자(4061)와 도전막(4051)을 전기적으로 접속하기 위하여 도전막(4060)과 중첩되는 부분에서 배향막을 부분적으로 제거하고 도전막(4051)과 중첩되는 부분에서 배향막을 부분적으로 제거하면 좋다.

[0199] 또한, 절연막(4022)은 패널 단부에서 케이트 절연막(4054)과 접촉된다. 절연막(4022) 및 케이트 절연막(4054)의 물, 수소 등의 블로킹 효과가 높은 경우, 패널 단부에서 절연막(4022)과 케이트 절연막(4054)이 접촉되도록 함으로써 패널 단부 또는 밀봉재(4005)로부터 물, 수소 등이 트랜지스터(4010)가 가진 반도체막에 침입되는 것을 방지할 수 있다.

[0200] 또한, 제 1 기판(4001)과 제 2 기판(4006) 사이에는 액정층(4028)이 제공된다. 액정 소자(4023)는 화소 전극(4021), 공통 전극(4024), 및 액정층(4028)을 가진다.

[0201] 액정 소자(4023)에서는 화소 전극(4021)과 공통 전극(4024) 사이에 인가되는 전압의 값에 따라 액정층(4028)에 포함된 액정 분자의 배향이 변화되어 투과율이 변화된다. 따라서, 액정 소자(4023)는 화소 전극(4021)에 공급되는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써 계조를 표시할 수 있다.

[0202] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는 컬러 필터를 사용함으로써 컬러 화상을 표시시켜도 좋고, 각각 상이한 색상의 광을 발하는 복수의 광원을 순차적으로 점등시킴으로써 컬러 화상을 표시시켜도 좋다.

[0203] 또한, 구동 회로(4003)로부터의 화상 신호나 FPC(4018)로부터의 각종 제어 신호 및 전위는 리드 배선(4030) 및 리드 배선(4031)을 통하여 구동 회로(4004) 또는 화소부(4002)에 공급된다.

[0204] <액정 표시 장치를 사용한 전자 기기의 구성예>

[0205] 본 발명의 일 형태에 따른 액정 표시 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를

가지는 장치)에 사용할 수 있다. 이 외에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 휴대형 게임기를 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이와 같은 전자 기기의 구체적인 예를 도 14에 도시하였다.

[0206] 도 14의 (A)에 도시된 휴대형 게임기는 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 가진다. 표시부(5003) 또는 표시부(5004)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 도 14의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003) 및 표시부(5004))를 가지지만 휴대형 게임기가 가지는 표시부의 수는 이에 한정되지 않는다.

[0207] 도 14의 (B)에 도시된 표시 기기는 하우징(5201), 표시부(5202), 지지대(5203) 등을 가진다. 표시부(5202)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 기기는 표시 기기의 범주에 포함된다.

[0208] 도 14의 (C)에 도시된 노트북 퍼스널 컴퓨터는 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 가진다. 표시부(5402)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다.

[0209] 도 14의 (D)에 도시된 휴대 정보 단말은 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 가진다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601)과 제 2 하우징(5602)은 접속부(5605)에 의하여 접속되어 있고 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)로 조절이 가능하다. 제 1 표시부(5603)의 영상을 접속부(5605)에서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 제 1 표시부(5603) 또는 제 2 표시부(5604)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다.

[0210] 도 14의 (E)에 도시된 비디오 카메라는 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 가진다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되어 있고 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)로 조절이 가능하다. 표시부(5803)의 영상을 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 표시부(5803)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다.

[0211] 도 14의 (F)에 도시된 휴대 전화는 하우징(5901)에 표시부(5902), 마이크로폰(5907), 스피커(5904), 카메라(5903), 외부 접속부(5906), 조작용 버튼(5905)이 제공되어 있다. 휴대 전화가 가지는 회로에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 본 발명의 일 형태에 따른 액정 표시 장치를 가요성을 가진 기관에 형성한 경우, 도 14의 (F)에 도시된 바와 같이 곡면을 가진 표시부(5902)에 상기 액정 표시 장치를 적용할 수 있다.

부호의 설명

[0212] 10: 제 1 기판

11: 소자층

12: 전극

13: 절연막

14: 전극

15: 트랜지스터

16: 화소

20: 제 2 기판

21: 전극

21a: 도전막

21b: 도전막

21c: 도전막

21d: 도전막

22: 절연막

23: 전극

24: 수지막

25: 도전막

26: 용량 소자

27: 도전체

28: 액정층

30: 화소부

31: 화소

32: 구동 회로

33: 구동 회로

34: 액정 소자

35: 트랜지스터

36: 용량 소자

38: 패널

40: 액정 표시 장치

41: 컨트롤러

43: CPU

44: 화상 처리 회로

45: 화상 메모리

46: 화상 데이터

51: 도전막

53: 절연막

54: 반도체막

55: 도전막

56: 도전막

57: 산화물막

58: 절연막

59: 절연막

60: 유기 수지막

- 61: 도전막
- 62: 개구부
- 63: 절연막
- 64: 도전막
- 65: 배향막
- 66: 절연막
- 67: 차폐막
- 68: 촉색층
- 69: 배향막
- 4001: 제 1 기판
- 4002: 화소부
- 4003: 구동 회로
- 4004: 구동 회로
- 4005: 밀봉재
- 4006: 제 2 기판
- 4010: 트랜지스터
- 4018: FPC
- 4020: 절연막
- 4021: 화소 전극
- 4022: 절연막
- 4023: 액정 소자
- 4024: 공통 전극
- 4028: 액정층
- 4030: 배선
- 4050: 도전막
- 4051: 도전막
- 4052: 도전막
- 4053: 도전막
- 4054: 게이트 절연막
- 4056: 전극
- 4057: 전극
- 4058: 절연막
- 4059: 수지막
- 4060: 도전막
- 4061: 도전성 입자
- 4062: 수지막

5001: 하우징

5002: 하우징

5003: 표시부

5004: 표시부

5005: 마이크로폰

5006: 스피커

5007: 조작 키

5008: 스타일러스

5201: 하우징

5202: 표시부

5203: 지지대

5401: 하우징

5402: 표시부

5403: 키보드

5404: 포인팅 디바이스

5601: 하우징

5602: 하우징

5603: 표시부

5604: 표시부

5605: 접속부

5606: 조작 키

5801: 하우징

5802: 하우징

5803: 표시부

5804: 조작 키

5805: 렌즈

5806: 접속부

5901: 하우징

5902: 표시부

5903: 카메라

5904: 스피커

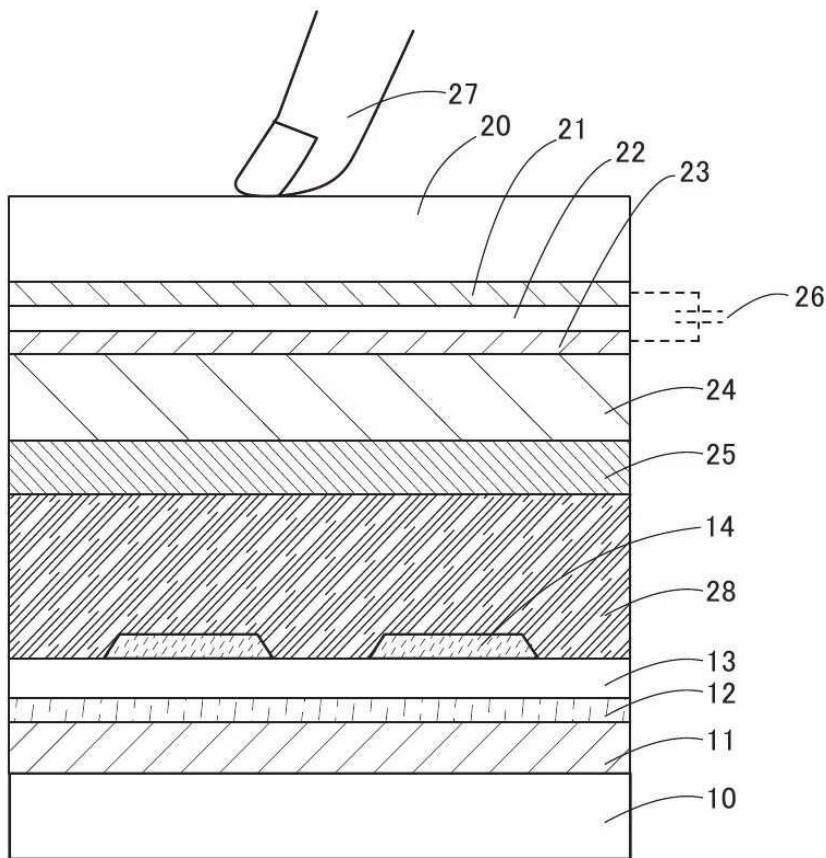
5905: 버튼

5906: 외부 접속부

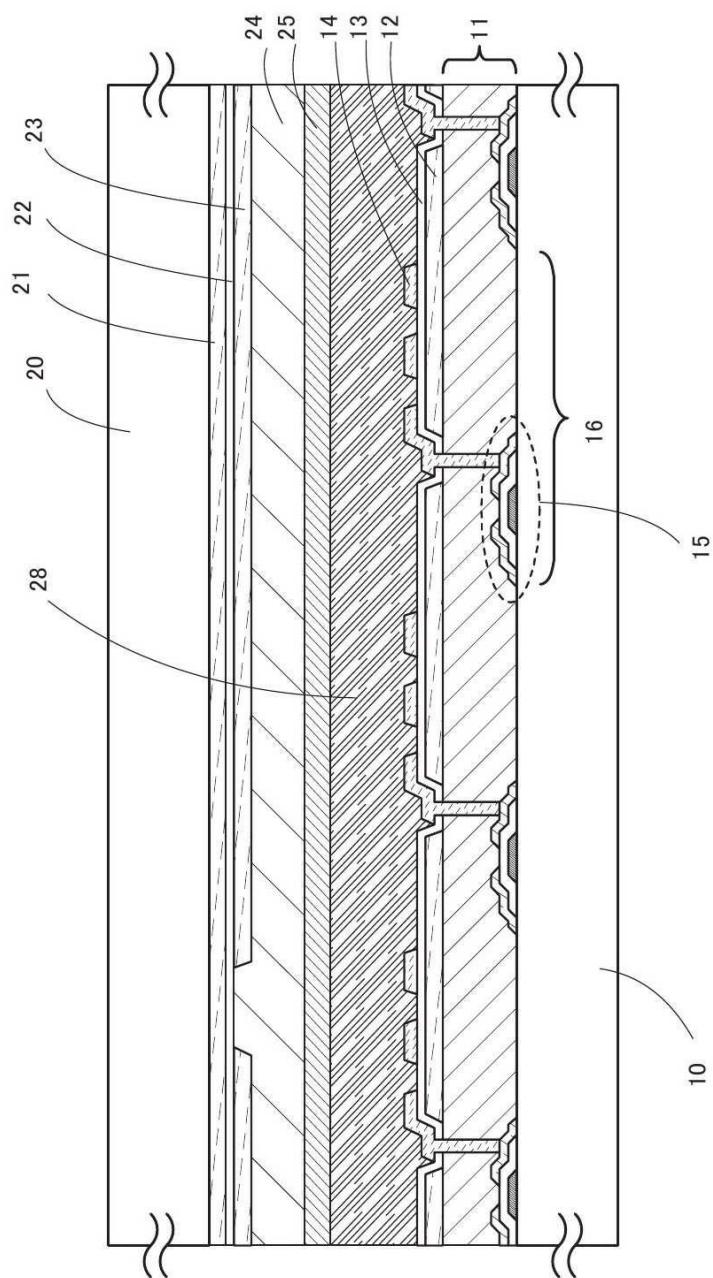
5907: 마이크로폰

도면

도면1

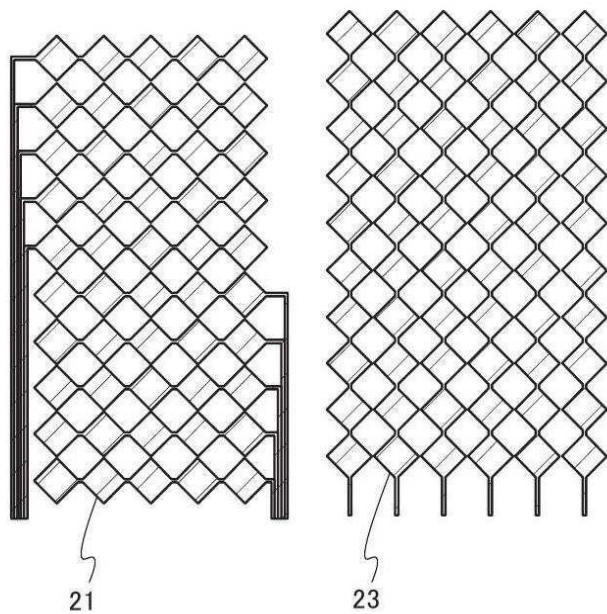


도면2

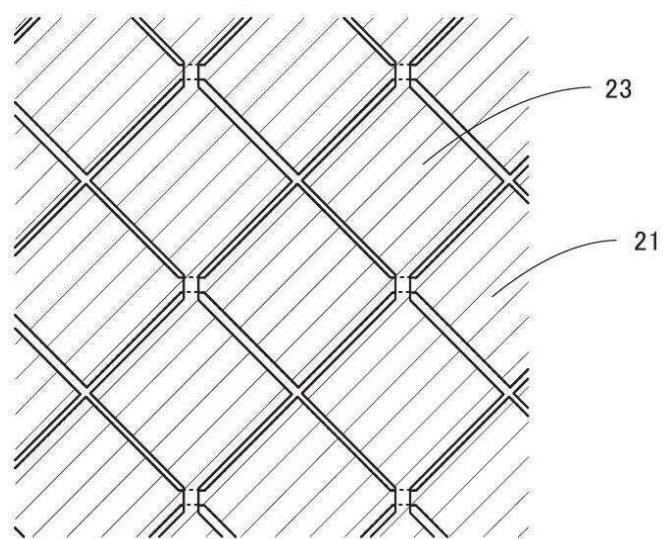


도면3

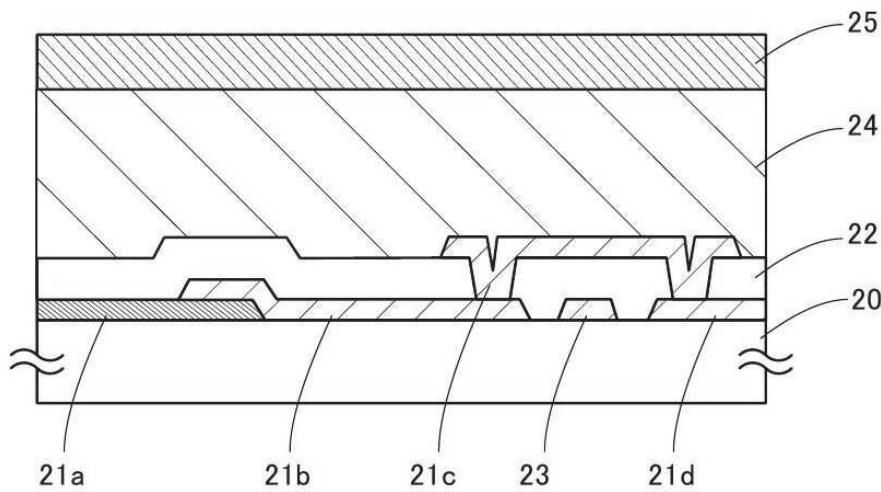
(A)



(B)

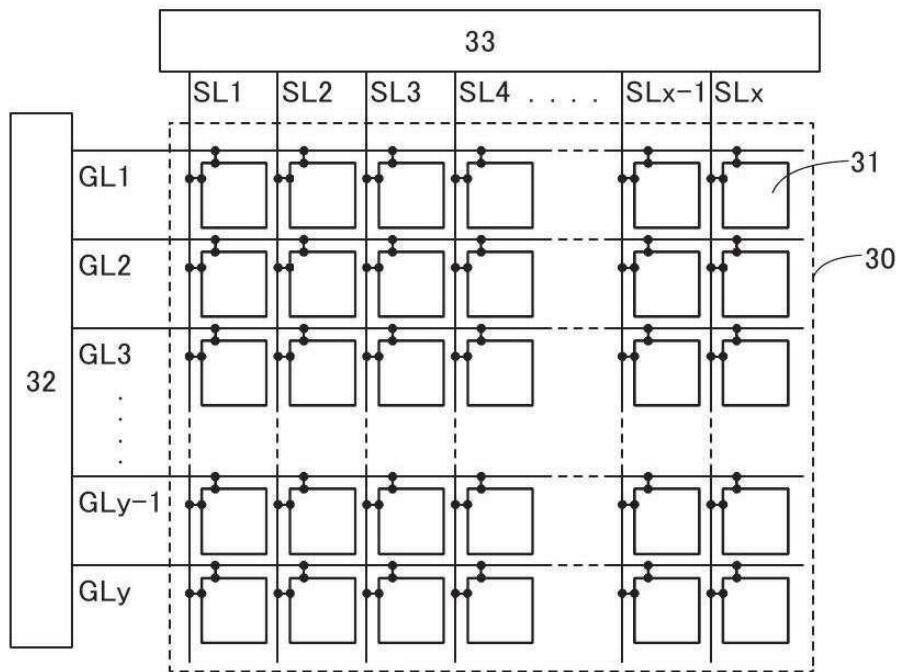


도면4

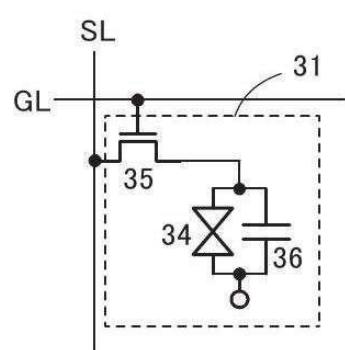


도면5

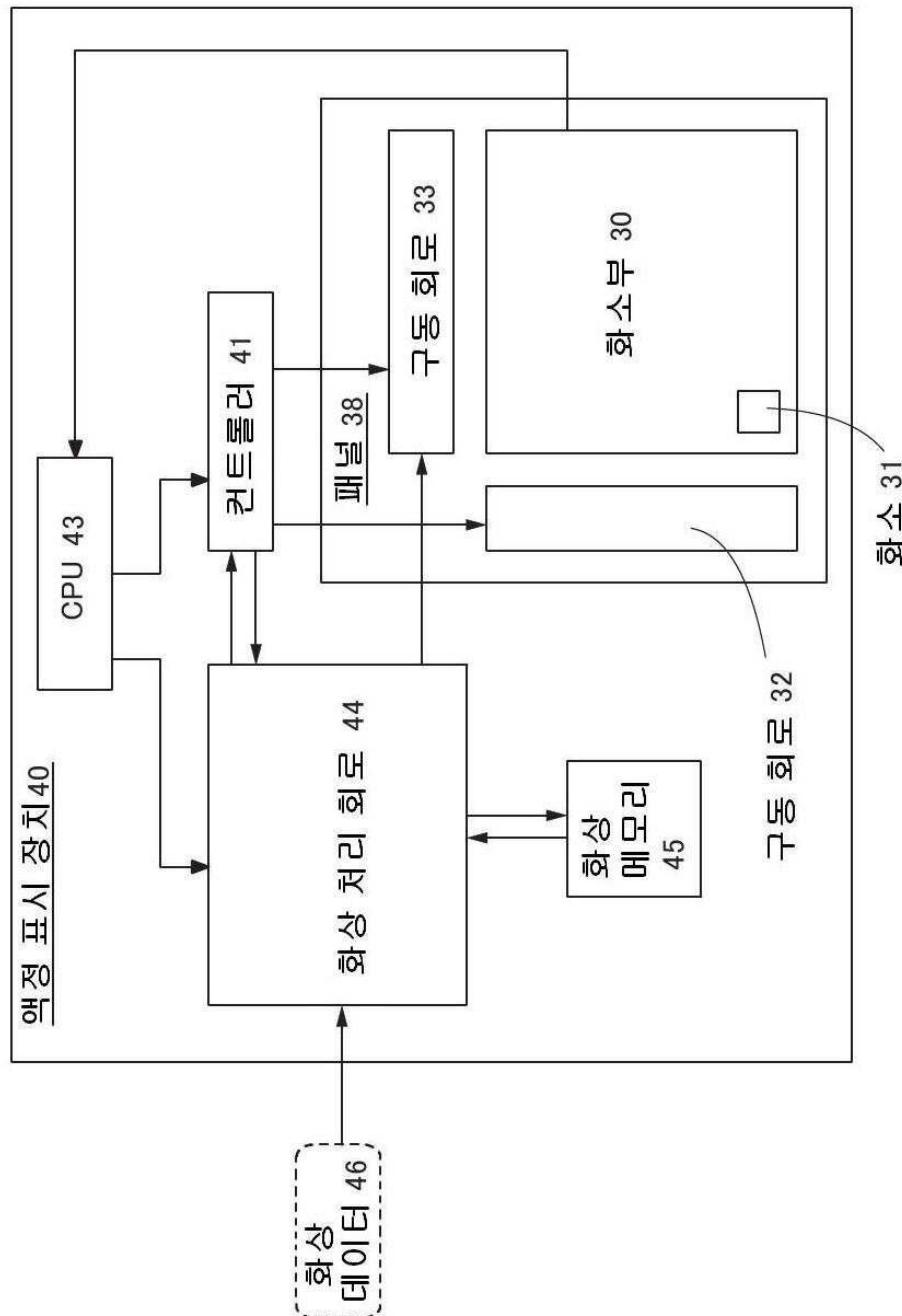
(A)



(B)

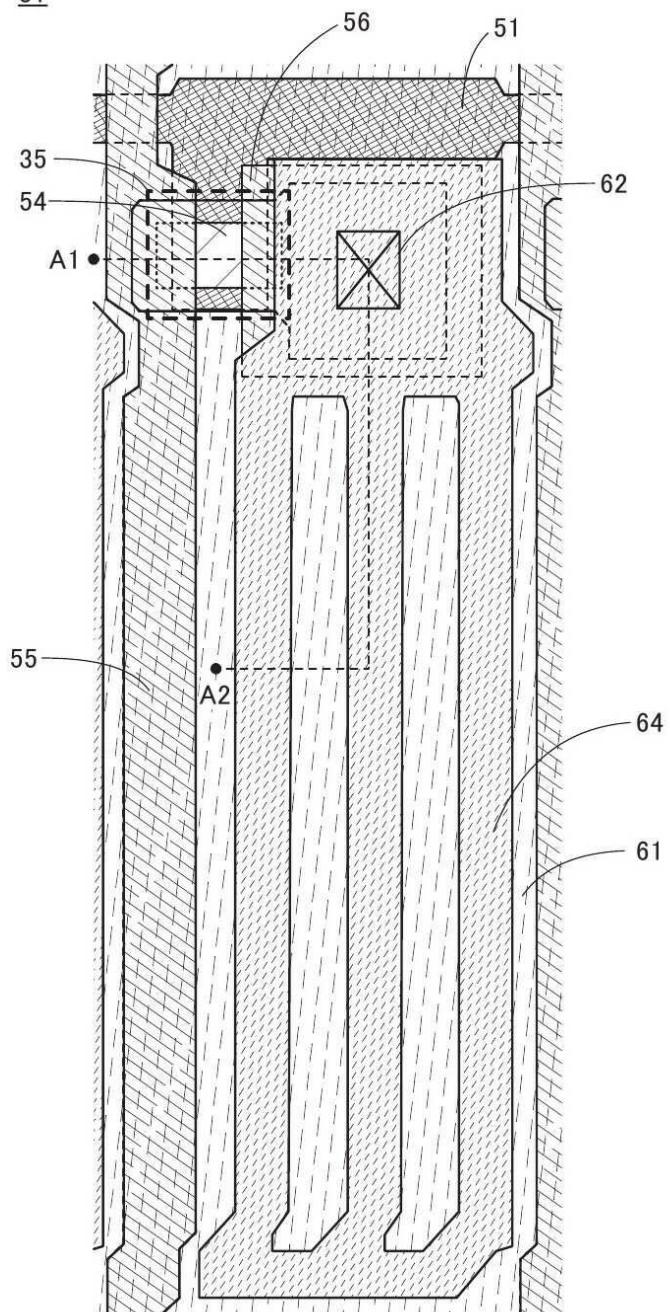


도면6

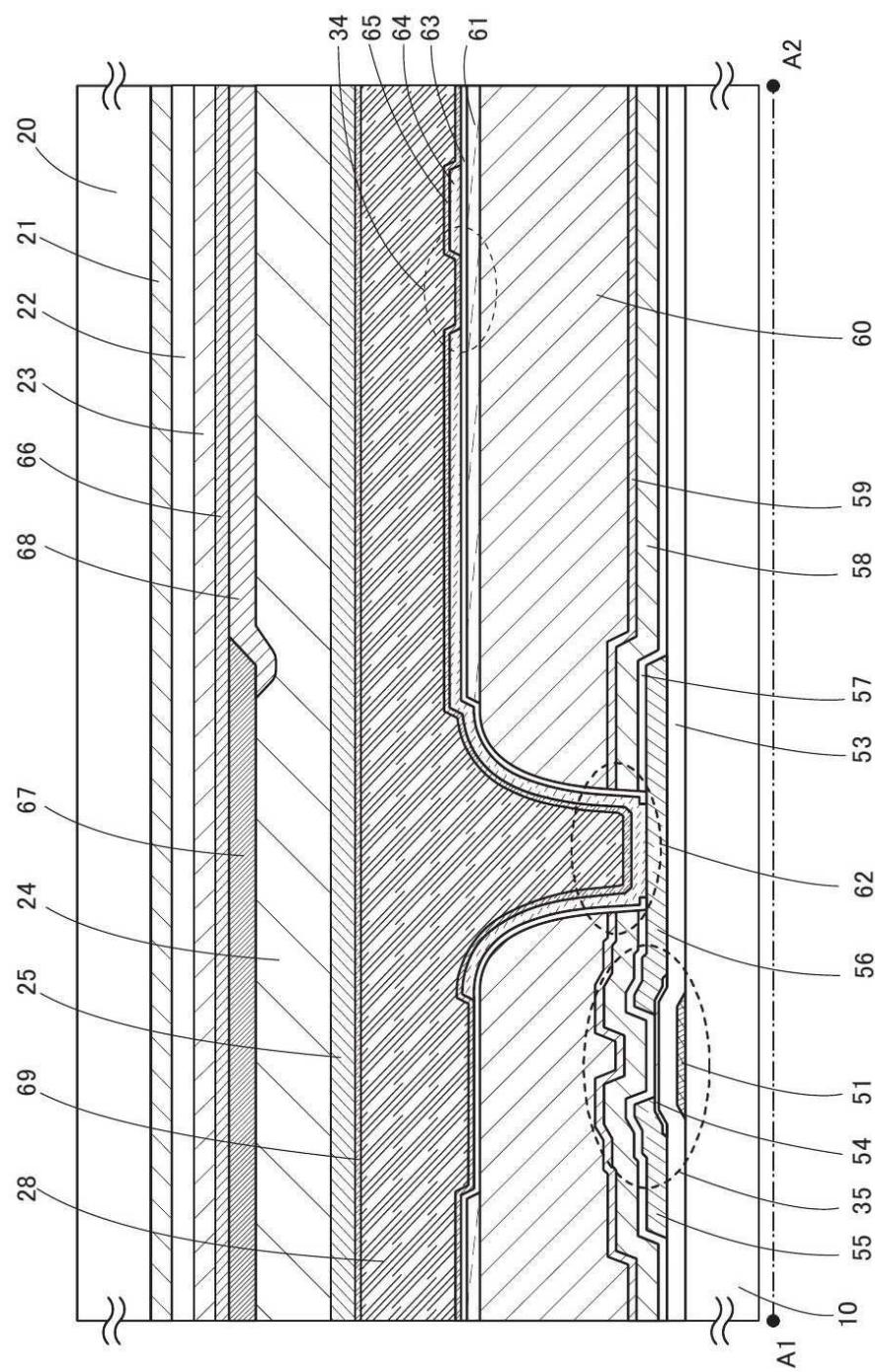


도면7

31



도면8

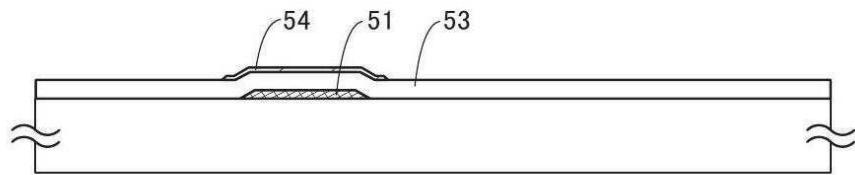


도면9

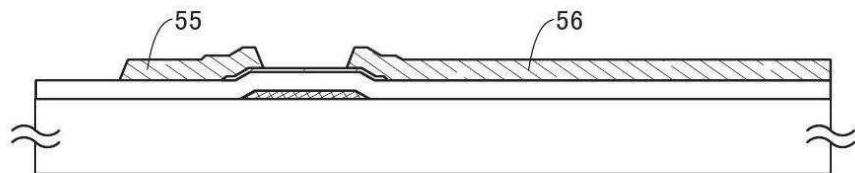
(A)



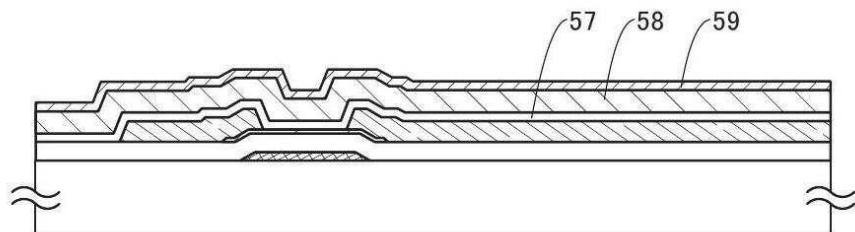
(B)



(C)

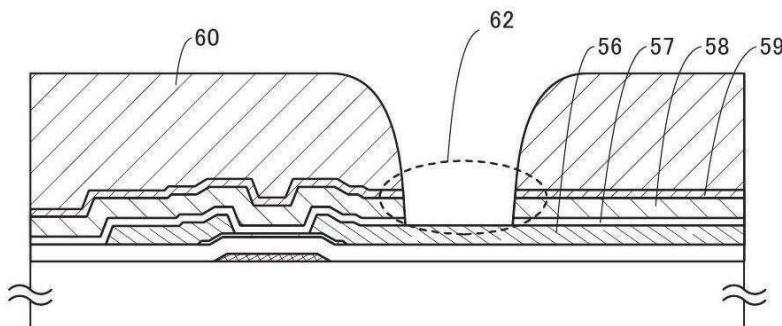


(D)

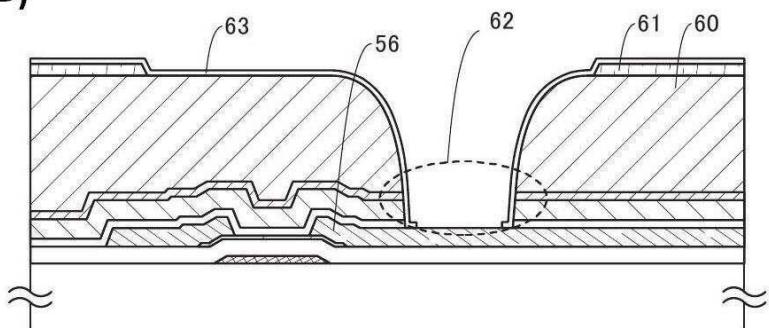


도면10

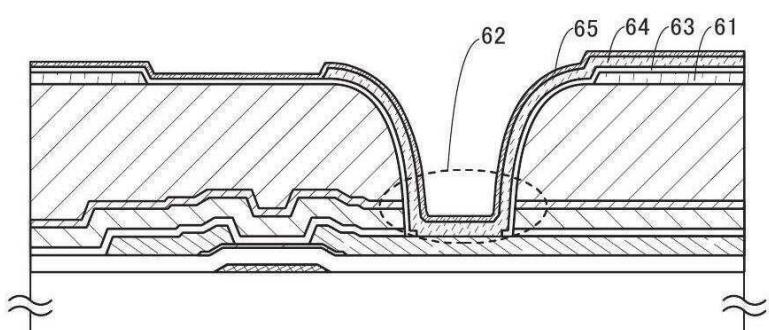
(A)



(B)

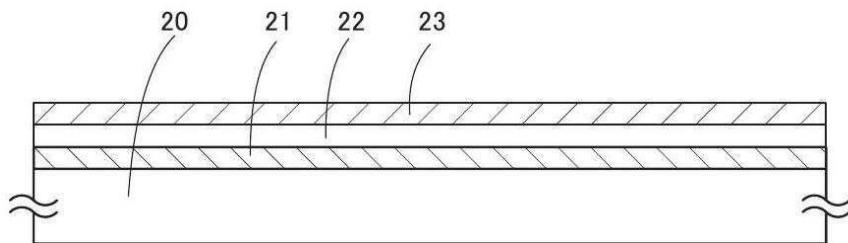


(C)

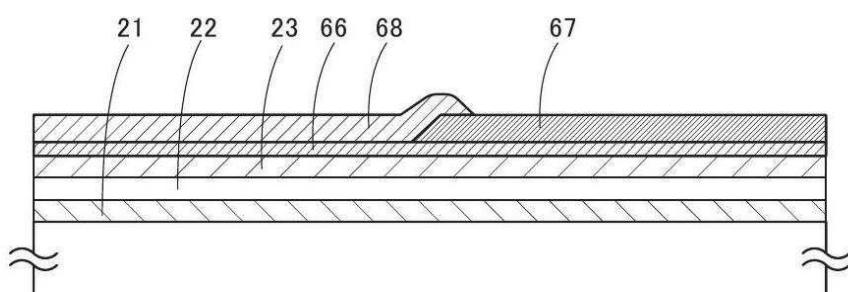


도면11

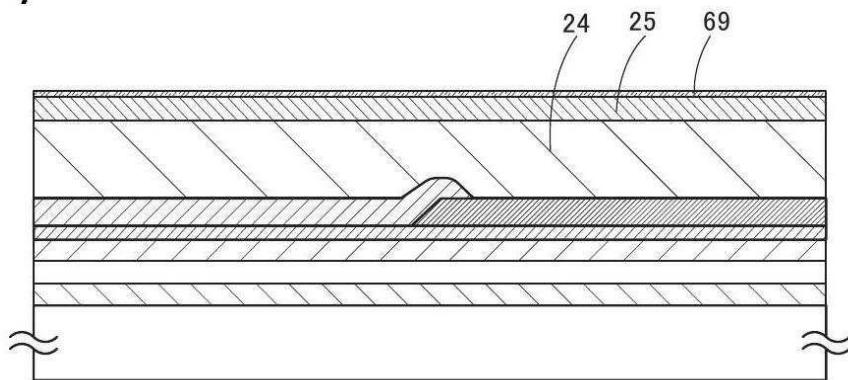
(A)



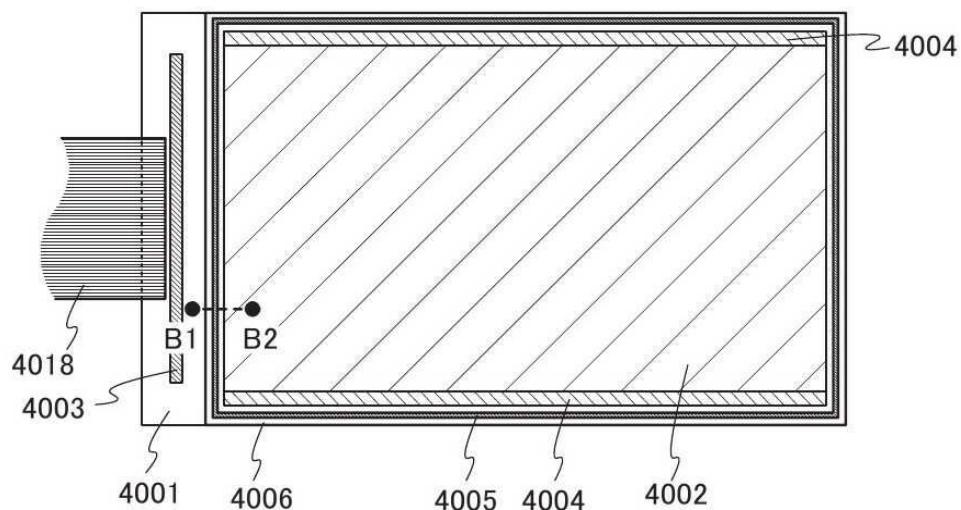
(B)



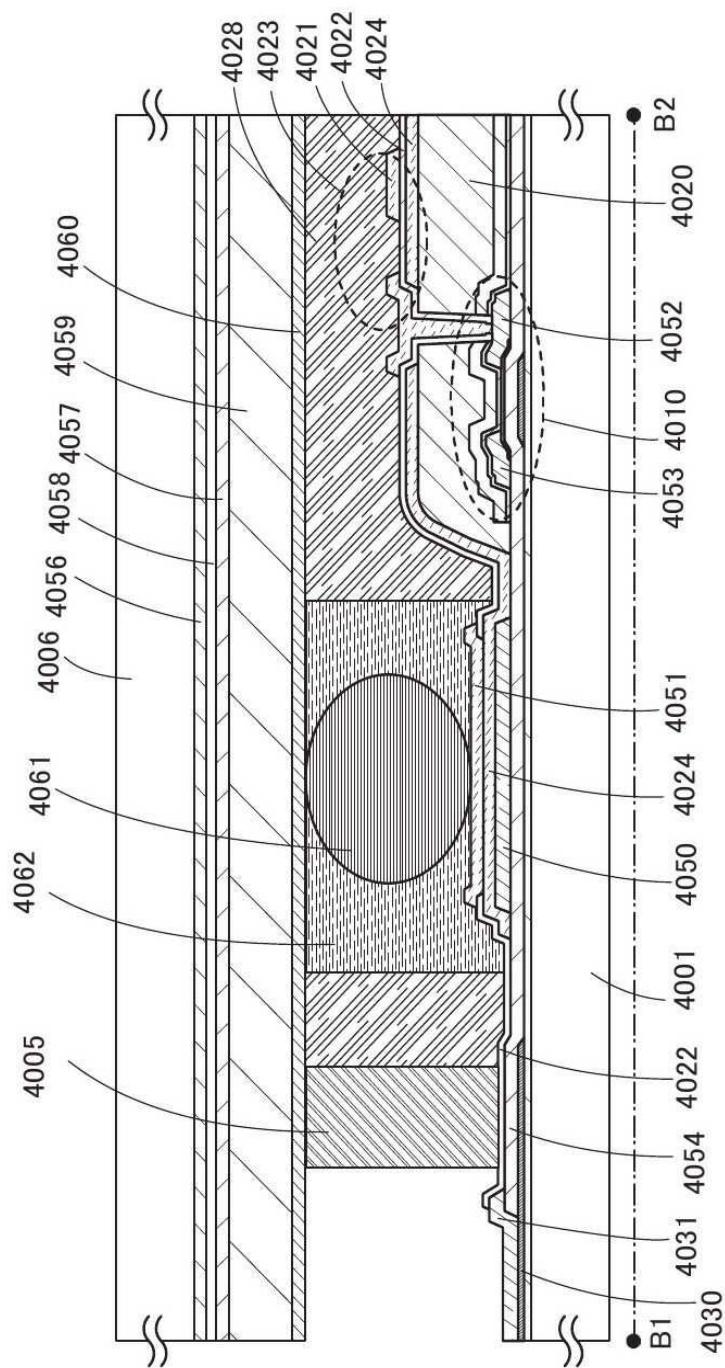
(C)



도면12

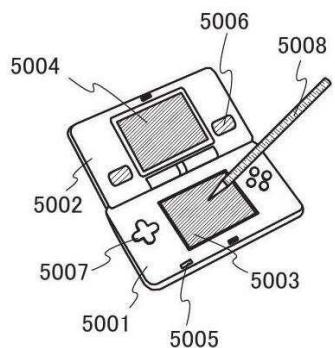


도면13

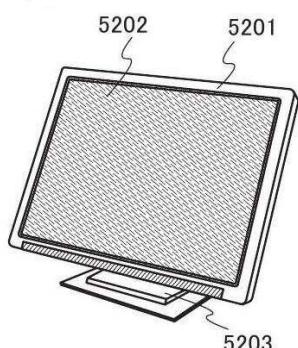


도면14

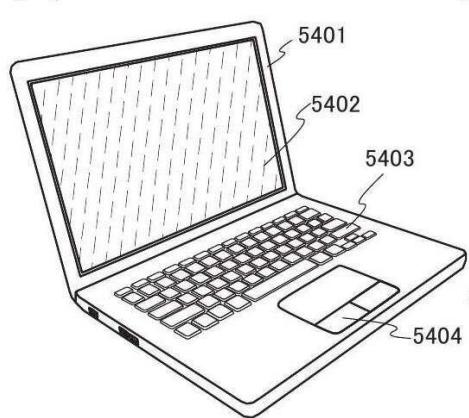
(A)



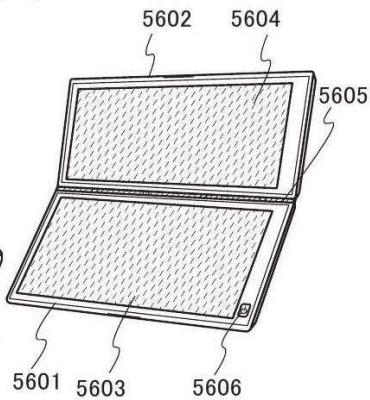
(B)



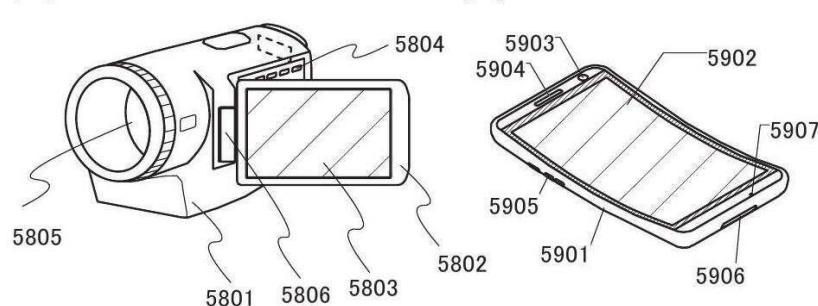
(C)



(D)



(E)



(F)

