

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5938742号
(P5938742)

(45) 発行日 平成28年6月22日(2016.6.22)

(24) 登録日 平成28年5月27日(2016.5.27)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 623K
	G09G 3/20 641E
	G09G 3/20 641K
	G09G 3/20 641R
	請求項の数 1 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2012-55548 (P2012-55548)	(73) 特許権者	514188173 株式会社 J O L E D
(22) 出願日	平成24年3月13日 (2012.3.13)		東京都千代田区神田錦町三丁目23番地
(65) 公開番号	特開2013-190524 (P2013-190524A)	(74) 代理人	100189430 弁理士 吉川 修一
(43) 公開日	平成25年9月26日 (2013.9.26)	(74) 代理人	100190805 弁理士 傍島 正朗
審査請求日	平成26年10月31日 (2014.10.31)	(72) 発明者	柘植 仁志 大阪府門真市大字門真1006番地 パナソニック株式会社内
		審査官	武田 悟
		(56) 参考文献	特表2005-534991 (JP, A)) 最終頁に続く

(54) 【発明の名称】 E L表示装置

(57) 【特許請求の範囲】

【請求項1】

有機 E L 素子に電流を流す駆動トランジスタを有する画素回路を複数配列した E L 表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、 N ビットの D / A コンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えた E L 表示装置において、

1 フレームの画像表示期間は、上位の N ビットの階調信号に基づく発光表示を行う第 1 のサブフレームと、下位の M (M は M < N を満足する) ビットの階調信号に基づく発光表示を行う第 2 のサブフレームとを有する少なくとも 2 つのサブフレームに分割し、かつ前記第 1 のサブフレームの発光期間 L 1 と前記第 2 のサブフレームの発光期間 L 2 は、 L 1 > L 2 となるように前記ドライバ回路を制御し、

前記画像信号処理回路は、入力される画像信号が動画か否かを検出する動画検出手段を備え、前記動画検出手段が動画であることを検出した場合に、第 1 のサブフレームの期間の画像信号に基づく発光表示を行い、第 2 のサブフレームの期間は非発光とするように制御することを特徴とする E L 表示装置。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、電流発光素子を用いたアクティブマトリックス型の E L 表示装置に関する。

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス（EL）素子を用いたEL表示装置は、バックライトが不要で視野角にも制限がないため、次世代のEL表示装置として開発が進められている。

【0003】

有機EL素子は、流す電流量によって輝度を制御する電流発光素子である。近年は、画素回路毎に駆動トランジスタを備え有機EL素子を駆動するアクティブマトリックス型の有機EL表示装置が主流となってきている。

【0004】

駆動トランジスタおよびその周辺回路は、一般にポリシリコンやアモルファスシリコン等を用いた薄膜トランジスタで形成される。薄膜トランジスタは移動度および閾値電圧のばらつきが大きいという弱点があるものの、大型化が容易でかつ安価であるために大型の有機EL表示装置に適している。

10

【0005】

また、薄膜トランジスタの弱点である閾値電圧のばらつきおよび経時変化を画素回路の工夫により克服する方法についても検討されている。例えば特許文献1には、駆動トランジスタの閾値電圧を補正する機能を有する有機EL表示装置とその駆動方法が開示されている。さらに特許文献2には、全画素の輝度 - 電圧特性のゲインとオフセットとを格納したメモリと、メモリのデータに基づき画像信号を補正する補正回路とを備え、画素間の輝度ばらつきに起因する輝度ムラを抑えたEL表示装置が開示されている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-169145号公報

【特許文献2】特開2002-134169号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明はこのようなEL表示装置において、低コストのドライバ回路で高品質の画像が表示できるEL表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0008】

上記目的を達成するために本発明のEL表示装置は、有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えたEL表示装置において、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM（MはM<Nを満足する）ビットの階調信号に基づく発光表示を行う第2のサブフレームとを有する少なくとも2つのサブフレームに分割し、かつ前記第1のサブフレームの発光期間L1と前記第2のサブフレームの発光期間L2は、L1>L2となるように前記ドライバ回路を制御するものである。

40

【発明の効果】

【0009】

本発明によれば、低コストのドライバ回路で高品質の画像表示が行えるEL表示装置を提供することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明の一実施の形態におけるEL表示装置の構成図

50

【図2】同EL表示装置の表示ユニットの構成図

【図3】同EL表示装置の表示ユニットの画素回路の一例を示す回路図

【図4】同EL表示装置の表示ユニットの動作を示すタイミングチャート

【図5】同EL表示装置の表示ユニットの画素回路の動作を示すタイミングチャート

【図6】同EL表示装置の画像信号処理回路の回路ブロック図

【図7】本発明におけるEL表示装置の発光動作を説明するためのタイミングチャート

【発明を実施するための形態】

【0011】

以下、本発明の一実施の形態におけるEL表示装置について、図面を用いて説明する。ここではEL表示装置として、駆動トランジスタを用いて有機EL素子を発光させるアクティブマトリックス型の有機EL表示装置について説明する。しかし本発明は、電流量によって輝度を制御する電流発光素子と、電流発光素子に電流を流す駆動トランジスタとを有する画素回路を複数配列したアクティブマトリックス型のEL表示装置全般に適用可能である。

10

【0012】

図1は、本発明の一実施の形態におけるEL表示装置の構成図である。EL表示装置は、電流発光素子である有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路とを備えた表示ユニット1と、入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路2とを有する。

20

【0013】

図2は、本発明の実施の形態におけるEL表示装置の表示ユニット1の構成図である。表示ユニット1は、 n 行 m 列のマトリクス状に複数配列された多数の画素回路11 (i, j) ($1 \leq i \leq n, 1 \leq j \leq m$)と、ソースドライバ回路12と、ゲートドライバ回路13と、電源回路14とを備えている。

【0014】

ソースドライバ回路12は、列方向に配列された画素回路11 ($1, j$) ~ 12 (n, j) に共通に接続されたデータ線20 (j) に、それぞれ独立して画像信号電圧 $V_{sg}(j)$ が供給されている。また、ゲートドライバ回路13は、行方向に配列された画素回路11 ($i, 1$) ~ 12 (i, m) に共通に接続された制御信号線21 (i) ~ 25 (i) に、それぞれ制御信号CNT21 (i) ~ CNT25 (i) を供給する。本実施の形態においては、1つの画素回路11 (i, j) に5種類の制御信号を供給しているが、制御信号の数はこれに限定するものではなく、必要に応じた数の制御信号を供給すればよい。

30

【0015】

電源回路14は、全ての画素回路11 ($1, 1$) ~ 11 (n, m) に共通に接続された電源線31に高圧側電圧 V_{dd} を供給し、電源線32に低圧側電圧 V_{ss} を供給する。これら高圧側電圧 V_{dd} および低圧側電圧 V_{ss} の電源は、後述する有機EL素子を発光させるための電源である。また全ての画素回路11 ($1, 1$) ~ 11 (n, m) に共通に接続された電圧線33に基準電圧 V_{ref} を供給し、電圧線34に初期化電圧 V_{int} を供給する。

40

【0016】

図3は、表示ユニット1の画素回路11 (i, j) の一例を示す回路図である。本実施の形態における画素回路11 (i, j) は、電流発光素子である有機EL素子D20と、駆動トランジスタQ20と、第1コンデンサC21と、第2コンデンサC22と、スイッチとして動作するトランジスタQ21 ~ Q25とを備えている。

【0017】

駆動トランジスタQ20は有機EL素子D20に電流を流す。第1コンデンサC21は画像信号に応じた画像信号電圧 $V_{sg}(j)$ を保持する。トランジスタQ21は、第1コンデンサC21および第2コンデンサC22の一端に基準電圧 V_{ref} を印加するための

50

スイッチである。トランジスタQ22は画像信号電圧Vsg(j)を第1コンデンサC21に書込むためのスイッチである。トランジスタQ25は駆動トランジスタQ20のゲートに基準電圧Vrefを印加するためのスイッチである。第2コンデンサC22は駆動トランジスタQ20の閾値電圧Vthを保持する。トランジスタQ23は、駆動トランジスタQ20のドレインに初期化電圧Vintを印加するためのスイッチであり、トランジスタQ24は駆動トランジスタQ20のドレインに高圧側電圧Vddを供給するためのスイッチである。

【0018】

なお、以下の説明では、駆動トランジスタQ20およびトランジスタQ21～Q25は全てNチャンネル薄膜トランジスタで、エンハンスメント型トランジスタであるとして説明するが、本発明はこれに限定されるものではない。

10

【0019】

本実施の形態における画素回路11(i, j)は、電源線31と電源線32との間に、トランジスタQ24と駆動トランジスタQ20と有機EL素子D20とが直列に接続されている。すなわち、トランジスタQ24のドレインは電源線31に接続され、トランジスタQ24のソースは駆動トランジスタQ20のドレインに接続され、駆動トランジスタQ20のソースは有機EL素子D20のアノードに接続され、有機EL素子D20のカソードは電源線32に接続されている。

【0020】

駆動トランジスタQ20のゲートとソースとの間には、第1コンデンサC21と第2コンデンサC22とが直列に接続されている。すなわち、駆動トランジスタQ20のゲートには第1コンデンサC21の一方の端子が接続され、第1コンデンサC21の他方の端子と駆動トランジスタQ20のソースとの間に第2コンデンサC22が接続されている。駆動トランジスタQ20のゲートと第1コンデンサC21とが接続されている節点を「節点Tp1」、第1コンデンサC21と第2コンデンサC22とが接続されている節点を「節点Tp2」、第2コンデンサC22と駆動トランジスタQ20のソースとが接続されている節点を「節点Tp3」とそれぞれ呼称する。

20

【0021】

第1スイッチであるトランジスタQ21のドレイン(またはソース)は、基準電圧Vrefが供給されている電圧線33に接続され、トランジスタQ21のソース(またはドレイン)は節点Tp2に接続され、トランジスタQ21のゲートは制御信号線21(i)に接続されている。このように接続することにより、トランジスタQ21は節点Tp2に基準電圧Vrefを印加する。

30

【0022】

第2スイッチであるトランジスタQ22のドレイン(またはソース)は、節点Tp1に接続され、トランジスタQ22のソース(またはドレイン)は画像信号電圧Vsgを供給するデータ線20(j)に接続され、トランジスタQ22のゲートは制御信号線22(i)に接続されている。このように接続することにより、トランジスタQ22は駆動トランジスタQ20のゲートに画像信号電圧Vsgを供給する。

【0023】

第5スイッチであるトランジスタQ25のドレイン(またはソース)は、基準電圧Vrefが供給されている電圧線33に接続され、トランジスタQ25のソース(またはドレイン)は節点Tp1に接続され、トランジスタQ25のゲートは制御信号線25(i)に接続されている。このように接続することにより、トランジスタQ25は駆動トランジスタQ20のゲートに基準電圧Vrefを供給する。

40

【0024】

第3スイッチであるトランジスタQ23のドレイン(またはソース)は、駆動トランジスタQ20のドレインに接続され、トランジスタQ23のソース(またはドレイン)は初期化電圧Vintが供給されている電圧線34に接続され、トランジスタQ23のゲートは制御信号線23(i)に接続されている。このように接続することにより、トランジスタ

50

タQ 2 3は駆動トランジスタQ 2 0のドレインに初期化電圧V i n tを供給する。

【 0 0 2 5 】

第4スイッチであるトランジスタQ 2 4のドレインは、電源線3 1に接続され、トランジスタQ 2 4のソースは駆動トランジスタQ 2 0のドレインに接続され、トランジスタQ 2 4のゲートは制御信号線2 4 (i)に接続されている。このように接続することにより、トランジスタQ 2 4は駆動トランジスタQ 2 0のドレインに有機E L素子D 2 0を発光させる電流を供給する。ここで、制御信号線2 1 (i) ~ 2 5 (i)には制御信号C N T 2 1 (i) ~ C N T 2 5 (i)が供給されている。

【 0 0 2 6 】

このように画素回路1 1 (i , j)は、駆動トランジスタQ 2 0のゲートに一方の端子が接続された第1コンデンサC 2 1と、第1コンデンサC 2 1の他方の端子と駆動トランジスタQ 2 0のソースとの間に接続された第2コンデンサC 2 2と、第1コンデンサC 2 1と第2コンデンサC 2 2との節点T p 2に基準電圧V r e fを印加する第1スイッチであるトランジスタQ 2 1と、駆動トランジスタQ 2 0のゲートに画像信号電圧V s gを供給する第2スイッチであるトランジスタQ 2 2と、駆動トランジスタQ 2 0のゲートに基準電圧V r e fを印加する第5スイッチであるトランジスタQ 2 5と、駆動トランジスタQ 2 0のドレインに初期化電圧V i n tを供給する第3スイッチであるトランジスタQ 2 3と、駆動トランジスタQ 2 0のドレインに有機E L素子D 2 0を発光させる電流を供給する第4スイッチであるトランジスタQ 2 4とを備えている。

【 0 0 2 7 】

次に、画素回路1 1 (i , j)の動作について説明する。図4は、E L表示装置の表示ユニット1の動作を示すタイミングチャートである。このように1フレーム期間を初期化期間T 1、閾値検出期間T 2、書込期間T 3、発光期間T 4の各期間に分割してそれぞれの画素回路1 1 (i , j)の有機E L素子D 2 0を駆動する。

【 0 0 2 8 】

初期化期間T 1では第2コンデンサC 2 2を所定の電圧に充電する。閾値検出期間T 2では駆動トランジスタQ 2 0の閾値電圧V t hを検出する。書込期間T 3では、画像信号に応じた画像信号電圧V s g (j)を第1コンデンサC 2 1に書込む。そして発光期間T 4では、駆動トランジスタQ 2 0のゲート・ソース間に第1コンデンサC 2 1および第2コンデンサC 2 2の端子間電圧の和の電圧が印加され、これにより有機E L素子D 2 0に画像信号に応じた電流が流れ、有機E L素子D 2 0は流れる電流値に応じた輝度で発光する。

【 0 0 2 9 】

これらの4つの期間は、図2において行方向に配列されたm個の画素回路1 1 (i , 1) ~ 1 1 (i , m)で構成される画素行毎に共通するタイミングで設定し、かつ異なる画素行では互いに書込期間T 3が重ならないように設定している。このように1つの画素行で書込み動作を行う期間に他の画素行で書込み以外の動作を行うことで、駆動時間を有効に活用することができる。

【 0 0 3 0 】

図5は、E L表示装置の表示ユニット1の画素回路1 1 (i , j)の動作を示すタイミングチャートである。また図5には、節点T p 1 ~ T p 3の電圧の変化も示している。以下、画素回路1 1 (i , j)の動作をそれぞれの期間における動作に分けて詳細に説明する。

【 0 0 3 1 】

(初期化期間T 1)

時刻t 1において、制御信号C N T 2 2 (i)、C N T 2 4 (i)をローレベルにしてトランジスタQ 2 2、Q 2 4をオフ状態とするとともに、制御信号C N T 2 1 (i)、C N T 2 3 (i)、C N T 2 5 (i)をハイレベルにしてトランジスタQ 2 1、Q 2 3、Q 2 5をオン状態とする。するとトランジスタQ 2 5を介して節点T p 1に基準電圧V r e fが印加され、トランジスタQ 2 1を介して節点T p 2にも基準電圧V r e fが印加され

10

20

30

40

50

る。

【0032】

またトランジスタQ23を介して駆動トランジスタQ20のドレインに初期化電圧 V_{int} が印加される。ここで、初期化電圧 V_{int} は、基準電圧 V_{ref} から閾値電圧 V_{th} を減じた電圧よりも十分低く設定されている。すなわち、 $V_{int} < V_{ref} - V_{th}$ である。そのため駆動トランジスタQ20のソース電圧、すなわち節点Tp3の電圧もほぼ初期化電圧 V_{int} に等しくなる。これにより第2コンデンサC22の端子間には閾値電圧 V_{th} よりも高い電圧($V_{ref} - V_{int}$)に充電される。

【0033】

さらに初期化電圧 V_{int} は、条件1および条件2から求められるように、低圧側電圧 V_{ss} と電圧 V_{led} との和よりも低い電圧に設定されている。すなわち、 $V_{int} < V_{ss} + V_{led}$ である。これにより、有機EL素子D20に電流は流れず、有機EL素子D20が発光することはない。なお本実施の形態において、初期化期間T1は $1\mu s$ に設定している。

【0034】

(閾値検出期間T2)

時刻 t_2 において制御信号CNT23(i)をローレベルにしてトランジスタQ23をオフ状態とし、制御信号CNT24(i)をハイレベルにしてトランジスタQ24をオン状態とする。すると駆動トランジスタQ20のゲート・ソース間には閾値電圧 V_{th} よりも高い第2コンデンサC22の端子間電圧($V_{ref} - V_{int}$)が印加されているため
20
に駆動トランジスタQ20に電流が流れる。しかし有機EL素子D20のアノードの電圧は基準電圧 V_{ref} から閾値電圧 V_{th} を減じた電圧よりもさらに低く、 $V_{ref} - V_{th} < V_{ss} + V_{led}$ であるので、有機EL素子D20には電流は流れない。そして駆動トランジスタQ20に流れる電流により第2コンデンサC22の電荷が放電され、第2コンデンサC22の端子間電圧が低下しはじめる。しかし第2コンデンサC22の端子間電圧は依然として閾値電圧 V_{th} より高いので駆動トランジスタQ20には電流が減少しつつも流れ続ける。そのため第2コンデンサC22の端子間電圧は徐々に低下し続ける。このようにして第2コンデンサC22の端子間電圧は閾値電圧 V_{th} に漸近する。そして第2コンデンサC22の端子間電圧が閾値電圧 V_{th} に等しくなった時点で駆動トランジスタQ20に電流が流れなくなり、第2コンデンサC22の端子間電圧の低下も止まる。こ
30
のように第2コンデンサC22は、対応する駆動トランジスタQ20の閾値電圧 V_{th} を補正する補正コンデンサである。

【0035】

(書込期間T3)

時刻 t_3 において制御信号CNT25(i)をローレベルにしてトランジスタQ25をオフ状態とし、制御信号CNT24(i)をローレベルにしてトランジスタQ24をオフ状態とする。その後、制御信号CNT22(i)をハイレベルにしてトランジスタQ22をオン状態とする。すると節点Tp1がアナログの画像信号電圧 $V_{sg}(j)$ となり、第1コンデンサC21の端子間は電圧($V_{sg} - V_{ref}$)に充電される。この電圧($V_{sg} - V_{ref}$)を画像信号電圧 V_{sg}' とする。このとき駆動トランジスタQ20には電
40
流が流れないので、第2コンデンサC22の端子間電圧は変化しない。なお本実施の形態において、書込期間T3は $1\mu sec$ に設定している。

【0036】

(発光期間T4)

時刻 t_4 において、制御信号CNT22(i)をローレベルにしてトランジスタQ22をオフ状態とし、制御信号CNT21(i)をローレベルにしてトランジスタQ21をオフ状態とする。これにより節点Tp1~Tp3は一旦フローティング状態となる。そして制御信号CNT24(i)をハイレベルにしてトランジスタQ24をオン状態とする。これにより、駆動トランジスタQ20のゲート・ソース間にはアナログ電圧($V_{sg}' + V_{th}$)が印加されているので、ソース電圧が上昇して、駆動トランジスタQ20のゲート
50

・ソース間電圧に応じた電流が有機EL素子D20に流れる。このときの電流Iは、 $I = K \cdot (V_{GS} - V_{th}) = K \cdot V_{sg}'$ (ただしVGSはゲート・ソース間電圧、Kは定数である。)となり、画像信号に応じた電流が有機EL素子D20に流れることとなる。そして、有機EL素子D20は、ソースドライバ回路12からデータ線を通して供給されるアナログの画像信号電圧に応じて流れる電流により発光する。そのときの発光輝度は、有機EL素子D20に流れる電流に応じた発光輝度となる。

【0037】

以上のようなステップで、有機EL素子D20は、ソースドライバ回路12から入力されるアナログの画像信号電圧に応じた輝度で発光することとなり、RGB毎に発光輝度を制御することにより、カラー表示を行うことができる。また、有機EL素子D20に流す電流を制御して発光輝度を変えることにより、所定の階調の画像表示を行うことができる。

10

【0038】

以上説明したように、EL表示装置においては、画像信号に基づく電圧により有機EL素子に流れる電流が制御され、これにより所定の輝度で発光させることができる。

【0039】

ところで、EL表示装置において、高解像度の画像信号に基づき、低階調から高階調の高品質の画像表示を行うためには、入力されるデジタルの画像信号のビット数に応じたD/Aコンバータを用いてデジタル・アナログ変換を行い、入力される画像信号に応じたアナログ電圧を各画素回路に供給することが必要となる。しかしながら、高いビット数の信号を処理するD/Aコンバータを用いると、その分電気回路のコストが高くなるという課題が発生する。

20

【0040】

そこで、本発明においては、有機EL素子に電流を流す駆動トランジスタを有する画素回路を複数配列したEL表示パネルと、前記画素回路に画像信号に応じた信号および発光させる画素回路を選択する信号を供給するドライバ回路と、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して前記ドライバ回路に信号を供給する画像信号処理回路とを備えたEL表示装置において、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM(MはM<Nを満足する)ビットの階調信号に基づく発光表示を行う第2のサブフレームとに分割し、かつ前記第1のサブフレームの発光期間L1と前記第2のサブフレームの発光期間L2は、L1>L2となるようにドライバ回路を制御するものであり、NビットのD/Aコンバータにより、N+Mビットのデータ量の階調表示を行うことができるものである。

30

【0041】

以下、本発明によるEL表示装置の画像信号処理回路2の構成および動作について、図6、図7を用いて説明する。

【0042】

図6は、NビットのD/Aコンバータとして、8ビットのD/Aコンバータを備えた画像信号処理回路の一例を示すブロック回路図である。

40

【0043】

図6に示すように、入力される10ビットのデジタル画像信号のうち、上位8ビットの信号は第1のガンマ補正手段41に入力され、下位2ビットの信号は第2のガンマ補正手段42に入力される。この第1のガンマ補正手段41および第2のガンマ補正手段42に入力された上位8ビットの信号および下位2ビットの信号は、それぞれ所定のガンマ特性を満足するように補正された後、データラッチ手段43に入力され、一旦データが保持される。ここで、前記第1のガンマ補正手段41、第2のガンマ補正手段42は、入力される画像信号に対して予め設定したガンマ特性になるように信号を補正して出力するものである。

【0044】

50

データラッチ手段 4 3 により保持されたデータは、切替手段 4 4 により画像信号の同期信号に同期させて順次切り替えて 8 ビットの D/A コンバータ 4 5 に入力され、デジタル・アナログ変換されて、EL 表示ユニット 1 のソースドライバ回路に供給される。すなわち、このような構成とすることにより、1 フレームの画像表示期間は、上位の 8 ビットの階調信号に基づく発光表示を行う第 1 のサブフレームと、下位の 2 ビットの階調信号に基づく発光表示を行う第 2 のサブフレームとを有する 2 つのサブフレームに分割されることとなり、この上位 8 ビットの階調信号に基づく発光表示を行う第 1 のサブフレームと、下位 2 ビットの階調信号に基づく発光表示を行う第 2 のサブフレームにより 1 フレームの画像表示が行われる。

【 0 0 4 5 】

10

なお、図 6 において、4 6 は入力される画像信号に基づき動画であるか静止画であるか動き検出を行う動画検出手段であり、入力される画像信号が動画の画像信号であることを検出した場合は、切替手段 4 4 を制御し、上位 8 ビットの第 1 のサブフレーム期間の画像信号のみに基づく発光表示を行い、下位 2 ビットの画像信号の第 2 のサブフレーム期間については、非発光とするように制御するもので、動画擬似輪郭の発生を抑制することができる。また、第 2 のサブフレームは黒表示を行うこととなるため、動画解像度も向上させることができる。

【 0 0 4 6 】

また、図 7 は、1 フレームの画像表示期間において、第 1 のサブフレーム S F 1 と第 2 のサブフレーム S F 2 とに分割した場合の駆動例を示す説明図であり、図 7 の (a) は書込期間のタイミングチャート、図 7 の (b) は発光期間のタイミングチャートである。図 7 (b) において、斜線で示す部分が第 1 のサブフレーム、第 2 のサブフレームそれぞれにおける発光期間である。

20

【 0 0 4 7 】

図 7 に示すように、1 フレームを構成する第 1 のサブフレーム S F 1 と第 2 のサブフレーム S F 2 とにおいて、書込期間は、図 4、図 5 で説明したように、行方向に順次書込み電圧が印加されて書込みが行われる。その後の発光期間においては、図 7 (b) の斜線で示すように、第 1 のサブフレームの発光期間 L 1 に比べ、前記第 2 のサブフレームの発光期間 L 2 は、 $L 1 > L 2$ となるように画素回路のドライバ回路において、スイッチングのタイミングまたは電源供給が制御される。なお、前記第 2 のサブフレームの発光期間 L 2 は、第 1 のサブフレームの発光期間 L 1 の $1 / 50$ 程度とし、第 2 のサブフレームの期間における瞬時に流れる電流を大きくすることにより、ドライバ回路のダイナミックレンジを第 1 のサブフレームと第 2 のサブフレームとで同じ状態として発光駆動を行わせることが可能となる。

30

【 0 0 4 8 】

このように、上位 8 ビットの第 1 のサブフレームの画像信号が入力される第 1 のガンマ補正手段 4 1 と、下位 2 ビットの第 2 のサブフレームの画像信号が入力される第 2 のガンマ補正手段 4 2 と、前記第 1 のガンマ補正手段 4 1 と前記第 2 のガンマ補正手段 4 2 の出力信号を切り替えて 8 ビットの D/A コンバータ 4 5 に入力する切替手段 4 4 とを備えた構成であり、8 ビットの D/A コンバータ 4 5 を用いた構成で、10 ビットの解像度の画像信号 (階調信号) による表示を行うことができる。

40

【 0 0 4 9 】

また、前記第 1 のサブフレームの発光期間 L 1 と前記第 2 のサブフレームの発光期間 L 2 は、 $L 1 > L 2$ となるように制御しており、ドライバ回路の出力偏差を緩和した駆動を実現することができる。

【 0 0 5 0 】

なお、上記実施の形態においては、8 ビットの D/A コンバータを用い、1 フレームを上位 8 ビットの階調信号に基づく発光表示を行う第 1 のサブフレームと、下位 2 ビットの階調信号に基づく発光表示を行う第 2 のサブフレームとの分割して発光表示を行う例を示したが、ビット数は適宜決定すればよく、N ビットの D/A コンバータを用い、上位の N

50

ビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM (Mは $M < N$ を満足する)ビットの階調信号に基づく発光表示を行う第2のサブフレームとに少なくとも分割して発光表示を行えばよい。

【0051】

以上のように本発明は、NビットのD/Aコンバータを備えるとともに入力される画像信号に信号処理を施して表示ユニットのドライバ回路に信号を供給する画像信号処理回路とを備え、1フレームの画像表示期間は、上位のNビットの階調信号に基づく発光表示を行う第1のサブフレームと、下位のM (Mは $M < N$ を満足する)ビットの階調信号に基づく発光表示を行う第2のサブフレームとに少なくとも分割し、かつ前記第1のサブフレームの発光期間 L_1 と前記第2のサブフレームの発光期間 L_2 は、 $L_1 > L_2$ となるようにドライバ回路を制御するものであり、NビットのD/Aコンバータにより、 $N + M$ ビットのデータ量の階調表示を行うことができる。

10

【産業上の利用可能性】

【0052】

以上のように本発明は、低コストのドライバ回路で高品質の画像表示が行えるEL表示装置を実現する上で有用な発明である。

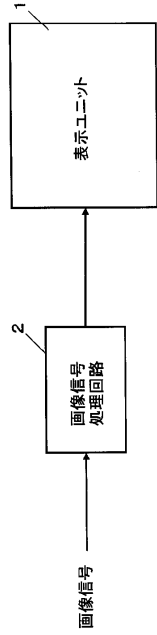
【符号の説明】

【0053】

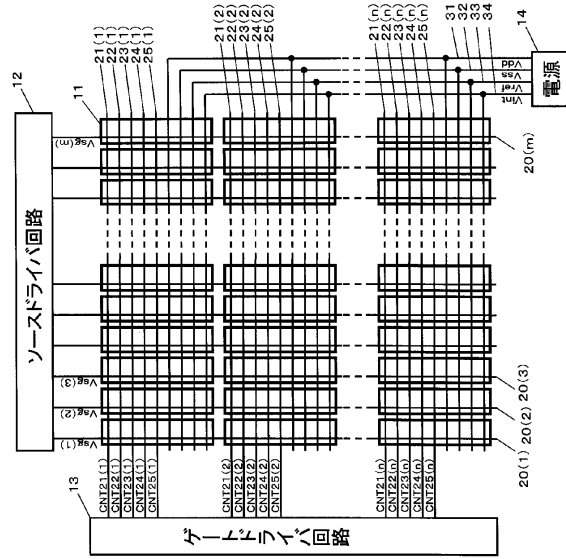
- 1 表示ユニット
- 2 画像信号処理回路
- 11 画素回路
- 12 ソースドライバ回路
- 13 ゲートドライバ回路
- 14 電源回路
- 41 第1のガンマ補正手段
- 42 第2のガンマ補正手段
- 44 切替手段
- 45 D/Aコンバータ
- 46 動画検出手段

20

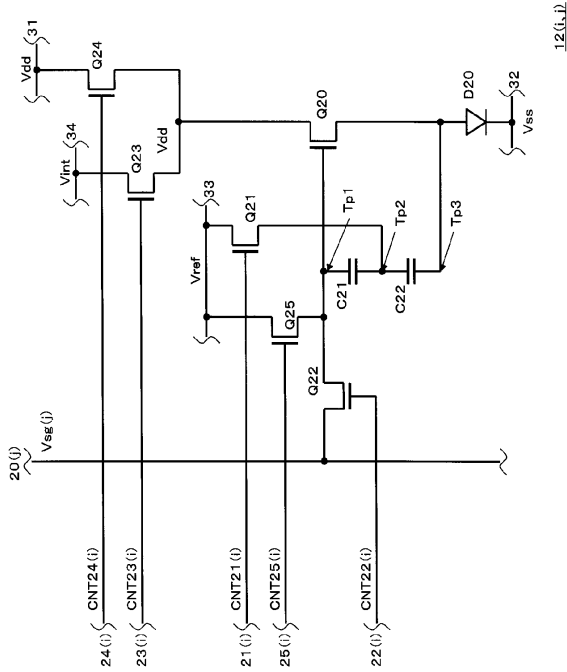
【図1】



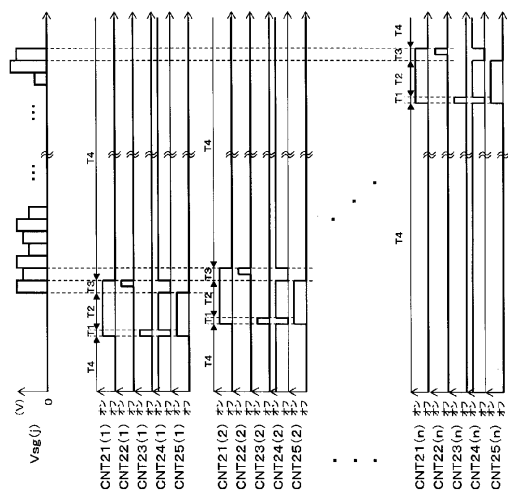
【図2】



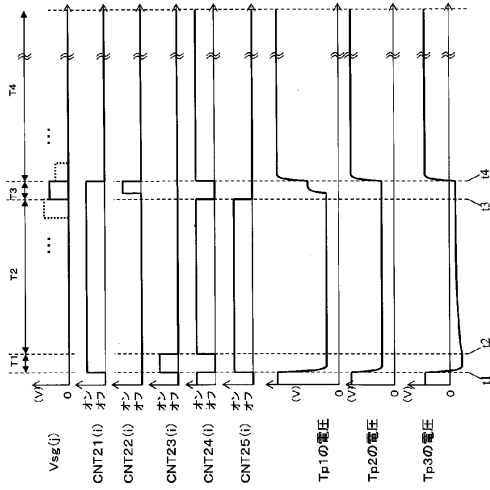
【図3】



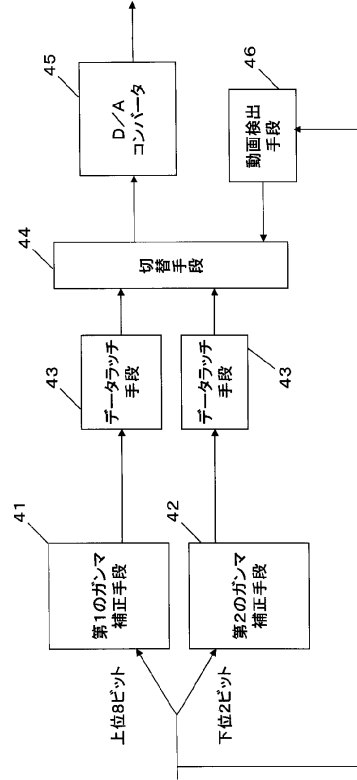
【図4】



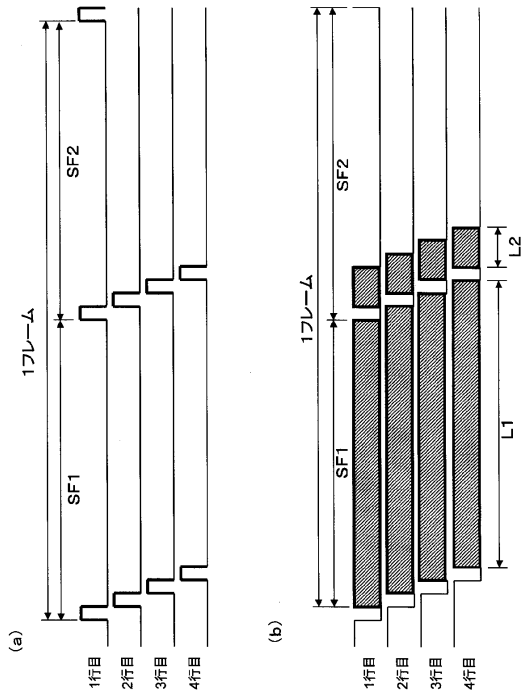
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 6 0 W

(58)調査した分野(Int.Cl. , DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8