

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2014 年 10 月 2 日 (02.10.2014)

W I P O | P C T

(10) 国际公布号
W O 2014/153814 A 1

- (51) 国转利分类号 : G11C 19/28 (2006.01) G09G 3/36 (2006.01)
- (21) 国际申请号 : PCT/CN2013/075595
- (22) 国际申请日 : 2013 年 5 月 14 日 (14.05.2013)
- (25) 中 介 言 : 中文
- (26) 公布语言 : 中文
- (30) 优先权 : 2013 10108269.7 2013 年 3 月 29 日 (29.03.2013) CN
- (71) 申请人 : 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 Beijing 100015 (CN)。
- (72) 发明人 杨飞 (YANG, Fei); 中国北京市经济技术开发区地泽路 9 号 Beijing 100176 (CN)。
- (74) 代理人 : 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 南亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布 :
- 包括国际检索报告(条约第 21 条(3))。



- (54) Title: SHIFT REGISTER UNIT, GRID DRIVING APPARATUS AND DISPLAY APPARATUS
- (54) 发明名称 : 移位寄存单元、栅极驱动装置及显示装置

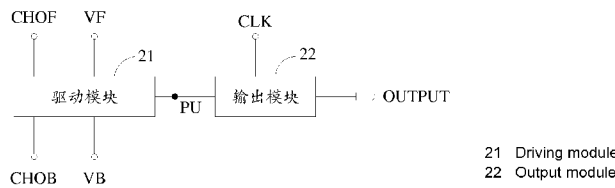


图 2 /Fig. 2

(57) Abstract: A shift register unit, a grid driving apparatus and display apparatus are used to solve a problem in the prior art that a bi-directional scanning function cannot be implemented. The shift register unit comprises: a driving module (21), configured to: during forward-direction scanning, when a forward-direction selection signal (CHOF) is a first level signal or changes from a first level signal to a second level signal, control a signal of a pull-up node (PU) as the first level signal; when a backward-direction selection signal (CHOB) is the first level signal, control the signal of the pull-up node (PU) as the second level signal; and during backward-direction scanning, when the backward-direction selection signal (CHOB) is the first level signal or changes from the first level signal to the second level signal, control a signal of the pull-up node (PU) as the first level signal; when the forward-direction selection signal (CHOF) is the first level signal, control the signal of the pull-up node (PU) as the second level signal; and an output module (22), configured to output a received clock signal (CLK) under control of the signal of the pull-up node (PU).

(57) 摘要 : 一种移位寄存单元、栅极驱动装置及显示装置, 用以解决现有技术无法实现双向扫描的功能的问题。该移位寄存单元包括: 驱动模块 (21), 用于在正向扫描时, 当正向选择信号 (CHOF) 为第一电平信号或由第一电平信号变为第二电平信号时, 控制上拉结点 (PU) 的信号为第一电平信号; 并在反向选择信号 (CHOB) 为第一电平信号时, 控制上拉结点 (PU) 的信号为第二电平信号; 以及在反向扫描时, 当反向选择信号 (CHOB) 为第一电平信号或由第一电平信号变为第二电平信号时, 控制上拉结点 (PU) 的信号为第一电平信号; 并在正向选择信号 (CHOF) 为第一电平信号时, 控制上拉结点 (PU) 的信号为第二电平信号; 输出模块 (22), 用于在上拉结点 (PU) 的信号的控制下将接收到的时钟信号 (CLK) 输出。

2014/153814 A1

移位寄存单元、栅极驱动装置及显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种移位寄存单元、栅极驱动装置及显示装置。

背景技术

液晶显示器 (liquid crystal display, LCD) 或有机发光二极管 (Organic Light-Emitting Diode, OLED) 具有低辐射、体积小及低耗能等优点，已逐渐取代传统的阴极射线管显示器 (cathode ray tube display, CRT)，被广泛地应用在笔记本电脑、个人数字助理 (personal digital assistant, PDA)、平面电视，或移动电话等信息产品上。在传统液晶显示器中，利用液晶面板外部的驱动芯片来驱动液晶面板上的芯片以显示图像，但为了减少元件数目并降低制造成本，近年来逐渐发展成将驱动电路直接制作于液晶面板上，例如采用将栅极驱动电路 (gate driver) 整合于液晶面板 (gate on array, GOA) 的技术。

目前，常用的移位寄存单元如图 1 所示，包括晶体管 T1、晶体管 T2、晶体管 T3，电容 C1 和下拉电路 11；假设图 1 所示的移位寄存单元为第 N 级移位寄存单元，则晶体管 T1 的栅极接收第 N-1 级移位寄存单元的输出信号，晶体管 T1 的源极接收 VDD 信号，晶体管 T1 的漏极连接晶体管 T2 的栅极，晶体管 T2 的源极接收时钟信号 CLK，晶体管 T2 的漏极为第 N 级移位寄存单元的输出端，电容 C1 的一端连接晶体管 T2 的栅极，电容 C1 的另一端连接晶体管 T2 的漏极，晶体管 T3 的源极连接晶体管 T2 的栅极，晶体管 T3 的栅极接收第 N+1 级移位寄存单元的输出信号，晶体管 T3 的漏极接收 VSS 信号，下拉电路分别连接晶体管 T2 的栅极和晶体管 T2 的漏极。

在第 N-1 级移位寄存单元的输出信号使晶体管 T1 导通时，晶体管 T2 的栅极接收到 VDD 信号，晶体管 T2 导通，第 N 级移位寄存单元输出 CLK 信号，此时，第 N+1 级移位寄存单元接收到第 N 级移位寄存单元输出的 CLK 信号并且也输出 CLK 信号，这使晶体管 T3 导通，晶体管 T2 的栅极接收 VSS 信号，晶体管 T2 截止，之后，下拉电路 11 用来使第 N 级移位寄存单元稳定输出电压。

采用这种移位寄存单元的显示装置仅能以特定方向进行扫描，例如依次

扫描第 1 条至第 N 条栅极线，但是，在一些特殊情况下，需要对显示装置显示的画面进行 180° 翻转，采用这种移位寄存单元的显示装置无法实现这一功能。

5 发明内容

本发明实施例提供了一种移位寄存单元、栅极驱动装置及显示装置，用以解决现有的移位寄存单元无法实现双向扫描的功能的问题。

基于上述问题，本发明实施例提供的一种移位寄存单元，包括驱动模块和输出模块；所述驱动模块和所述输出模块相连；其中，所述驱动模块和所述输出模块相连的连接点为上拉结点；

所述驱动模块，用于在正向选择信号为第一电平信号且正向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号，在正向选择信号由第一电平信号变为第二电平信号且正向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号；并在正向扫描信号为第一电平信号且反向选择信号为第一电平信号时，控制上拉结点的信号为第二电平信号；以及在反向选择信号为第一电平信号且反向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号，并在反向选择信号由第一电平信号变为第二电平信号且反向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号；并在反向扫描信号为第一电平信号且正向选择信号为第一电平信号时，控制上拉结点的信号为第二电平信号；

输出模块，用于在上拉结点的信号为第一电平信号时，将接收到的时钟信号从所述移位寄存单元的输出端输出，并在上拉结点的信号为第二电平信号时，控制所述移位寄存单元的输出端停止输出接收到的时钟信号；

所述正向选择信号为所述移位寄存单元的前一级移位寄存单元的输出端输出的信号，所述反向选择信号为所述移位寄存单元的后一级移位寄存单元的输出端输出的信号。

本发明实施例还提供一种栅极驱动装置，所述装置包括 N+2 级本发明实施例提供的移位寄存单元，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号，其中， $n=1, \dots, N, N+1$ ，N 为正整数；除第零级移位寄存单元和第 N+1 级移位寄存单元之外，每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号，并接收自身的后一级移位寄

存单元输出的信号作为反向选择信号；第零级移位寄存单元接收初始触发信号作为正向选择信号，并接收第一级移位寄存单元输出的信号作为反向选择信号；第 $N+1$ 级移位寄存单元接收初始触发信号作为反向选择信号，并接收第 N 级移位寄存单元输出的信号作为正向选择信号。

5 本发明实施例还提供一种栅极驱动装置，所述装置包括 $N+2$ 级本发明实施例提供的移位寄存单元，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号，其中， $n=0, 1, \dots, N, N+1, N$ 为正整数；除第零级移位寄存单元、第一级移位寄存单元、第 N 级移位寄存单元和第 $N+1$ 级移位寄存单元之外，每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号和反向反馈信号，并接收自身的后一级移位寄存单元输出的信号作为反向选择信号和正向反馈信号；第一级移位寄存单元接收初始触发信号作为正向选择信号，并接收第零级移位寄存单元输出的信号作为反向反馈信号，并接收第二级移位寄存单元输出的信号作为反向选择信号和正向反馈信号；第 N 级移位寄存单元接收初始触发信号作为反向选择信号，并接收第 $N+1$ 级移位寄存单元输出的信号作为正向反馈信号，并接收第 $N-1$ 级移位寄存单元输出的信号作为正向选择信号和反向反馈信号；第零级移位寄存单元接收第一级移位寄存单元输出的信号作为反向选择信号，第 $N+1$ 级移位寄存单元接收第 N 级移位寄存单元输出的信号作为正向选择信号。

10 本发明实施例还提供一种显示装置，所述装置包括本发明实施例提供的栅极驱动装置。本发明实施例的有益效果包括：

15 本发明实施例提供的一种移位寄存单元、栅极驱动装置和显示装置，在正向扫描时，即正向扫描信号为第一电平信号，反向扫描信号为第二电平信号，当上拉结点的信号为第一电平信号时，即正向选择信号为第一电平信号时或者正向选择信号由第一电平信号变为第二电平信号时，输出模块将接收到的时钟信号从该包含该输出模块的第 M 级移位寄存单元的输出端输出，即将接收到的时钟信号输出到与该移位寄存单元相连的栅极线上，从而选中该栅极线；并在上拉结点的信号为第二电平信号时，即反向选择信号为第一电平信号时，该移位寄存单元的输出端不再将接收到的时钟信号输出，即不再将接收到的时钟信号输出到与该移位寄存单元相连的栅极线上，即不再选中该栅极线；而第 M 级移位寄存单元的输出端输出的信号作为第 $M+1$ 级移位寄存单元接收到的正向选择信号；第 $M+1$ 级移位寄存单元在接收到的正向选

择信号的控制下选中与第 M+1 级移位寄存单元相连的栅极线，在反向选择信号，即第 M+2 级移位寄存单元的输出端输出的信号的控制下不再选中与第 M+1 级移位寄存单元相连的栅极线，从而实现从与第一级移位寄存单元相连栅极线扫描至与最后一级移位寄存单元相连的栅极线，即实现正向扫描的功能。

5

另一方面，在反向扫描时，即反向扫描信号为第一电平信号，正向扫描信号为第二电平信号，当上拉结点的信号为第一电平信号时，即反向选择信号为第一电平信号时或者反向选择信号由第一电平信号变为第二电平信号时，输出模块将接收到的时钟信号从该包含该输出模块的第 M 级移位寄存单元的输出端输出，即将接收到的时钟信号输出到与该移位寄存单元相连的栅极线上，从而选中该栅极线；并在上拉结点的信号为第二电平信号时，即正向选择信号为第一电平信号时，该移位寄存单元的输出端不再将接收到的时钟信号输出，即不再将接收到的时钟信号输出到与该移位寄存单元相连的栅极线上，即不再选中该栅极线；而第 M 级移位寄存单元的输出端输出的信号作为第 M-1 级移位寄存单元接收到的反向选择信号；第 M-1 级移位寄存单元在接收到的反向选择信号的控制下选中与第 M-1 级移位寄存单元相连的栅极线，在正向选择信号，即第 M-2 级移位寄存单元的输出端输出的信号控制下不再选中与第 M-1 级移位寄存单元相连的栅极线，从而实现从与最后一级移位寄存单元相连栅极线扫描至与第一级移位寄存单元相连的栅极线，即实现反向扫描的功能，从而实现了双向扫描的功能。

10

15

20

附图说明

图 1 为现有技术中的移位寄存单元的结构示意图；

图 2 为本发明实施例提供的移位寄存单元的结构示意图之一；

25

图 3 为本发明实施例提供的移位寄存单元的结构示意图之二；

图 4 为本发明实施例提供的移位寄存单元的结构示意图之三；

图 5 为本发明实施例提供的移位寄存单元的结构示意图之四；

图 6 为本发明实施例提供的移位寄存单元的结构示意图之五；

图 7 为本发明实施例提供的移位寄存单元的结构示意图之六；

30

图 8 为本发明实施例提供的移位寄存单元的结构示意图之七；

图 9 为本发明实施例提供的移位寄存单元的结构示意图之八；

图 10 为本发明实施例提供的移位寄存单元的结构示意图之九；
图 11 为本发明实施例提供的移位寄存单元的结构示意图之十；
图 12 为本发明实施例提供的移位寄存单元的结构示意图之十一；
图 13 为本发明实施例提供的移位寄存单元的结构示意图之十二；
5 图 14 为本发明实施例提供的移位寄存单元的结构示意图之十三；
图 15 为本发明实施例提供的移位寄存单元的结构示意图之十四；
图 16 为本发明实施例提供的移位寄存单元的结构示意图之十五；
图 17 为本发明实施例提供的移位寄存单元正向扫描时的时序图；
图 18 为本发明实施例提供的移位寄存单元反向扫描时的时序图；
10 图 19 为本发明实施例提供的栅极驱动装置的结构示意图之一；
图 20 为本发明实施例提供的栅极驱动装置的结构示意图之二；
图 21 为本发明实施例提供的栅极驱动装置正向扫描时的时序图；
图 22 为本发明实施例提供的栅极驱动装置反向扫描时的时序图。

15 具体实施方式

本发明实施例提供一种移位寄存单元、栅极驱动装置和显示装置，根据移位寄存单元中的驱动模块接收到的正向扫描信号、正向选择信号、反向扫描信号和反向选择信号实现双向扫描的功能。

下面结合说明书附图，对本发明实施例提供的一种移位寄存单元、栅极
20 驱动装置及显示装置的具体实施方式进行说明。

本发明实施例提供一种移位寄存单元，如图 2 所示，包括驱动模块 21 和输出模块 22；驱动模块 21 和输出模块 22 相连；其中，驱动模块 21 和输出模块 22 相连的连接点为上拉结点 PU；

驱动模块 21，用于在正向选择信号 CHOF 为第一电平信号且正向扫描信号 VF 为第一电平信号时，控制上拉结点 PU 的信号为第一电平信号，在正向选择信号 CHOF 由第一电平信号变为第二电平信号且正向扫描信号 VF 为第一电平信号时，控制上拉结点 PU 的信号为第一电平信号；并在反向选择信号 CHOB 为第一电平信号且正向扫描信号 VF 为第一电平信号时，控制上拉结点的信号为第二电平信号；以及在反向选择信号 CHOB 为第一电平信号且
30 反向扫描信号 VB 为第一电平信号时，控制上拉结点 PU 的信号为第一电平信号，并在反向选择信号 CHOB 由第一电平信号变为第二电平信号且反向扫描

信号 VB 为第一电平信号时，控制上拉结点的信号为第一电平信号；并在正向选择信号 CHOF 为第一电平信号且反向扫描信号 VB 为第一电平信号，控制上拉结点的信号为第二电平信号；

5 输出模块，用于在上拉结点 PU 的信号为第一电平信号时，将接收到的时钟信号 CLK 从该移位寄存单元的输出端 OUTPUT 输出，并在上拉结点 PU 的信号为第二电平信号时，控制该移位寄存单元的输出端 OUTPUT 停止输出接收到的时钟信号 CLK；

其中，正向选择信号 CHOF 为该移位寄存单元的前一级移位寄存单元的输出端输出的信号，反向选择信号 CHOB 为该移位寄存单元的后一级移位寄存单元的输出端输出的信号。即，若该移位寄存单元为第 K 级移位寄存单元，10 则第 K 级移位寄存单元接收到的正向选择信号 CHOF 为第 K-1 级移位寄存单元的输出端输出的信号；第 K 级移位寄存单元接收到的反向选择信号 CHOB 为第 K+1 级移位寄存单元的输出端输出的信号。

进一步地，本发明实施例提供的移位寄存单元中的驱动模块，如图 3 所示，15 包括第一晶体管 M1 和第二晶体管 M2；

第一晶体管 M1 的第一极接收正向扫描信号 VF，第一晶体管 M1 的栅极接收正向选择信号 CHOF，第一晶体管 M1 的第二极连接上拉结点 PU；第二晶体管 M2 的第一极接收反向扫描信号 VB，第二晶体管 M2 的栅极接收反向选择信号 CHOB，第二晶体管 M2 的第二极连接上拉结点 PU；

20 第一晶体管 M1 用于在正向选择信号 CHOF 为第一电平信号时导通，使得上拉结点 PU 接收正向扫描信号 VF；并在正向选择信号 CHOF 为第二电平信号时截止，使得上拉结点 PU 不再接收正向扫描信号 VF；

第二晶体管 M2 用于在反向选择信号 CHOB 为第一电平信号时导通，使得上拉结点 PU 接收反向扫描信号 VB；并在反向选择信号 CHOB 为第二电平25 信号时截止，使得上拉结点 PU 不再接收反向扫描信号 VB。

进一步地，本发明实施例提供的移位寄存单元中的输出模块，如图 3 所示，包括第三晶体管 M3 和第一电容 C1；

第三晶体管 M3 的第一极接收时钟信号 CLK，第三晶体管 M3 的栅极连接上拉结点 PU，第三晶体管 M3 的第二极连接该移位寄存单元的输出端30 OUTPUT；第一电容 C1 的一端连接上拉结点 PU，第一电容 C1 的另一端连接第三晶体管 M3 的第二极；

第三晶体管 M3 用于：在上拉结点 PU 的信号为第一电平信号时导通，使得该移位寄存单元的输出端 OUTPUT 输出第三晶体管 M3 的第一极接收到的时钟信号 CLK；并在上拉结点 PU 的信号为第二电平信号时截止，使得该移位寄存单元的输出端 OUTPUT 不再输出接收到的时钟信号 CLK。

5 在正向扫描时，正向扫描信号 VF 为第一电平信号，反向扫描信号 VB 为第二电平信号，当正向选择信号 CHOF 为第一电平信号时，上拉结点 PU 接收到正向扫描信号 VF，此时，上拉结点 PU 的信号为第一电平信号，上拉结点 PU 的信号被第一电容 C1 存储；当正向选择信号 CHOF 由第一电平信号变为第二电平信号时，上拉结点 PU 不再接收正向扫描信号 VF，但是，由于
10 第一电容 C1 的存在，上拉结点 PU 的信号保持第一电平信号。当反向选择信号 CHOB 为第一电平信号时，上拉结点 PU 接收反向扫描信号 VB，由于此时反向扫描信号 VB 为第二电平信号，因此，上拉结点 PU 的信号由第一电平信号变为第二电平信号，当反向选择信号 CHOB 变为第二电平信号时，上拉结点 PU 不再接收反向扫描信号 VB，但是，由于第一电容 C1 的存在，上拉结
15 点 PU 的信号保持第二电平信号。

较佳地，本发明实施例提供的移位寄存单元，如图 4 所示，还包括第一下拉模块 23；第一下拉模块 23 分别连接上拉结点 PU 和移位寄存单元的输出端 OUTPUT，第一下拉模块 23 连接第二电平信号输入端 24；第一下拉模块 23 用于：在接收到的下拉信号 PDS 为第一电平信号且上拉结点 PU 的信号为
20 第二电平信号时，控制上拉结点 PU 和移位寄存单元的输出端 OUTPUT 均连接第二电平信号输入端 24；并在上拉结点 PU 的信号为第一电平信号时，控制上拉结点 PU 和移位寄存单元的输出端 OUTPUT 均与第二电平信号输入端 24 断开。其中，下拉信号 PDS 为正向扫描信号 VF 和反向扫描信号 VB 中的第一电平信号，即正向扫描时下拉信号 PDS 为正向扫描信号 VF，反向扫描
25 时下拉信号 PDS 为反向扫描信号 VB；或者下拉信号 PDS 为时钟信号 CLK。

由于第一下拉模块 23 在接收到的下拉信号 PDS 为第一电平信号且上拉结点 PU 的信号为第二电平信号时，控制移位寄存单元的输出端 OUTPUT 连接第二电平信号输入端 24；也就是说，在移位寄存单元的输出端 OUTPUT 不再将接收到的时钟信号 CLK 输出时，控制移位寄存单元的输出端 OUTPUT
30 连接第二电平信号输入端 24，使得移位寄存单元的输出端输出稳定的信号，即第二电平信号，从而避免在与该移位寄存单元相连的栅极线未被选中的时

间段，该移位寄存单元的输出端 OUTPUT 由于受到时钟信号的影响而产生较大的噪声。

进一步地，如图 5 所示，本发明实施例提供的移位寄存单元中的第一下拉模块包括第一下拉驱动单元 231 和第一下拉单元 232；第一下拉驱动单元 231 分别连接上拉结点 PU、第二电平信号输入端 24 和第一下拉单元 232，第一下拉单元 232 分别连接上拉结点 PU、移位寄存单元的输出端 OUTPUT 和第二电平信号输入端 24；第一下拉驱动单元用于：在接收到的下拉信号 PDS 为第一电平信号且上拉结点 PU 的信号为第二电平信号时，向第一下拉单元 232 输出第一电平信号；并在上拉结点 PU 的信号为第一电平信号时，向第一下拉单元 232 输出第二电平信号；第一下拉单元 232 用于：在接收到第一下拉驱动单元 231 输出的第一电平信号时，将上拉结点 PU 和移位寄存单元的输出端 OUTPUT 分别与第二电平信号输入端 24 接通；并在接收到第一下拉驱动单元 231 输出的第二电平信号时，将上拉结点 PU 和移位寄存单元的输出端 OUTPUT 分别与第二电平信号输入端 24 断开。

进一步地，如图 6 所示，本发明实施例提供的移位寄存单元中的第一下拉单元包括第四晶体管 M4 和第五晶体管 M5；第四晶体管 M4 的第一极连接上拉结点 PU，第四晶体管 M4 的栅极接收第一下拉驱动单元输出的信号，第四晶体管 M4 的第二极连接第二电平信号输入端 24；第五晶体管 M5 的第一极连接移位寄存单元的输出端 OUTPUT，第五晶体管 M5 的栅极接收第一下拉驱动单元输出的信号，第五晶体管 M5 的第二极连接第二电平信号输入端 24；第四晶体管 M4 用于：在接收到第一下拉驱动单元输出的第一电平信号时导通，从而将上拉结点 PU 与第二电平信号输入端 24 相连，并在接收到第一下拉驱动单元输出的第二电平信号时截止，使得上拉结点 PU 与第二电平信号输入端 24 断开；第五晶体管 M5 用于：在接收到第一下拉驱动单元输出的第一电平信号时导通，从而将移位寄存单元的输出端与第二电平信号输入端 24 相连，并在接收到第一下拉驱动单元输出的第二电平信号时截止，以使得移位寄存单元的输出端与第二电平信号输入端 24 断开。

进一步地，如图 6 所示，第一下拉驱动单元包括第六晶体管 M6、第七晶体管 M7 和第八晶体管 M8，第一下拉驱动单元接收到的下拉信号 PDS 为正向扫描信号 VF 和反向扫描信号 VB 中的第一电平信号；第六晶体管 M6 的第一极接收正向扫描信号 VF，第六晶体管 M6 的栅极接收正向扫描信号 VF，

第六晶体管 M6 的第二极向第一下拉单元输出信号，即向第四晶体管 T4 的栅极和第五晶体管 T5 的栅极输出信号；第七晶体管 M7 的第一极接收反向扫描信号 VB，第七晶体管 M7 的栅极接收反向扫描信号 VB，第七晶体管 M7 的第二极连接第六晶体管 M6 的第二极；第八晶体管 M8 的第一极连接第六晶体管 M6 的第二极，第八晶体管 M8 的栅极连接上拉结点 PU，第八晶体管 M8 的第二极连接第二电平信号输入端 24；第六晶体管 M6 用于：在正向扫描信号 VF 为第一电平信号时导通，并在正向扫描信号 VF 为第二电平信号时截止；第七晶体管 M7 用于：在反向扫描信号 VB 为第一电平信号时导通，并在反向扫描信号 VB 为第二电平信号时截止；第八晶体管 M8 用于：在上拉结点 PU 的信号为第一电平信号时导通，并在上拉结点 PU 的信号为第二电平信号时截止。

当移位寄存单元采用图 3 所示的结构时，在与该移位寄存单元相连的栅极线未被选中的时间段内，由于正向选择信号 CHOF 和反向选择信号 CHOB 均为第二电平信号，即第一晶体管 M1 和第二晶体管 M2 均截止，上拉结点 PU 浮空，第一电容 C1 上存储的第二电平信号可以控制第三晶体管 M3 截止，但在这一时间段内，时钟信号 CLK 的第一电平信号会耦合到移位寄存单元的输出端 OUTPUT，从而在移位寄存单元的输出端 OUTPUT 产生噪声。而当移位寄存单元采用图 6 所示的结构时，在与该移位寄存单元相连的栅极线未被选中的时间段内，虽然，第一晶体管 M1 和第二晶体管 M2 均截止，但是由于正向扫描信号 VF 和反向扫描信号 VB 之一为第一电平信号，上拉结点 PU 可以通过第四晶体管 M4 连接第二电平信号输入端 24，从而维持一个稳定的电压信号，并且移位寄存单元的输出端 OUTPUT 也可以通过第五晶体管 M5 连接第二电平信号输入端 24，从而使时钟信号 CLK 的第一电平信号耦合到移位寄存单元的输出端 OUTPUT 的噪声释放到第二电平信号输入端 24，避免这些噪声传递到与该移位寄存单元相连的栅极线上。

进一步地，如图 7 所示，当第一下拉驱动单元接收到的下拉信号 PDS 为时钟信号 CLK 时，第一下拉驱动单元包括第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11；第九晶体管 M9 的第一极接收时钟信号 CLK，第九晶体管 M9 的栅极接收时钟信号 CLK，第九晶体管 M9 的第二极向第一下拉单元输出信号，即向第四晶体管 M4 的栅极和第五晶体管 M5 的栅极输出信号；第十晶体管 M10 的第一极接收时钟信号 CLK，第十晶体管 M10 的栅极连接

第九晶体管 M9 的第二极，第十晶体管 M10 的第二极连接第九晶体管 M9 的第二极；第十一晶体管 M11 的第一极连接第九晶体管 M9 的第二极，第十一晶体管 M11 的栅极连接上拉结点 PU，第十一晶体管 M11 的第二极连接第二电平信号输入端 24；第十一晶体管 M11 用于：在上拉结点 PU 的信号为第一电平信号时导通，使得第四晶体管 M4 的栅极和第五晶体管 M5 的栅极分别与第二电平信号输入端 24 连接，即使得第四晶体管 M4 和第五晶体管 M5 均截止；并在上拉结点 PU 的信号为第二电平信号时截止，以使得第四晶体管 M4 的栅极和第五晶体管 M5 的栅极均与第二电平信号输入端 24 断开，从而在时钟信号 CLK 为第一电平信号时，第四晶体管 M4 和第五晶体管 M5 均能够导通。

当移位寄存单元采用图 6 所示的结构时，在与该移位寄存单元相连的栅极线未被选中的时间段内，虽然第四晶体管 M4 和第五晶体管 M5 均可以导通，从而使上拉结点 PU 保持稳定的电压信号，并将时钟信号 CLK 耦合到移位寄存单元的输出端 OUTPUT 的噪声释放到第二电平信号输入端 24，但是，由于在与该移位寄存单元相连的栅极线未被选中的时间段内，第四晶体管 M4 的栅极和第五晶体管 M5 的栅极一直接收第一电平信号，使得第四晶体管 M4 和第五晶体管 M5 一直保持导通，这样会使得第四晶体管 M4 和第五晶体管 M5 的阈值电压发生偏移，从而影响该移位寄存单元的使用寿命。

然而，当移位寄存单元采用图 7 所示的结构时，在与该移位寄存单元相连的栅极线未被选中的时间段内，只有时钟信号 CLK 为第一电平信号时，第四晶体管 M4 的栅极和第五晶体管 M5 的栅极才能够接收到第一电平信号，第四晶体管 M4 和第五晶体管 M5 才能够导通，此时，第四晶体管 M4 可以使上拉结点 PU 的信号保持第二电平信号，第五晶体管 M5 可以将时钟信号 CLK 的第一电平信号耦合到移位寄存单元的输出端 OUTPUT 的噪声释放到第二电平信号输入端；而在时钟信号 CLK 为第二电平信号时，第四晶体管 M4 的栅极和第五晶体管 M5 的栅极接收第二电平信号，第四晶体管 M4 和第五晶体管 M5 截止，此时，由于移位寄存单元的输出端输出的是第二电平信号，因此时钟信号 CLK 的第二电平信号不会影响移位寄存单元的输出端输出的信号。因此，移位寄存单元采用图 7 所示的结构时，第四晶体管 M4 和第五晶体管 M5 不会长时间保持导通，克服了长时间导通导致的晶体管的阈值电压偏移的问题，延长了移位寄存单元的使用寿命。

进一步地，如图 8 所示，本发明实施例提供的移位寄存单元还包括第二下拉模块 25，第二下拉模块 25 分别连接上拉结点 PU 和第二电平信号输入端 24；第二下拉模块 25 用于：在反向扫描信号 VB 为第二电平信号且正向反馈信号 FBF 为第一电平信号时，控制上拉结点 PU 连接第二电平信号输入端 24；
5 并在反向扫描信号 VB 为第一电平信号时，控制上拉结点 PU 不再与第二电平信号输入端 24 连接，以及在反向扫描信号 VB 为第二电平信号且正向反馈信号 FBF 为第二电平信号时，控制上拉结点 PU 不再与第二电平信号输入端 24 连接；其中，正向反馈信号 FBF 为该移位寄存单元的后一级移位寄存单元的
10 输出端输出的信号，若该移位寄存单元为第 M 级移位寄存单元，该移位寄存单元接收到的正向反馈信号 FBF 为第 M+1 级移位寄存单元的输出端输出的信号。

进一步地，如图 8 所示，本发明实施中提供的移位寄存单元还包括第三下拉模块 26；第三下拉模块 26 分别连接上拉结点 PU 和第二电平信号输入端 24；第三下拉模块 26 用于：在正向扫描信号 VF 为第二电平信号且反向反馈
15 信号 FBB 为第一电平信号时，控制上拉结点 PU 连接第二电平信号输入端 24；并在正向扫描信号 VF 为第一电平信号时，控制上拉结点 PU 不再与第二电平信号输入端 24 相连，以及在正向扫描信号 VF 为第二电平信号且反向反馈信号 FBB 为第二电平信号时，控制上拉结点 PU 不再与第二电平信号输入端 24
20 相连；其中，反向反馈信号为所述移位寄存单元的前一级移位寄存单元的输出端输出的信号，若该移位寄存单元为第 M 级移位寄存单元，该移位寄存单元接收到的反向反馈信号 FBB 为第 M-1 级移位寄存单元的输出端输出的信号。

其中，本发明实施例提供的移位寄存单元可以仅包含第二下拉模块，也可以仅包含第三下拉模块，还可以既包含第二下拉模块又包含第三下拉模块。

25 当本发明实施例提供的移位寄存单元既包含第二下拉模块又包含第三下拉模块时，本发明实施例提供的移位寄存单元可以采用图 9 或者图 10 所示的结构。在图 9 或者图 10 中，第二下拉模块包括第十二晶体管 M12、第十三晶体管 M13、第十四晶体管 M14 和第十五晶体管 M15；第十二晶体管 M12 的第一极接收正向反馈信号 FBF，第十二晶体管 M12 的栅极接收正向反馈信号
30 FBF，第十二晶体管 M12 的第二极连接第十四晶体管 M14 的第一极；第十三晶体管 M13 的第一极接收正向反馈信号 FBF，第十三晶体管 M13 的栅极连

接第十四晶体管 M14 的第一极，第十三晶体管 M13 的第二极连接第十四晶体管 M14 的第一极；第十四晶体管 M14 的栅极接收反向扫描信号 VB，第十四晶体管 M14 的第二极连接第二电平信号输入端 24；第十五晶体管 M15 的第一极连接上拉结点 PU，第十五晶体管 M15 的栅极连接第十四晶体管 M14 的第一极，第十五晶体管 M15 的第二极连接第二电平信号输入端 24；第十四晶体管 M14 用于：在接收到的反向扫描信号 VB 为第一电平信号时导通，以使得第十五晶体管 M15 截止，上拉结点 PU 不能通过第十五晶体管 M15 连接第二电平信号输入端 24；并在接收到的反向扫描信号 VB 为第二电平信号时截止，以使得在正向反馈信号 FBF 为第一电平信号时第十五晶体管 M15 导通，从而使上拉结点 PU 通过第十五晶体管 M15 连接第二电平信号输入端 24；第十五晶体管 M15 用于：在第十四晶体管 M14 的第一极的信号为第二电平信号时截止，并在第十四晶体管 M14 的第一极的信号为第一电平信号时导通。

在如图 9 或者图 10 所示的移位寄存单元中，第三下拉模块包括第十六晶体管 M16、第十七晶体管 M17、第十八晶体管 M18 和第十九晶体管 M19；第十六晶体管 M16 的第一极接收反向反馈信号 FBB，第十六晶体管 M16 的栅极接收反向反馈信号 FBB，第十六晶体管 M16 的第二极连接第十八晶体管 M18 的第一极；第十七晶体管 M17 的第一极接收反向反馈信号 FBB，第十七晶体管 M17 的栅极连接第十八晶体管 M18 的第一极，第十七晶体管 M17 的第二极连接第十八晶体管 M18 的第一极；第十八晶体管 M18 的栅极接收正向扫描信号 VF，第十八晶体管 M18 的第二极连接第二电平信号输入端 24；第十九晶体管 M19 的第一极连接上拉结点 PU，第十九晶体管 M19 的栅极连接第十八晶体管 M18 的第一极，第十九晶体管 M19 的第二极连接第二电平信号输入端 24；第十八晶体管 M18 用于：在接收到的正向扫描信号 VF 为第一电平信号时导通，以使得第十九晶体管 M19 截止，上拉结点 PU 不能通过第十九晶体管 M19 连接第二电平信号输入端；并在接收到的正向扫描信号 VF 为第二电平信号时截止，以使得在反向反馈信号 FBB 为第一电平信号时第十九晶体管 M19 导通，从而使上拉结点 PU 通过第十九晶体管 M19 连接第二电平信号输入端 24；第十九晶体管 M19 用于：在第十八晶体管 M18 的第一极的信号为第二电平信号时截止，并在第十八晶体管 M18 的第一极的信号为第一电平信号时导通。

进一步地，本发明实施例提供的移位寄存单元还包括复位模块。其中，

本发明实施例提供的移位寄存单元可以包含下列三个模块中的至少一个模块：第二下拉模块、第三下拉模块、复位模块。图 11 所示的移位寄存单元中仅包含复位模块。图 12 所示的移位寄存单元中包含第二下拉模块、第三下拉模块和复位模块。图 11 或者图 12 中的复位模块 27，分别连接移位寄存单元的输
5 出端 OUTPUT 和第二电平信号输入端 24；复位模块 27 用于：在接收到的复位信号 RST 为第一电平信号时将移位寄存单元的输 出端 OUTPUT 与第二电平信号输入端 24 接通，并在接收到的复位信号 RST 为第二电平信号时，不再将移位寄存单元的输 出端 OUTPUT 与第二电压信号输入端 24 接通。

当本发明实施例提供的移位寄存单元中仅包括复位模块时，本发明实施
10 例提供的移位寄存单元可以采用图 13 或者图 14 所示的结构。当本发明实施
例提供的移位寄存单元中包含第二下拉模块、第三下拉模块和复位模块时，
本发明实施例提供的移位寄存单元可以采用图 15 或者图 16 所示的结构。

在图 13、图 14、图 15 和图 16 任一图所示的移位寄存单元中，复位模块
15 包括第二十晶体管 M20；第二十晶体管 M20 的第一极连接移位寄存单元的输
出端 OUTPUT，第二十晶体管 M20 的栅极接收复位信号 RST，第二十晶体管
M20 的第二极连接第二电平信号输入端 24；第二十晶体管 M20 用于：在接
收到的复位信号 RST 为第一电平信号时导通，以使得移位寄存单元的输 出端
OUTPUT 与第二电平信号输入端 24 相连；并在接收到的复位信号 RST 为第
20 二电平信号时截止，以使得移位寄存单元的输 出端 OUTPUT 不再通过第二十
晶体管 M20 与第二电平信号输入端 24 相连。

对于液晶显示领域或者 OLED 领域的晶体管来说，漏极和源极没有明确
的区别，因此本发明实施例中所提到的晶体管的第一极可以为晶体管的源极
(或漏极)，晶体管的第二极可以为晶体管的漏极(或源极)。如果晶体管的
源极为第一极，那么该晶体管的漏极为第二极；如果晶体管的漏极为第一极，
25 那么晶体管的源极为第二极。

若本发明实施例中提到的晶体管为 N 型晶体管，那么第一电平信号为高
电平信号，第二电平信号为低电平信号，第二电平信号输入端为低电平信号
输入端；若本发明实施例中提到的晶体管为 P 型晶体管，那么第一电平信号
为低电平信号，第二电平信号为高电平信号，第二电平信号输入端为高电
30 平信号输入端。

为了进一步说明本发明实施例提供的移位寄存单元，下面以本发明实施

例中提到的晶体管为 N 型晶体管为例，并结合图 17 和图 18 所示的时序图说明本发明实施例提供的移位寄存单元的工作原理，其中，图 17 为正向扫描时移位寄存单元的工作时序图，图 18 为反向扫描时移位寄存单元的工作时序图。

5 如图 17 所示，正向扫描时，正向扫描信号 VF 为高电平信号，反向扫描信号 VB 为低电平信号，以第 k 级移位寄存单元为例，假设第 k 级移位寄存单元将第一时钟信号 CLK1 作为接收到的时钟信号 CLK，本发明实施例提供的移位寄存单元（图 13、图 14、图 15 和图 16）的工作时序包含 5 个阶段。

第 1 阶段，第 k-1 级移位寄存单元输出高电平信号，即正向选择信号
10 CHOF 为高电平信号，第一晶体管 M1 导通，上拉结点 PU 接收到正向扫描信号 VF，因此，上拉结点 PU 的信号为高电平信号，第三晶体管 M3 导通，第一时钟信号 CLK1 从移位寄存单元的输出端 OUTPUT 输出，此时，由于第一时钟信号 CLK1 为低电平信号，因此，第 k 级移位寄存单元输出的信号 OUT (k) 为低电平信号。

15 第 2 阶段，第 k-1 级移位寄存单元输出低电平信号，即正向选择信号 CHOF 为低电平信号，第一晶体管 M1 截止，上拉结点 PU 浮空，但是由于第一电容 C1 的存储作用，因此，上拉结点 PU 的信号保持第一电平信号，第三晶体管 M3 保持导通，此时，由于第一时钟信号 CLK1 为高电平信号，因此，第 k 级移位寄存单元输出的信号 OUT (k) 为高电平信号，并且上拉结点 PU
20 的信号的电平再次升高，并且第 k 级移位寄存单元输出的信号 OUT (k) 作为第 k+1 级移位寄存单元的正向选择信号 CHOF，因此，此时第 k+1 级移位寄存单元也会将接收到的第二时钟信号 CLK2 从第 k+1 级移位寄存单元的输出端输出。

第 3 阶段，第 k-1 级移位寄存单元输出低电平信号，即正向选择信号
25 CHOF 为低电平信号，第一晶体管 M1 截止，但是，此时，第二时钟信号 CLK2 为高电平信号，且第 k+1 级移位寄存单元会将接收到的第二时钟信号 CLK2 从第 k+1 级移位寄存单元的输出端输出，因此，反向选择信号 CHOB 为高电平信号，因此，第二晶体管 M2 导通，上拉结点 PU 接收反向扫描信号 VB，由于反向扫描信号 VB 为低电平信号，因此上拉结点 PU 的信号为低电平信号。
30 并且在图 15 和图 16 所示的移位寄存单元中，由于反向扫描信号 VB 为低电平信号，因此，第十四晶体管 M14 截止，而由于正向反馈信号 FBF（图 17

中未示出)为高电平信号,因此,第十四晶体管 M14 的第一极的信号为高电平信号,因此,第十五晶体管 M15 导通,上拉结点 PU 与第二电压信号输入端 24,即低电平信号输入端相连,因此,上拉结点 PU 的信号为低电平信号。

第 4 阶段,由于上拉结点 PU 为低电平信号,因此,图 13 和图 15 中所
5 示的移位寄存单元中,第八晶体管 M8 截止,由于正向扫描信号 VF 为高电平
信号,因此,第六晶体管 M6 导通,第八晶体管 M8 的第一极接收正向扫描
信号 VF,第八晶体管 M8 的第一极的信号为高电平信号,因此,第四晶体管
M4 和第五晶体管 M5 均导通,上拉结点 PU 和第 k 级移位寄存单元的输
10 出端 OUTPUT 分别与第二电压信号输入端 24,即低电平信号输入端相连。图 14
和图 16 中所示的移位寄存单元中,第十一晶体管 M11 截止,第十一晶体管
M11 的第一极接收第一时钟信号 CLK1,当第一时钟信号 CLK1 为高电平信
号时,第十一晶体管 M11 的第一极的信号为高电平信号,因此,第四晶体管
M4 和第五晶体管 M5 均导通,上拉结点 PU 和第 k 级移位寄存单元的输
15 出端 OUTPUT 分别与第二电压信号输入端 24,即低电平信号输入端相连。因此,
在第 4 阶段,第 k 级移位寄存单元的输 出端 OUTPUT 输出低电平信号。

第 5 阶段,复位信号 RST 为高电平信号,因此,第二十晶体管 M20 导
通,第 k 级移位寄存单元的输 出端 OUTPUT 与第二电压信号输入端 24,即低
电平信号输入端相连,第 k 级移位寄存单元的输 出端 OUTPUT 输出低电平信
号。

20 之后,当复位信号 RST 为高电平信号时,移位寄存单元保持在第 5 阶段,
当复位信号 RST 为低电平信号时,移位寄存单元保持在第 4 阶段,直至本发
明实施例提供的移位寄存单元接收到的正向选择信号 CHOF 为高电平信号时
再重新执行第 1 阶段。

如图 18 所示,反向扫描时,反向扫描信号 VB 为高电平信号,正向扫描
25 信号 VF 为低电平信号,以第 k 级移位寄存单元为例,假设第 k 级移位寄
存单元将第一时钟信号 CLK1 作为接收到的时钟信号 CLK,本发明实施例提供
的移位寄存单元(图 13、图 14、图 15 和图 16)的工作时序包含 5 个阶段。

第 1 阶段,第 k+1 级移位寄存单元输出高电平信号,即反向选择信号
30 CHOB 为高电平信号,第二晶体管 M2 导通,上拉结点 PU 接收到反向扫描信
号 VB,因此,上拉结点 PU 的信号为高电平信号,第三晶体管 M3 导通,第
一时钟信号 CLK1 从移位寄存单元的输 出端 OUTPUT 输出,此时,由于第一

时钟信号 CLK1 为低电平信号，因此，第 k 级移位寄存单元输出的信号 OUT (k) 为低电平信号。

第 2 阶段，第 k+1 级移位寄存单元输出低电平信号，即反向选择信号 CHOB 为低电平信号，第二晶体管 M2 截止，上拉结点 PU 浮空，但是由于第一电容 C1 的存储作用，因此，上拉结点 PU 的信号保持高电平信号，第三晶体管 M3 保持导通，此时，由于第一时钟信号 CLK1 为高电平信号，因此，第 k 级移位寄存单元输出的信号 OUT (k) 为高电平信号，并且上拉结点 PU 的信号的电平再次升高，并且第 k 级移位寄存单元输出的信号 OUT (k) 作为第 k-1 级移位寄存单元的反向选择信号 CHOB，因此，此时第 k-1 级移位寄存单元也会将接收到的第零时钟信号 CLK0 从第 k-1 级移位寄存单元的输

5
10

第 3 阶段，第 k+1 级移位寄存单元输出低电平信号，即反向选择信号 CHOB 为低电平信号，第二晶体管 M2 截止，但是，此时，第零时钟信号 CLK0 为高电平信号，且第 k-1 级移位寄存单元会将接收到的第零时钟信号 CLK0 从第 k-1 级移位寄存单元的输

15
20

端输出，因此，正向选择信号 CHOF 为高电平信号，因此，第一晶体管 M1 导通，上拉结点 PU 接收正向扫描信号 VF，由于正向扫描信号 VF 为低电平信号，因此上拉结点 PU 的信号为低电平信号。并且在图 15 和图 16 所示的移位寄存单元中，由于正向扫描信号 VF 为低电平信号，因此，第十八晶体管 M18 截止，而由于反向反馈信号 FBB (图 18 中未示出) 为高电平信号，因此，第十八晶体管 M18 的第一极的信号为高电平信号，因此，第十九晶体管 M19 导通，上拉结点 PU 与第二电压信号输入端 24，即低电平信号输入端相连，因此，上拉结点 PU 的信号为低电平信号。

第 4 阶段，由于上拉结点 PU 为低电平信号，因此，图 13 和图 15 中所示的移位寄存单元中，第八晶体管 M8 截止，由于反向扫描信号 VB 为高电平信号，因此，第七晶体管 M7 导通，第八晶体管 M8 的第一极接收反向扫描信号 VB，第八晶体管 M8 的第一极的信号为高电平信号，因此，第四晶体管 M4 和第五晶体管 M5 均导通，上拉结点 PU 和第 k 级移位寄存单元的输

25
30

端 OUTPUT 分别与第二电压信号输入端 24，即低电平信号输入端相连。图 14 和图 16 中所示的移位寄存单元中，第十一晶体管 M11 截止，第十一晶体管 M11 的第一极接收第一时钟信号 CLK1，当第一时钟信号 CLK1 为高电平信号时，第十一晶体管 M11 的第一极的信号为高电平信号，因此，第四晶体

管 M4 和第五晶体管 M5 均导通 ,上拉结点 PU 和第 k 级移位寄存单元的输出端 OUTPUT 分别与第二电压信号输入端 24, 即低电平信号输入端相连。因此 , 在第 4 阶段 , 第 k 级移位寄存单元的输出端 OUTPUT 输出低电平信号。

第 5 阶段 , 复位信号 RST 为高电平信号 , 因此 , 第二十晶体管 M20 导通 , 第 k 级移位寄存单元的输出端 OUTPUT 与第二电压信号输入端 24, 即低电平信号输入端相连 , 第 k 级移位寄存单元的输出端 OUTPUT 输出低电平信号。

之后 , 当复位信号 RST 为高电平信号时 , 移位寄存单元保持在第 5 阶段 , 当复位信号 RST 为低电平信号时 , 移位寄存单元保持在第 4 阶段 , 直至本发明实施例提供的移位寄存单元接收到的反向选择信号 CHOB 为高电平信号时再重新执行第 1 阶段。

P 型晶体管与 N 型晶体管的区别仅在于 : P 型晶体管在栅极接收到的信号为低电平信号时导通 , 而在栅极接收到的信号为高电平信号时截止 ; N 型晶体管在栅极接收到的信号为高电平信号时导通 , 而在栅极接收到的信号为低电平信号时截止。因此 , 包含的晶体管均为 P 型晶体管的移位寄存单元与包含的晶体管均为 N 型晶体管的移位寄存单元的工作原理类似 , 在此不再赘述。

本发明实施例还提供一种栅极驱动装置 , 如图 19 所示 , 该装置包括 N+2 级本发明实施例提供的移位寄存单元 , 第 n 级移位寄存单元将第 $\text{mod} (n/4)$ 时钟信号作为接收到的时钟信号 CLK, 其中 , $\eta=0, 1, \dots, N, N+1$, N 为正整数 ; 由于 $\text{mod} (n/4)$ 的值为 0, 1, 2, 3 中的一个 , 因此 , 当 $n=1$ 时 , 第一级移位寄存单元将第一时钟信号 CLK1 作为接收到的时钟信号 CLK, 当 $n=2$ 时 , 第二级移位寄存单元将第二时钟信号 CLK2 作为接收到的时钟信号 CLK, 当 $n=3$ 时 , 第三级移位寄存单元将第三时钟信号 CLK3 作为接收到的时钟信号 CLK, 当 $n=4$ 时 , 第四级移位寄存单元将第零时钟信号 CLK0 作为接收到的时钟信号 CLK, 以此类推 , 第 n 级移位寄存单元将第 $\text{mod} (n/4)$ 时钟信号作为接收到的时钟信号 CLK。除第零级移位寄存单元和第 N+1 级移位寄存单元之外 , 每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号 , 并接收自身的后一级移位寄存单元输出的信号作为反向选择信号 ; 即第 n 级移位寄存单元接收第 n-1 级移位寄存单元输出的信号 OUT (n-1) 作为正向选择信号 CHOF, 第 n 级移位寄存单元接收第 n+1 级移位寄

存单元输出的信号 $OUT(n+1)$ 作为反向选择信号 $CHOB$ 。第零级移位寄存单元接收初始触发信号 STV 作为正向选择信号 $CHOF$ ，并接收第一级移位寄存单元输出的信号 $OUT(1)$ 作为反向选择信号 $CHOB$ ；第 $N+1$ 级移位寄存单元接收初始触发信号 STV 作为反向选择信号 $CHOB$ ，第 $N+1$ 级移位寄存单元接收第 N 级移位寄存单元输出的信号 $OUT(N)$ 作为正向选择信号 $CHOF$ 。

本发明实施例还提供一种栅极驱动装置，如图 20 所示，该装置包括 $N+2$ 级本发明实施例提供的移位寄存单元，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号，其中， $n=0, 1, \dots, N, N+1, N$ 为正整数；由于 $\text{mod}(n/4)$ 的值为 0, 1, 2, 3 中的一个，因此，当 $n=0$ 时，第零级移位寄存单元将第零时钟信号 CLK_0 作为接收到的时钟信号 CLK ，当 $n=1$ 时，第一级移位寄存单元将第一时钟信号 CLK_1 作为接收到的时钟信号 CLK ，当 $n=2$ 时，第二级移位寄存单元将第二时钟信号 CLK_2 作为接收到的时钟信号 CLK ，当 $n=3$ 时，第三级移位寄存单元将第三时钟信号 CLK_3 作为接收到的时钟信号 CLK ，当 $n=4$ 时，第四级移位寄存单元将第零时钟信号 CLK_0 作为接收到的时钟信号 CLK ，以此类推，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号 CLK 。除第零级移位寄存单元、第一级移位寄存单元、第 N 级移位寄存单元和第 $N+1$ 级移位寄存单元之外，每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号和反向反馈信号，并接收自身的后一级移位寄存单元输出的信号作为反向选择信号和正向反馈信号；即第 n 级移位寄存单元接收第 $n-1$ 级移位寄存单元输出的信号 $OUT(n-1)$ 作为正向选择信号 $CHOF$ 和反向反馈信号 FBB ，第 n 级移位寄存单元接收第 $n+1$ 级移位寄存单元输出的信号 $OUT(n+1)$ 作为反向选择信号 $CHOB$ 和正向反馈信号 FBF 。第一级移位寄存单元接收初始触发信号 STV 作为正向选择信号 $CHOF$ ，并接收第零级移位寄存单元输出的信号 $OUT(0)$ 作为反向反馈信号 FBB ，并接收第二级移位寄存单元输出的信号 $OUT(2)$ 作为反向选择信号 $CHOB$ 和正向反馈信号 FBF ；第 N 级移位寄存单元接收初始触发信号 STV 作为反向选择信号 $CHOB$ ，并接收第 $N+1$ 级移位寄存单元输出的信号 $OUT(N+1)$ 作为正向反馈信号 FBF ，并接收第 $N-1$ 级移位寄存单元输出的信号 $OUT(N-1)$ 作为正向选择信号 $CHOF$ 和反向反馈信号 FBB ；第零级移位寄存单元接收第一级移位寄存单元输出的信号 $OUT(1)$ 作为反向选择信号 $CHOB$ ，第 $N+1$ 级移位寄存单元接收第 N 级移位寄存单元输

出的信号 OUT (N) 作为正向选择信号 CHOF 。

图 21 为本发明实施例提供的栅极驱动装置正向扫描时的时序图。

当采用图 19 所示的栅极驱动装置时 ,假设第 n 级移位寄存单元将第三时钟信号 CLK3 作为接收到的时钟信号。当栅极驱动装置正向扫描时 ,正向扫描信号 VF 为高电平信号 ,反向扫描信号 VB 为低电平信号 ,初始触发信号 STV 在每一帧开始时向第一级移位寄存单元提供正向选择信号 CHOF, 当第一时钟信号 CLK1 为高电平信号时 ,第一级移位寄存单元输出高电平信号 ,即 OUT (1) 为高电平信号 ,OUT (1) 同时作为第二级移位寄存单元的正向选择信号 CHOF。第 n-2 级移位寄存单元输出的信号 OUT (n-2) 作为第 n-1 级移位寄存单元的正向选择信号 CHOF, 当 OUT (n-2) 为高电平信号时 ,第 n-1 级移位寄存单元将第二时钟信号 CLK2 输出 ,此时 ,第 n-1 级移位寄存单元输出的信号 OUT (n-1) 为第二时钟信号 CLK2, 由于第 n-1 级移位寄存单元输出的信号 OUT (n-1) 为第 n 级移位寄存单元的正向选择信号 CHOF, 即此时第 n 级移位寄存单元的正向选择信号 CHOF 为第二时钟信号 CLK2, 当第二时钟信号 CLK2 为高电平信号时 ,第 n-2 级移位寄存单元不再将接收到的第一时钟信号 CLK1 输出 ,第 n 级移位寄存单元将接收到的第三时钟信号 CLK3 输出 ,此时 ,OUT (n) 为第三时钟信号 CLK3 , 由于第 n 级移位寄存单元输出的信号 OUT (n) 为第 n+1 级移位寄存单元的正向选择信号 CHOF, 即此时第 n+1 级移位寄存单元的正向选择信号 CHOF 为第三时钟信号 CLK3 , 当第三时钟信号 CLK3 为高电平信号时 ,第 n-1 级移位寄存单元不再将接收到的第二时钟信号 CLK2 输出 ,第 n+1 级移位寄存单元将接收到的第零时钟信号 CLK0 输出。

当采用图 20 所示的栅极驱动装置时 ,假设第 n 级移位寄存单元将第三时钟信号 CLK3 作为接收到的时钟信号。当栅极驱动装置正向扫描时 ,正向扫描信号 VF 为高电平信号 ,反向扫描信号 VB 为低电平信号 ,初始触发信号 STV 在每一帧开始时向第一级移位寄存单元提供正向选择信号 CHOF, 当第一时钟信号 CLK1 为高电平信号时 ,第一级移位寄存单元输出高电平信号 ,即 OUT (1) 为高电平信号 ,OUT (1) 同时作为第二级移位寄存单元的正向选择信号 CHOF。第 n-2 级移位寄存单元输出的信号 OUT (n-2) 作为第 n-1 级移位寄存单元的正向选择信号 CHOF, 当 OUT (n-2) 为高电平信号时 ,第 n-1 级移位寄存单元将第二时钟信号 CLK2 输出 ,此时 ,第 n-1 级移位寄存单

元输出的信号 $OUT(n-1)$ 为第二时钟信号 $CLK2$ ，由于第 $n-1$ 级移位寄存单元输出的信号 $OUT(n-1)$ 为第 n 级移位寄存单元的正向选择信号 $CHOF$ 和第 $n-2$ 级移位寄存单元的正向反馈信号 FBF ，即此时第 $n-2$ 级移位寄存单元的正向反馈信号 FBF 和第 n 级移位寄存单元的正向选择信号 $CHOF$ 为均第二时钟信号 $CLK2$ ，当第二时钟信号 $CLK2$ 为高电平信号时，第 $n-2$ 级移位寄存单元不再将接收到的第一时钟信号 $CLK1$ 输出，第 n 级移位寄存单元将接收到的第三时钟信号 $CLK3$ 输出，此时， $OUT(n)$ 为第三时钟信号 $CLK3$ ，由于第 n 级移位寄存单元输出的信号 $OUT(n)$ 为第 $n+1$ 级移位寄存单元的正向选择信号 $CHOF$ 和第 $n-1$ 级移位寄存单元的正向反馈信号 FBF ，即此时第 $n+1$ 级移位寄存单元的正向选择信号 $CHOF$ 和第 $n-1$ 级移位寄存单元的正向反馈信号 FBF 均为第三时钟信号 $CLK3$ ，当第三时钟信号 $CLK3$ 为高电平信号时，第 $n-1$ 级移位寄存单元不再将接收到的第二时钟信号 $CLK2$ 输出，第 $n+1$ 级移位寄存单元将接收到的第零时钟信号 $CLK0$ 输出。

图 22 为本发明实施例提供的栅极驱动装置反向扫描时的时序图。

当采用图 19 所示的栅极驱动装置时，假设第 n 级移位寄存单元将第三时钟信号 $CLK3$ 作为接收到的时钟信号。当栅极驱动装置反向扫描时，正向扫描信号 VF 为低电平信号，反向扫描信号 VB 为高电平信号，初始触发信号 STV 在每一帧开始时向第 N 级移位寄存单元提供反向选择信号 $CHOB$ ，当第 $\text{mod}(N/4)$ 时钟信号为高电平信号时，第 N 级移位寄存单元输出高电平信号，即 $OUT(N)$ 为高电平信号， $OUT(N)$ 同时作为第 $N-1$ 级移位寄存单元的反向选择信号 $CHOB$ 。第 $n+1$ 级移位寄存单元输出的信号 $OUT(n+1)$ 作为第 n 级移位寄存单元的反向选择信号 $CHOB$ ，当 $OUT(n+1)$ 为高电平信号时，第 n 级移位寄存单元将第三时钟信号 $CLK3$ 输出，此时，第 n 级移位寄存单元输出的信号 $OUT(n)$ 为第三时钟信号 $CLK3$ ，由于第 n 级移位寄存单元输出的信号 $OUT(n)$ 为第 $n-1$ 级移位寄存单元的反向选择信号 $CHOB$ ，即此时第 $n-1$ 级移位寄存单元的反向选择信号 $CHOB$ 为第三时钟信号 $CLK3$ ，当第三时钟信号 $CLK3$ 为高电平信号时，第 $n+1$ 级移位寄存单元不再将接收到的第零时钟信号 $CLK0$ 输出，第 $n-1$ 级移位寄存单元将接收到的第二时钟信号 $CLK2$ 输出，此时， $OUT(n-1)$ 为第二时钟信号 $CLK2$ ，由于第 $n-1$ 级移位寄存单元输出的信号 $OUT(n-1)$ 为第 $n-2$ 级移位寄存单元的反向选择信号 $CHOB$ ，即此时第 $n-2$ 级移位寄存单元的反向选择信号 $CHOB$ 为第二时钟

信号 CLK2, 当第二时钟信号 CLK2 为高电平信号时, 第 n 级移位寄存单元不再将接收到的第三时钟信号 CLK3 输出, 第 n-2 级移位寄存单元将接收到的第一时钟信号 CLK1 输出。

当采用图 20 所示的栅极驱动装置时, 假设第 n 级移位寄存单元将第三时钟信号 CLK3 作为接收到的时钟信号。当栅极驱动装置反向扫描时, 正向扫描信号 VF 为低电平信号, 反向扫描信号 VB 为高电平信号, 初始触发信号 STV 在每一帧开始时向第 N 级移位寄存单元提供反向选择信号 CHOB, 当第 $\text{mod}(N/4)$ 时钟信号为高电平信号时, 第 N 级移位寄存单元输出高电平信号, 即 $\text{OUT}(N)$ 为高电平信号, $\text{OUT}(N)$ 同时作为第 N-1 级移位寄存单元的反向选择信号 CHOB。第 n+1 级移位寄存单元输出的信号 $\text{OUT}(n+1)$ 作为第 n 级移位寄存单元的反向选择信号 CHOB, 当 $\text{OUT}(n+1)$ 为高电平信号时, 第 n 级移位寄存单元将第三时钟信号 CLK3 输出, 此时, 第 n 级移位寄存单元输出的信号 $\text{OUT}(n)$ 为第三时钟信号 CLK3, 由于第 n 级移位寄存单元输出的信号 $\text{OUT}(n)$ 为第 n-1 级移位寄存单元的反向选择信号 CHOB 和第 n+1 级移位寄存单元的反向反馈信号 FBB, 即此时第 n-1 级移位寄存单元的反向选择信号 CHOB 和第 n+1 级移位寄存单元的反向反馈信号 FBB 均为第三时钟信号 CLK3, 当第三时钟信号 CLK3 为高电平信号时, 第 n+1 级移位寄存单元不再将接收到的第零时钟信号 CLK0 输出, 第 n-1 级移位寄存单元将接收到的第二时钟信号 CLK2 输出, 此时, $\text{OUT}(n-1)$ 为第二时钟信号 CLK2, 由于第 n-1 级移位寄存单元输出的信号 $\text{OUT}(n-1)$ 为第 n-2 级移位寄存单元的反向选择信号 CHOB 和第 n 级移位寄存单元的反向反馈信号 FBB, 即此时第 n-2 级移位寄存单元的反向选择信号 CHOB 和第 n 级移位寄存单元的反向反馈信号 FBB 均为第二时钟信号 CLK2, 当第二时钟信号 CLK2 为高电平信号时, 第 n 级移位寄存单元不再将接收到的第三时钟信号 CLK3 输出, 第 n-2 级移位寄存单元将接收到的第一时钟信号 CLK1 输出。

本发明实施例还提供一种显示装置, 包括本发明实施例提供的栅极驱动装置。

上述本发明实施例序号仅仅为了描述, 不代表实施例的优劣。

显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种移位寄存单元，其特征在于，包括驱动模块和输出模块；所述驱动模块和所述输出模块相连；其中，所述驱动模块和所述输出模块相连的连接点为上拉结点；

所述驱动模块，用于在正向选择信号为第一电平信号且正向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号，在正向选择信号由第一电平信号变为第二电平信号且正向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号；并在正向扫描信号为第一电平信号且反向选择信号为第一电平信号时，控制上拉结点的信号为第二电平信号；以及在反向选择信号为第一电平信号且反向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号，并在反向选择信号由第一电平信号变为第二电平信号且反向扫描信号为第一电平信号时，控制上拉结点的信号为第一电平信号；并在反向扫描信号为第一电平信号且正向选择信号为第一电平信号时，控制上拉结点的信号为第二电平信号；

输出模块，用于在上拉结点的信号为第一电平信号时，将接收到的时钟信号从所述移位寄存单元的输出端输出，并在上拉结点的信号为第二电平信号时，控制所述移位寄存单元的输出端停止输出接收到的时钟信号；

所述正向选择信号为所述移位寄存单元的前一级移位寄存单元的输出端输出的信号，所述反向选择信号为所述移位寄存单元的后一级移位寄存单元的输出端输出的信号。

2、如权利要求1所述的移位寄存单元，其特征在于，所述驱动模块包括第一晶体管和第二晶体管；

第一晶体管的第一极接收正向扫描信号，第一晶体管的栅极接收正向选择信号，第一晶体管的第二极连接上拉结点；第二晶体管的第一极接收反向扫描信号，第二晶体管的栅极接收反向选择信号，第二晶体管的第二极连接上拉结点；

第一晶体管用于在正向选择信号为第一电平信号时导通，并在正向选择信号为第二电平信号时截止；

第二晶体管用于在反向选择信号为第一电平信号时导通，并在反向选择信号为第二电平信号时截止。

3、如权利要求 1 所述的移位寄存单元，其特征在于，所述输出模块包括第三晶体管 and 第一电容；

所述第三晶体管的第一极接收时钟信号，所述第三晶体管的栅极连接上拉结点，所述第三晶体管的第二极连接所述移位寄存单元的输出端；所述第一电容的一端连接上拉结点，所述第一电容的另一端连接所述第三晶体管 M3 的第二极；

第三晶体管用于在上拉结点的信号为第一电平信号时导通，并在上拉结点的信号为第二电平信号时截止。

4、如权利要求 1 所述的移位寄存单元，其特征在于，所述移位寄存单元还包括第一下拉模块；

所述第一下拉模块分别连接上拉结点和所述移位寄存单元的输出端，所述第一下拉模块连接第二电平信号输入端；

所述第一下拉模块用于：在接收到的下拉信号为第一电平信号且上拉结点的信号为第二电平信号时，控制上拉结点和所述移位寄存单元的输出端均连接第二电平信号输入端；并在上拉结点的信号为第一电平信号时，控制上拉结点和所述移位寄存单元的输出端均与第二电平信号输入端断开；

其中，所述下拉信号为正向扫描信号和反向扫描信号中的第一电平信号，或者为时钟信号。

5、如权利要求 4 所述的移位寄存单元，其特征在于，所述第一下拉模块包括第一下拉驱动单元和第一下拉单元；

所述第一下拉驱动单元分别连接上拉结点、第二电平信号输入端和第一下拉单元，所述第一下拉单元分别连接上拉结点、所述移位寄存单元的输出端和第二电平信号输入端；

所述第一下拉驱动单元用于：在接收到的下拉信号为第一电平信号且上拉结点的信号为第二电平信号时，向第一下拉单元输出第一电平信号；并在上拉结点的信号为第一电平信号时，向第一下拉单元输出第二电平信号；

所述第一下拉单元用于：在接收到所述第一下拉驱动单元输出的第一电平信号时，将上拉结点和所述移位寄存单元的输出端分别与第二电平信号输入端接通；并在接收到所述第一下拉驱动单元输出的第二电平信号时，将上拉结点和所述移位寄存单元的输出端分别与第二电平信号输入端断开。

6、如权利要求 5 所述的移位寄存单元，其特征在于，所述第一下拉单元

包括第四晶体管和第五晶体管；

第四晶体管的第一极连接上拉结点，第四晶体管的栅极接收第一下拉驱动单元输出的信号，第四晶体管的第二极连接第二电平信号输入端；第五晶体管的第一极连接所述移位寄存单元的输出端，第五晶体管的栅极接收第一

5 下拉驱动单元输出的信号，第五晶体管的第二极连接第二电平信号输入端；

第四晶体管用于：在接收到第一下拉驱动单元输出的第一电平信号时导通，并在接收到第一下拉驱动单元输出的第二电平信号时截止；

第五晶体管用于：在接收到第一下拉驱动单元输出的第一电平信号时导通，并在接收到第一下拉驱动单元输出的第二电平信号时截止。

10 7、如权利要求5所述的移位寄存单元，其特征在于，所述第一下拉驱动单元接收到的下拉信号为正向扫描信号和反向扫描信号中的第一电平信号，所述第一下拉驱动单元包括第六晶体管、第七晶体管和第八晶体管；

第六晶体管的第一极接收正向扫描信号，第六晶体管的栅极接收正向扫描信号，第六晶体管的第二极向第一下拉单元输出信号；第七晶体管的第一极接收反向扫描信号，第七晶体管的栅极接收反向扫描信号，第七晶体管的第二极连接第六晶体管的第二极；第八晶体管的第一极连接第六晶体管的第二极，第八晶体管的栅极连接上拉结点，第八晶体管的第二极连接第二电平信号输入端；

第六晶体管用于：在正向扫描信号为第一电平信号时导通，并在正向扫描信号为第二电平信号时截止；

第七晶体管用于：在反向扫描信号为第一电平信号时导通，并在反向扫描信号为第二电平信号时截止；

第八晶体管用于：在上拉结点的信号为第一电平信号时导通，并在上拉结点的信号为第二电平信号时截止。

25 8、如权利要求5所述的移位寄存单元，其特征在于，所述第一下拉驱动单元接收到的下拉信号为时钟信号，所述第一下拉驱动单元包括第九晶体管、第十晶体管和第十一晶体管；

第九晶体管的第一极接收时钟信号，第九晶体管的栅极接收时钟信号，第九晶体管的第二极向第一下拉单元输出信号；第十晶体管的第一极接收时钟信号，第十晶体管的栅极连接第九晶体管的第二极，第十晶体管的第二极连接第九晶体管的第二极；第十一晶体管的第一极连接第九晶体管的第二极，

第十一晶体管的栅极连接上拉结点，第十一晶体管的第二极连接第二电平信号输入端；

第十一晶体管用于：在上拉结点的信号为第一电平信号时导通，并在上拉结点的信号为第二电平信号时截止。

5 9、如权利要求4所述的移位寄存单元，其特征在于，所述移位寄存单元还包括第二下拉模块；

所述第二下拉模块分别连接上拉结点和第二电平信号输入端；

10 所述第二下拉模块用于：在反向扫描信号为第二电平信号且正向反馈信号为第一电平信号时，控制上拉结点连接第二电平信号输入端；并在反向扫描信号为第一电平信号时，或者在反向扫描信号为第二电平信号且正向反馈信号为第二电平信号时，控制上拉结点不再与第二电平信号输入端连接；所述正向反馈信号为所述移位寄存单元的后一级移位寄存单元的输出端输出的信号。

15 10、如权利要求9所述的移位寄存单元，其特征在于，所述第二下拉模块包括第十二晶体管、第十三晶体管、第十四晶体管和第十五晶体管；

20 第十二晶体管的第一极接收正向反馈信号，第十二晶体管的栅极接收正向反馈信号，第十二晶体管的第二极连接第十四晶体管的第一极；第十三晶体管的第一极接收正向反馈信号，第十三晶体管的栅极连接第十四晶体管的第一极，第十三晶体管的第二极连接第十四晶体管的第一极；第十四晶体管的栅极接收反向扫描信号，第十四晶体管的第二极连接第二电平信号输入端；第十五晶体管的第一极连接上拉结点，第十五晶体管的栅极连接第十四晶体管的第一极，第十五晶体管的第二极连接第二电平信号输入端；

第十四晶体管用于：在接收到的反向扫描信号为第一电平信号时导通，并在接收到的反向扫描信号为第二电平信号时截止；

25 第十五晶体管用于：在第十四晶体管的第一极的信号为第二电平信号时截止，并在第十四晶体管的第一极的信号为第一电平信号时导通。

11、如权利要求4所述的移位寄存单元，其特征在于，所述移位寄存单元还包括第三下拉模块；

所述第三下拉模块分别连接上拉结点和第二电平信号输入端；

30 所述第三下拉模块用于：在正向扫描信号为第二电平信号且反向反馈信号为第一电平信号时，控制上拉结点连接第二电平信号输入端；并在正向扫

描信号为第一电平信号时，或者在正向扫描信号为第二电平信号且反向反馈信号为第二电平信号时，控制上拉结点不再与第二电平信号输入端相连；所述反向反馈信号为所述移位寄存单元的前一级移位寄存单元的输出端输出的信号。

5 12、如权利要求 11 所述的移位寄存单元，其特征在于，所述第三下拉模块包括第十六晶体管、第十七晶体管、第十八晶体管和第十九晶体管；

10 第十六晶体管的第一极接收反向反馈信号，第十六晶体管的栅极接收反向反馈信号，第十六晶体管的第二极连接第十八晶体管的第一极；第十七晶体管的第 一极接收反向反馈信号，第十七晶体管的栅极连接第十八晶体管的第一极，第十七晶体管的第二极连接第十八晶体管的第一极；第十八晶体管的栅极接收正向扫描信号，第十八晶体管的第二极连接第二电平信号输入端；第十九晶体管的第 一极连接上拉结点，第十九晶体管的栅极连接第十八晶体管的第一极，第十九晶体管的第二极连接第二电平信号输入端；

15 第十八晶体管用于：在接收到的正向扫描信号为第一电平信号时导通，并在接收到的正向扫描信号为第二电平信号时截止；

第十九晶体管用于：在第十八晶体管的第一极的信号为第二电平信号时截止，并在第十八晶体管的第一极的信号为第一电平信号时导通。

13、如权利要求 1-12 任一所述的移位寄存单元，其特征在于，所述移位寄存单元还包括复位模块；

20 所述复位模块分别连接所述移位寄存单元的输出端和第二电平信号输入端；

25 所述复位模块用于：在接收到的复位信号为第一电平信号时将所述移位寄存单元的输出端与第二电平信号输入端接通，并在接收到的复位信号为第二电平信号时，不再将所述移位寄存单元的输出端与第二电压信号输入端接通。

14、如权利要求 13 所述的移位寄存单元，其特征在于，所述复位模块包括第二十晶体管；

第二十晶体管的第一极连接所述移位寄存单元的输出端，第二十晶体管的栅极接收复位信号，第二十晶体管的第二极连接第二电平信号输入端；

30 第二十晶体管用于：在接收到的复位信号为第一电平信号时导通，并在接收到的复位信号为第二电平信号时截止。

15、一种栅极驱动装置，其特征在于，所述装置包括 $N+2$ 级如权利要求 1-8 和权利要求 13 任一所述的移位寄存单元，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号，其中， $\eta=0, 1, \dots, N, N+1$ ， N 为正整数；除第零级移位寄存单元和第 $N+1$ 级移位寄存单元之外，每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号，并接收自身的后一级移位寄存单元输出的信号作为反向选择信号；第零级移位寄存单元接收初始触发信号作为正向选择信号，并接收第一级移位寄存单元输出的信号作为反向选择信号；第 $N+1$ 级移位寄存单元接收初始触发信号作为反向选择信号，并接收第 N 级移位寄存单元输出的信号作为正向选择信号。

16、一种栅极驱动装置，其特征在于，所述装置包括 $N+2$ 级如权利要求 9-13 任一所述的移位寄存单元，第 n 级移位寄存单元将第 $\text{mod}(n/4)$ 时钟信号作为接收到的时钟信号，其中， $\eta=0, 1, \dots, N, N+1$ ， N 为正整数；除第零级移位寄存单元、第一级移位寄存单元、第 N 级移位寄存单元和第 $N+1$ 级移位寄存单元之外，每一级移位寄存单元接收自身的前一级移位寄存单元输出的信号作为正向选择信号和反向反馈信号，并接收自身的后一级移位寄存单元输出的信号作为反向选择信号和正向反馈信号；第一级移位寄存单元接收初始触发信号作为正向选择信号，并接收第零级移位寄存单元输出的信号作为反向反馈信号，并接收第二级移位寄存单元输出的信号作为反向选择信号和正向反馈信号；第 N 级移位寄存单元接收初始触发信号作为反向选择信号，并接收第 $N+1$ 级移位寄存单元输出的信号作为正向反馈信号，并接收第 $N-1$ 级移位寄存单元输出的信号作为正向选择信号和反向反馈信号；第零级移位寄存单元接收第一级移位寄存单元输出的信号作为反向选择信号，第 $N+1$ 级移位寄存单元接收第 N 级移位寄存单元输出的信号作为正向选择信号。

17、一种显示装置，其特征在于，所述装置包括如权利要求 15 或 16 所述的栅极驱动装置。

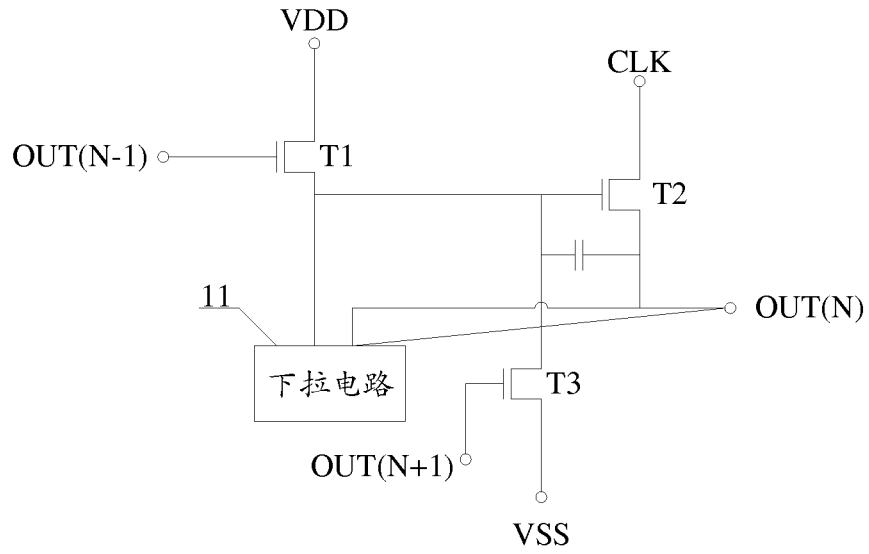


图 1

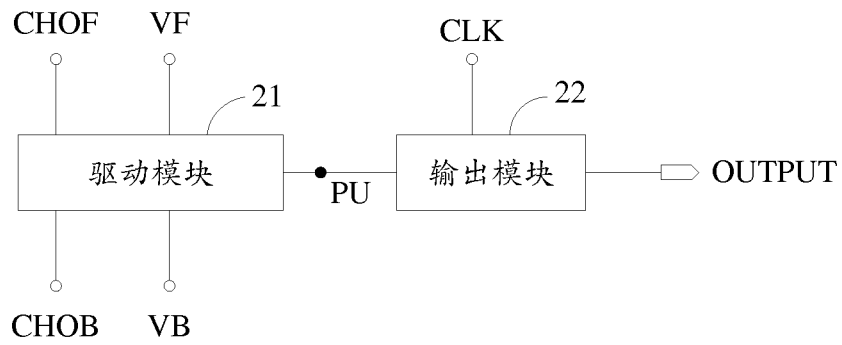


图 2

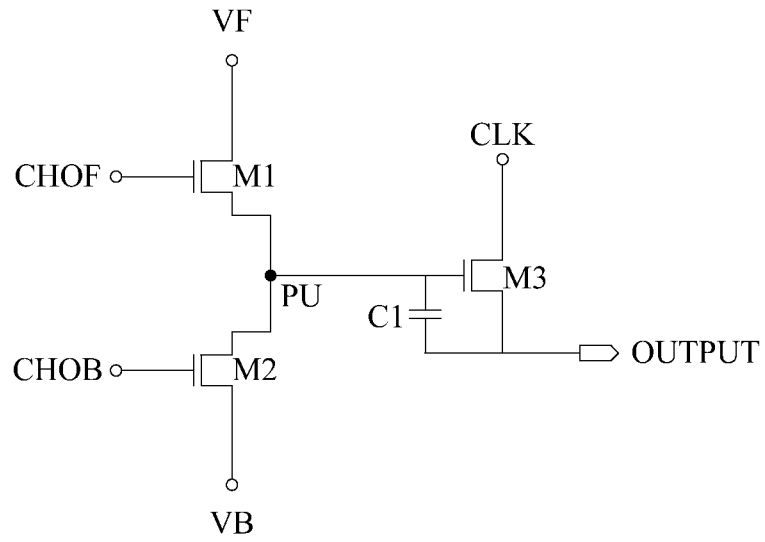


图 3

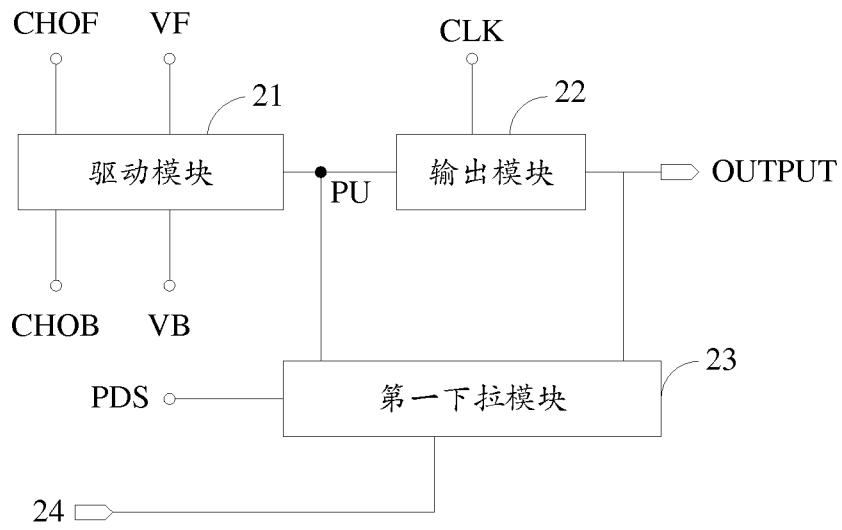


图 4

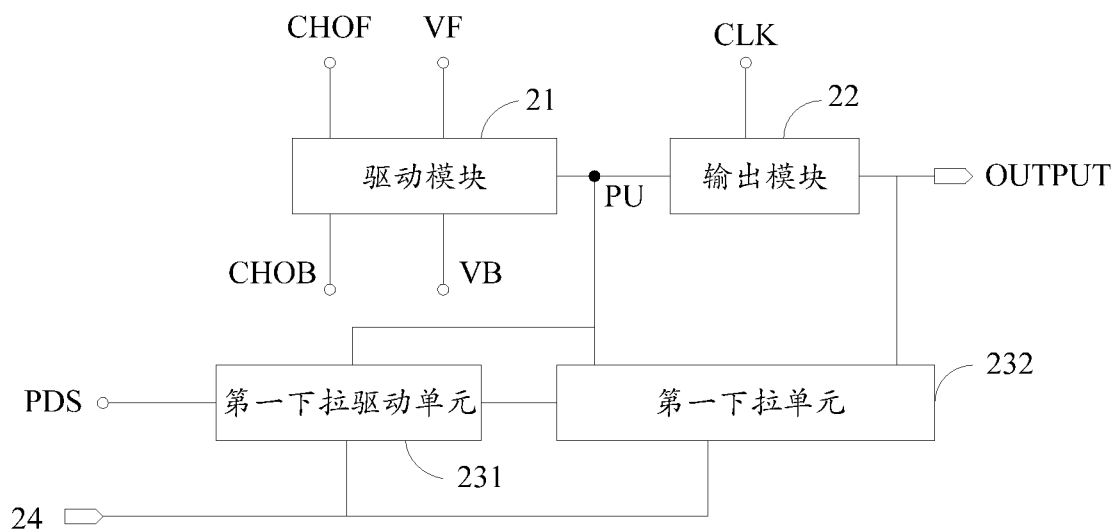


图 5

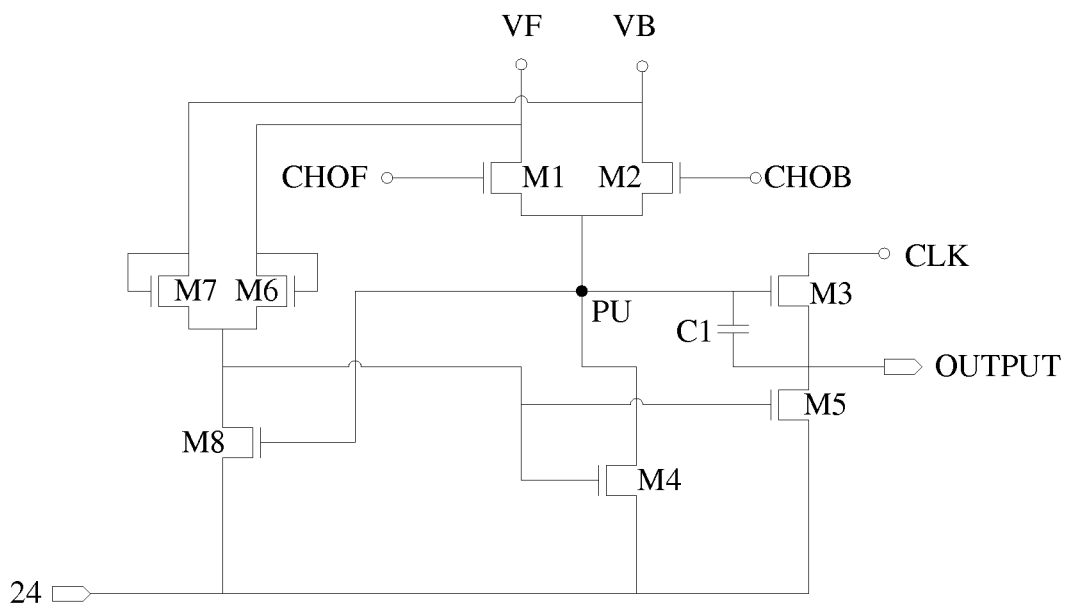


图 6

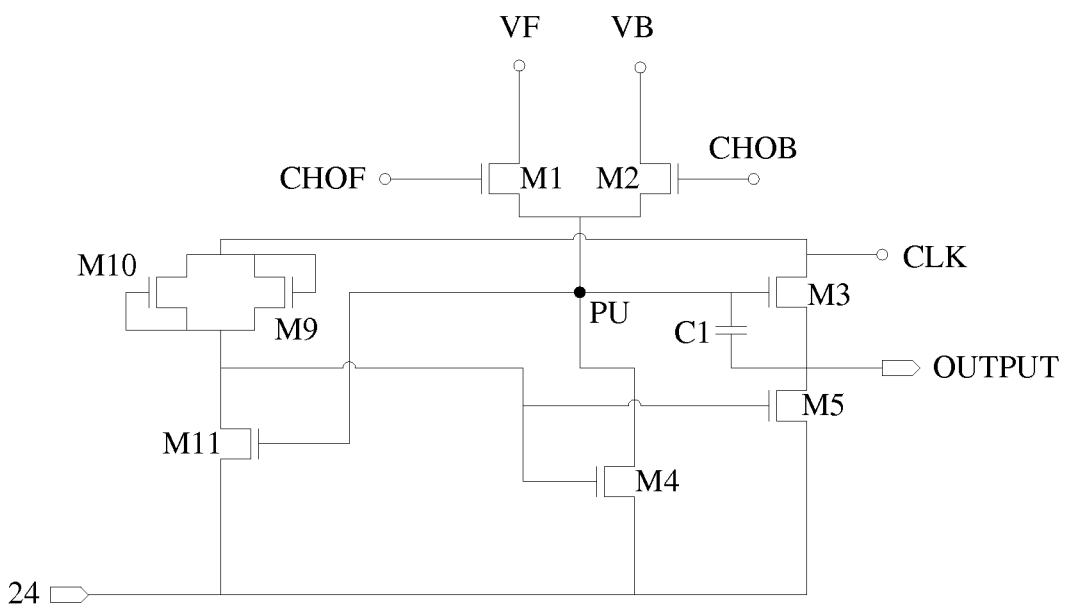


图 7

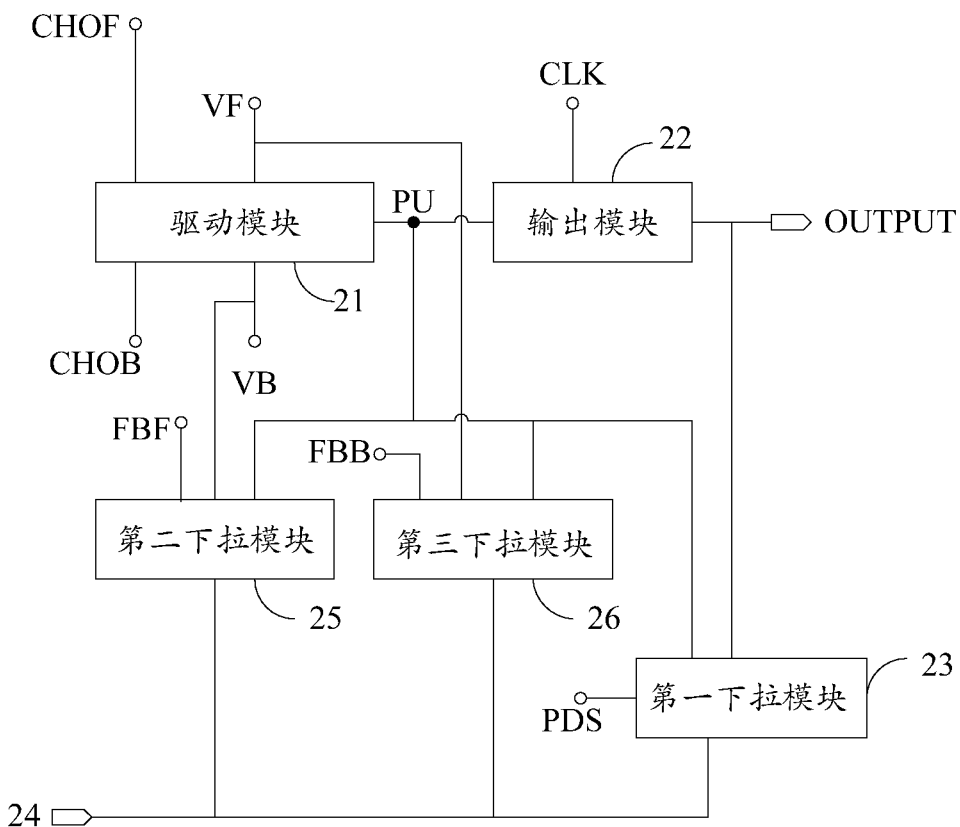


图 8

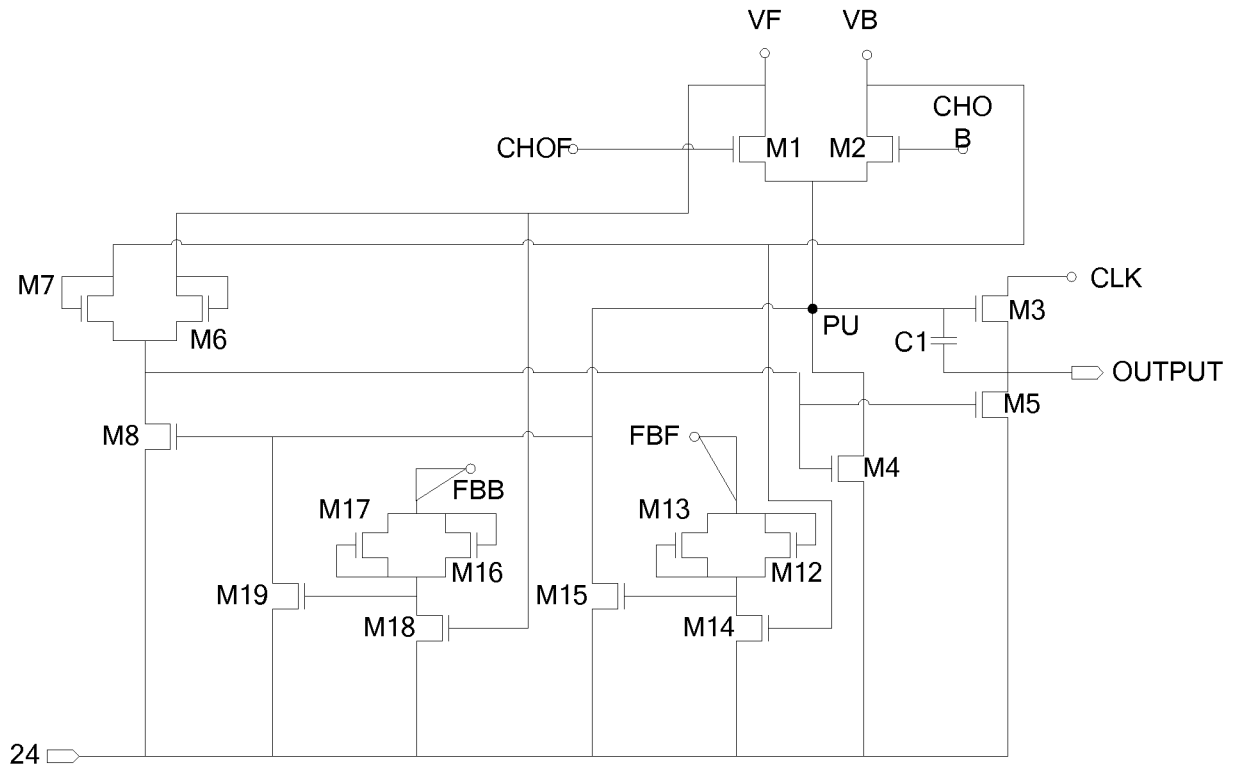


图 9

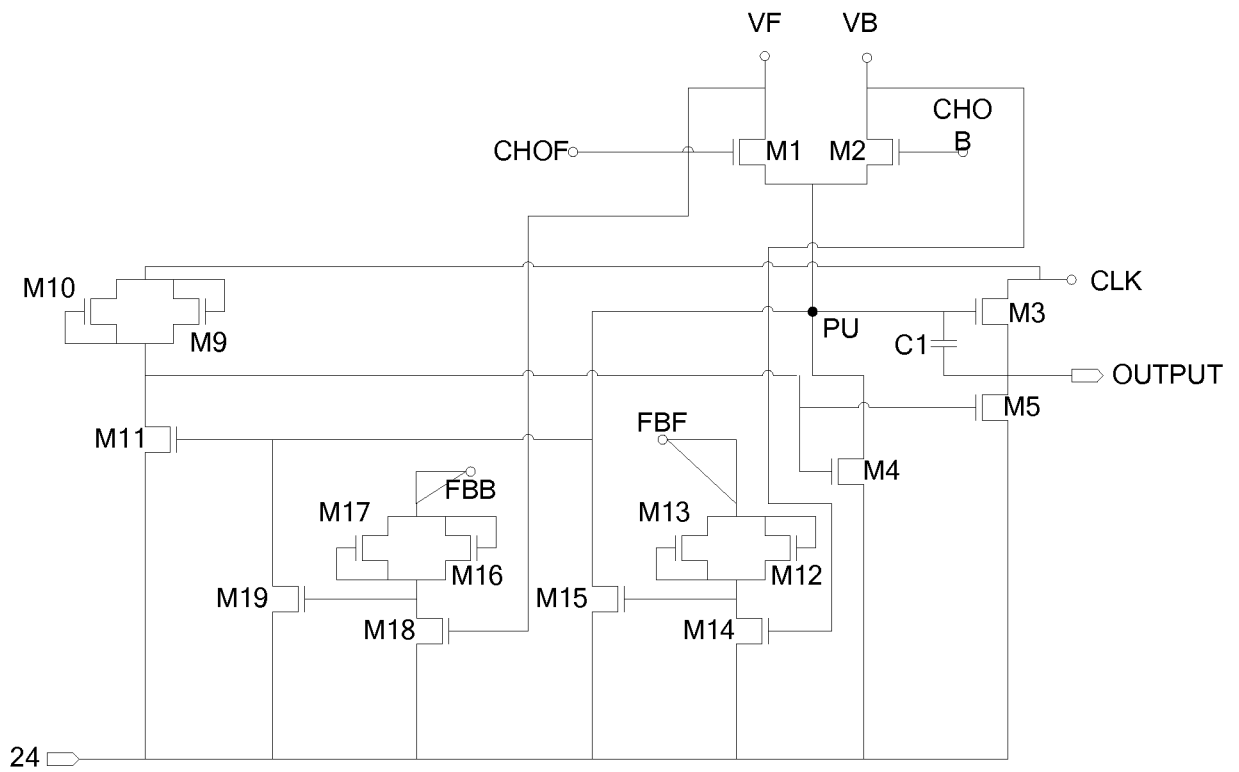


图 10

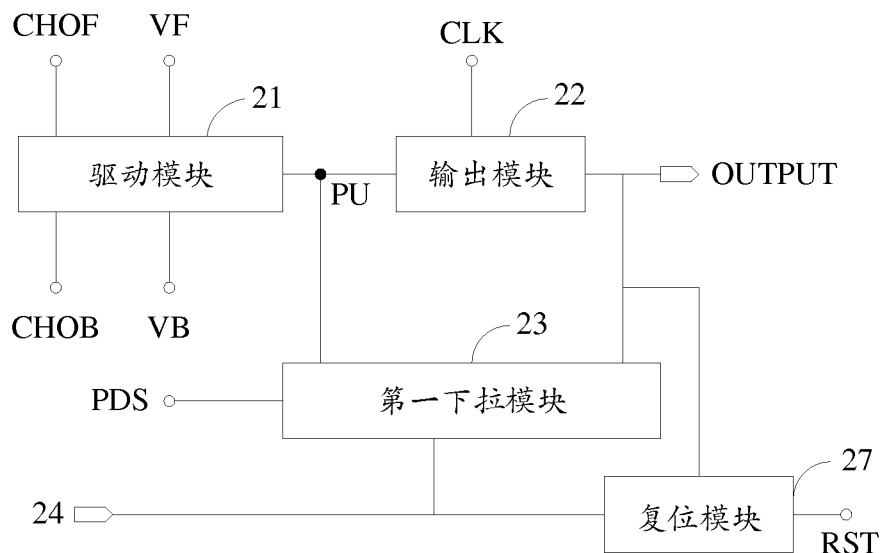


图 11

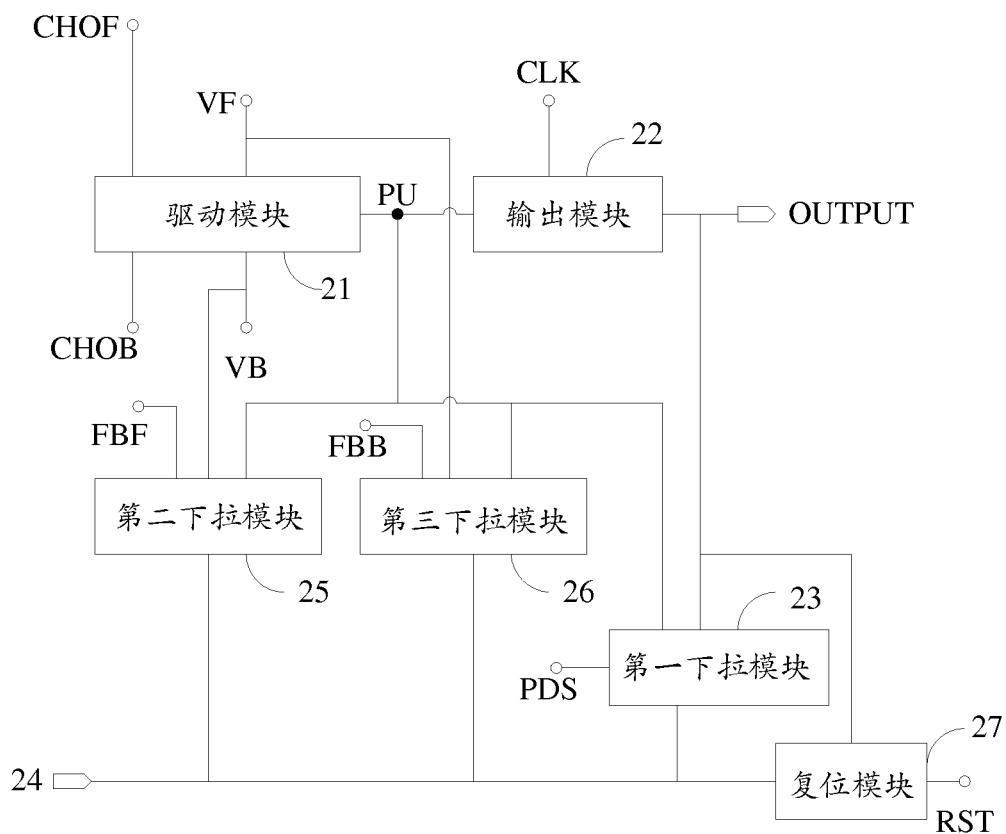


图 12

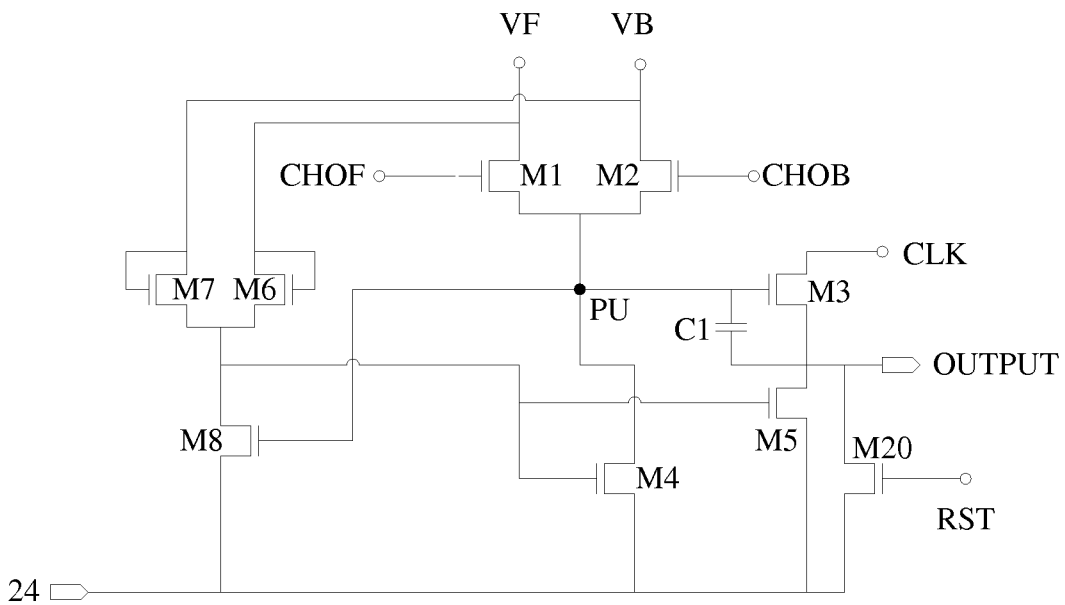


图 13

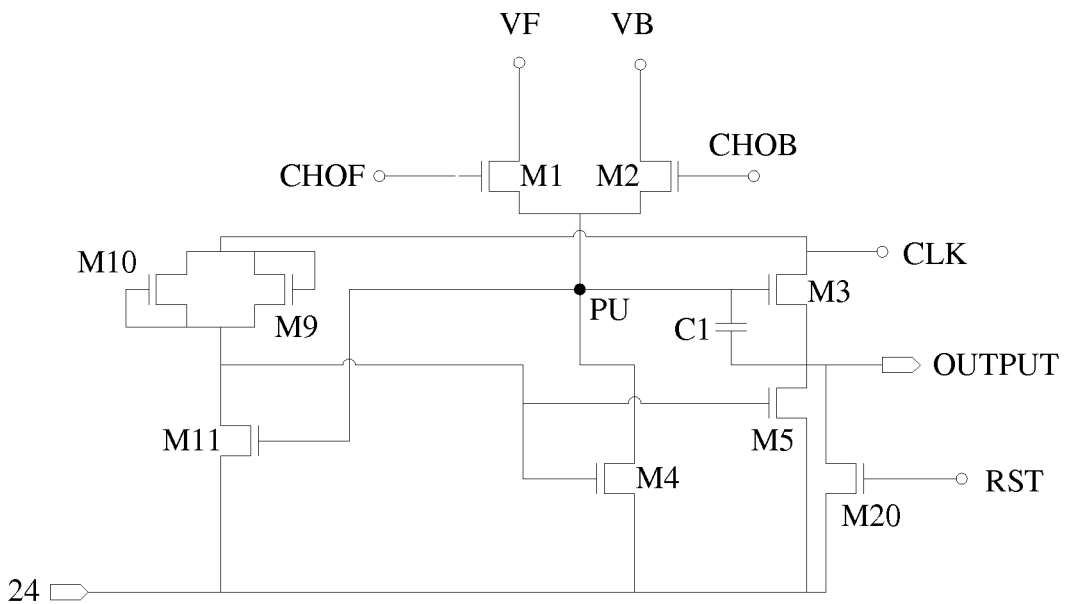


图 14

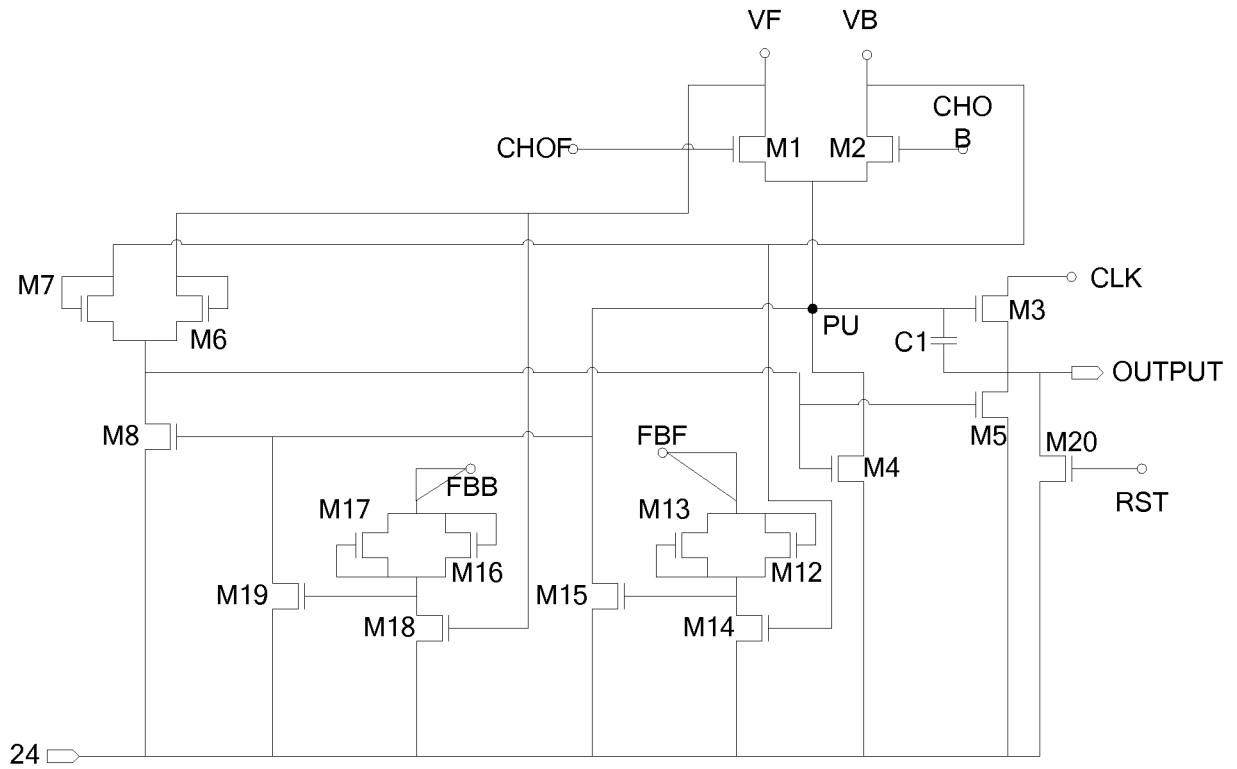


图 15

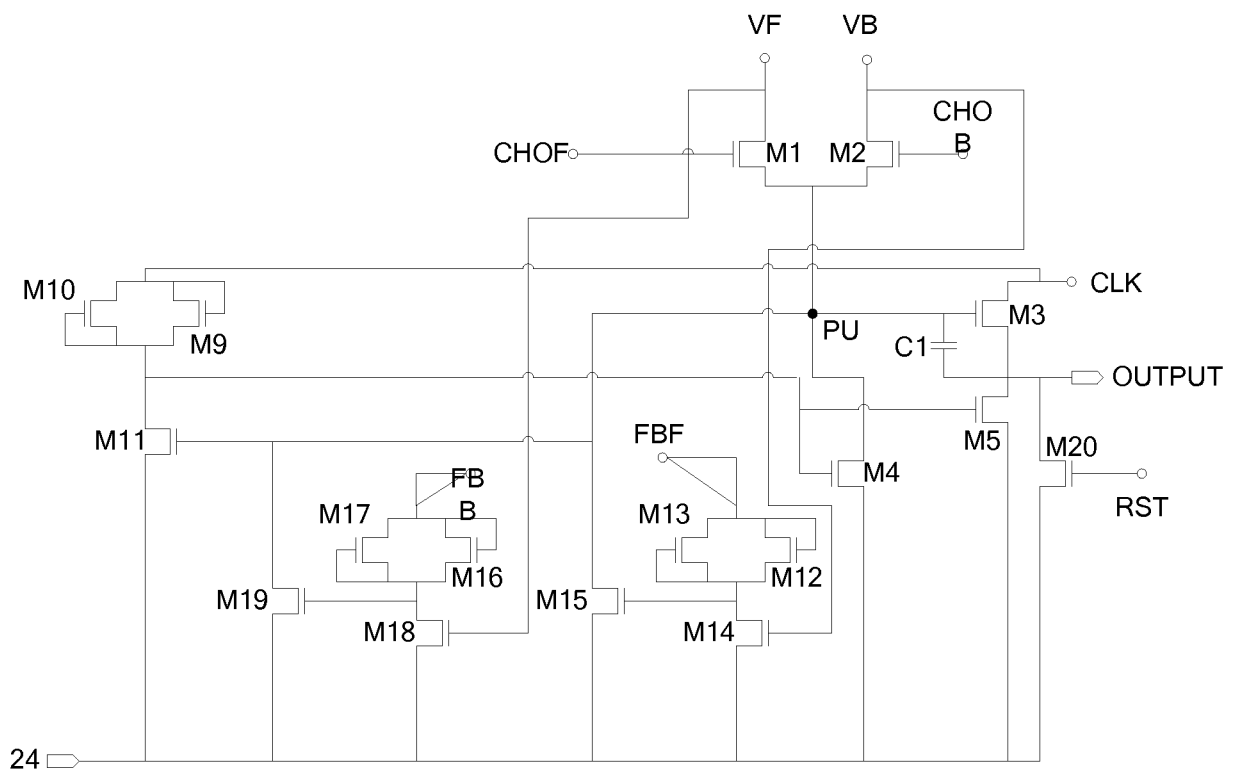


图 16

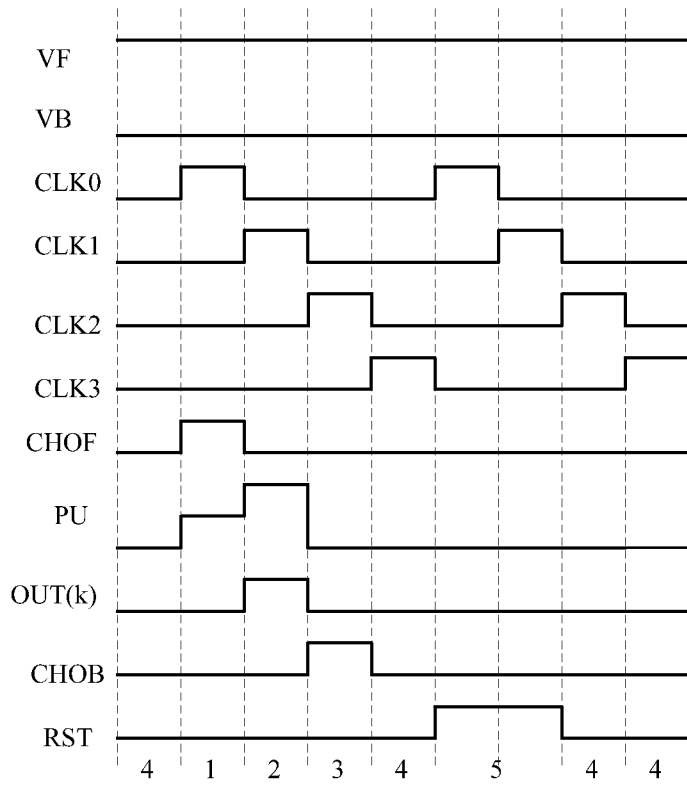


图 17

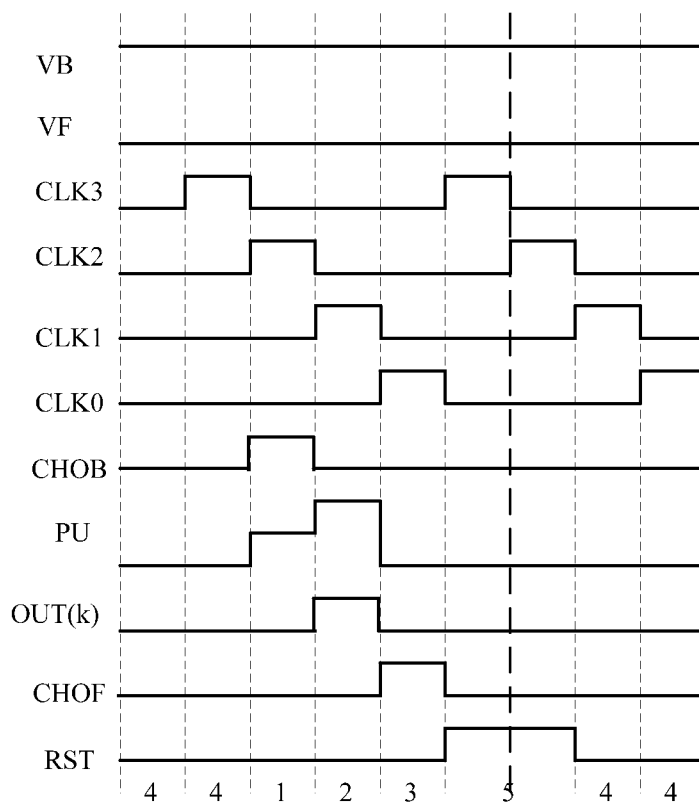


图 18

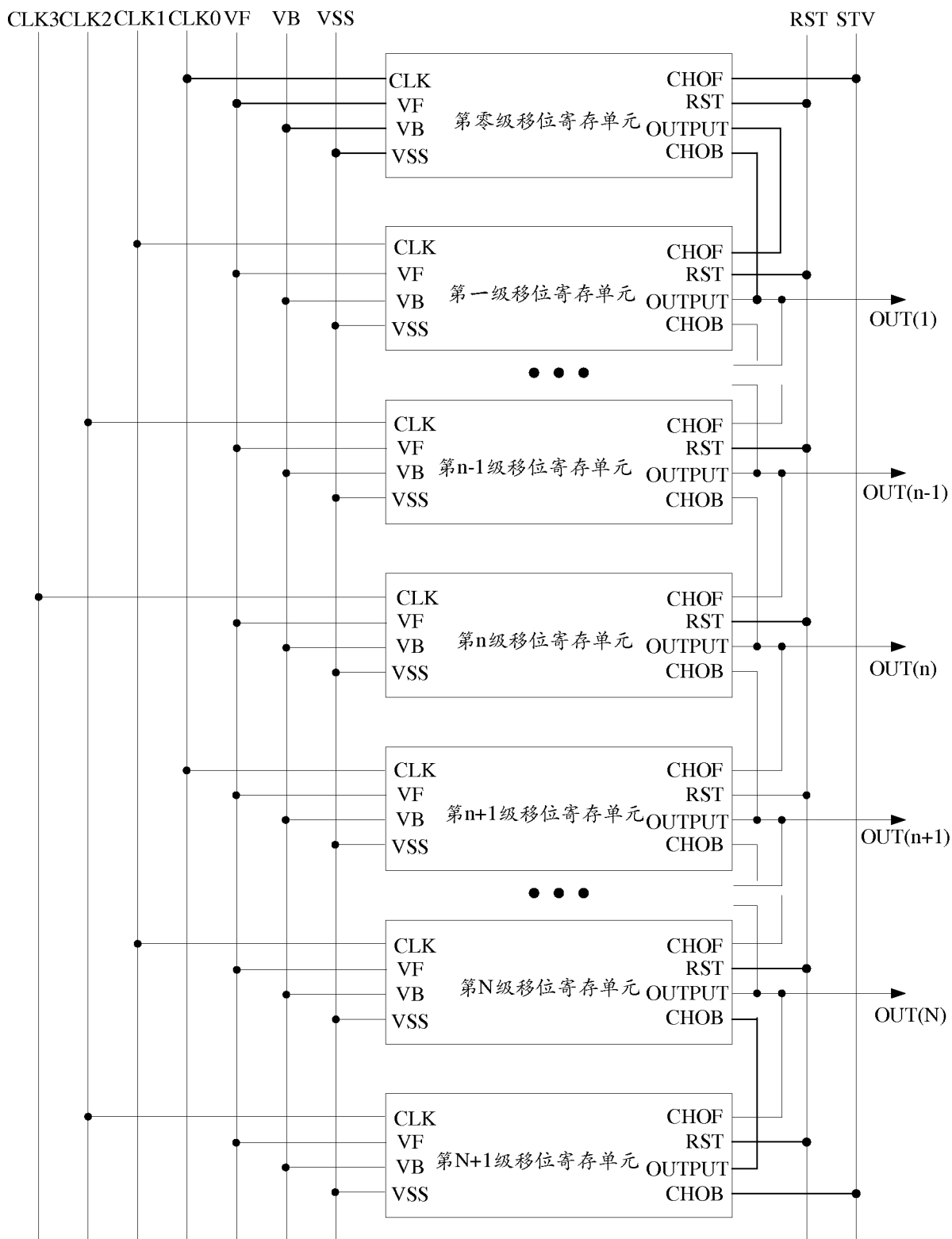


图 19

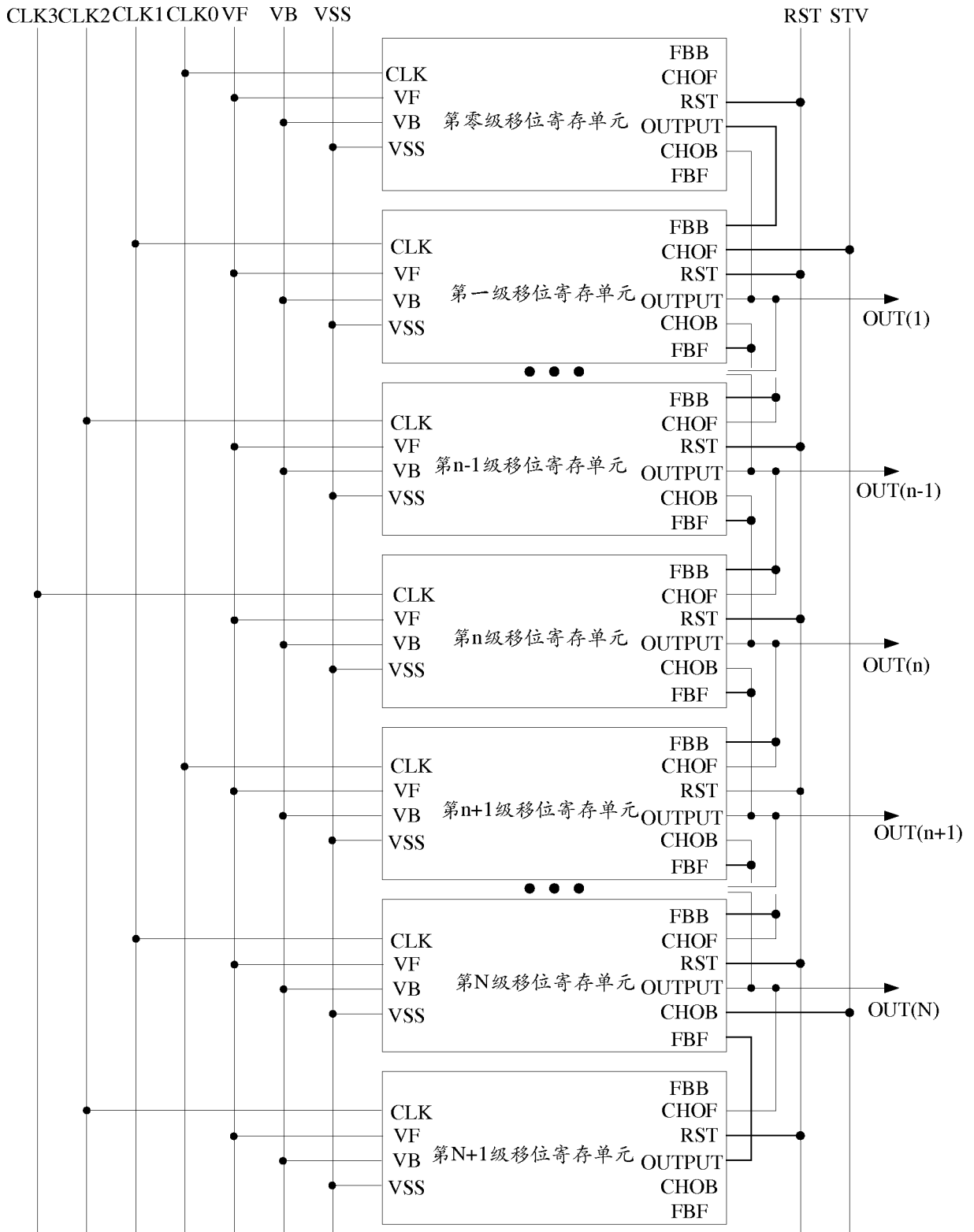


图 20

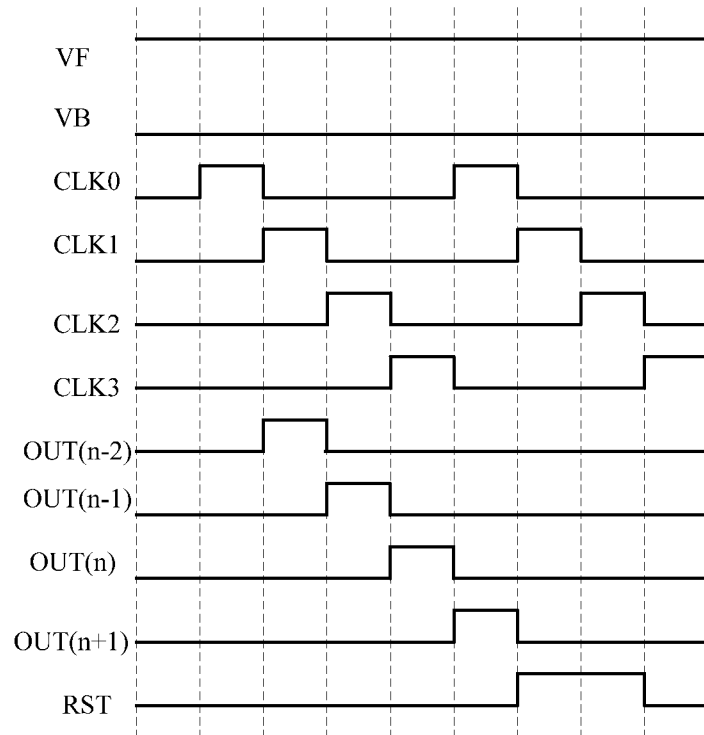


图 21

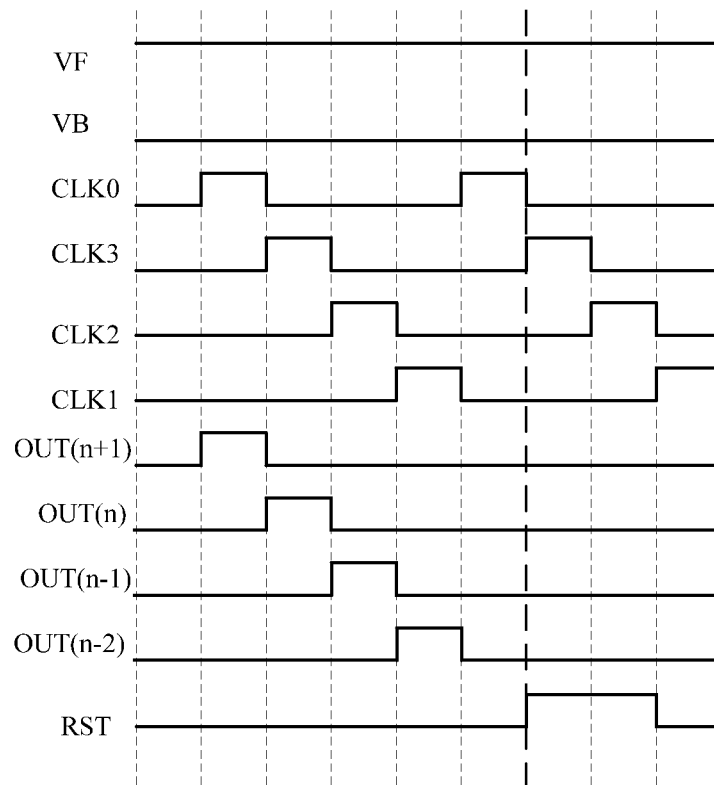


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/075595

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C 19/-; G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNTXT, CNABS, VEN, WPI, EPODOC: pull down, pull up, shift w register?, forward, positive, revers+, backward, opposite, inverse, select+, scan+, bidirection+, two w direction

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102831867 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL et al.) 19 December 2012 (19.12.2012) description, pages 11-13, and figures 11, 12, 18 and 20	1-4, 13-15, 17
A	CN 102867477 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD.) 09 January 2013 (09.01.2013) the whole document	1-17
A	US 7327161 B2 (LG. PHILIPS LCD CO., LTD.) 05 February 2008 (05.02.2008) the whole document	1-17
A	US 2009/0167668 A1 (KIM, Hong Jae) 02 July 2009 (02.07.2009) the whole document	1-17

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 December 2013 (07.12.2013)	Date of mailing of the international search report 09 January 2014 (09.01.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Yanqin Telephone No. (86-10) 82245115

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN201 3/075595

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102831867 A	19.12.2012	None	
CN 102867477 A	09.01 .2013	None	
U S 7327161 B 2	05.02.2008	U S 2006269038 A I	30.1 1.2006
		K R 20060124836 A	06.12.2006
		K R 110007703 B I	25.01.2012
U S 2009/0167668 A I	02.07.2009	CN 101477836 A	08.07.2009
		JP 2009163862 A	23.07.2009
		K R 20090073966 A	03.07.2009
		CN 101477836 B	18.04.2012
		U S 8344989 B 2	0 1.01.2013
		JP 5 140570 B 2	06.02.2013

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN201 3/075595

A. CLASSIFICATION OF SUBJECT MATTER

G1C 19/28 (2006.01) i

G09G 3/36 (2006.01) i

A. 主题的分类		
见附加页		
按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G 11C19/-; G09G3/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNTXT, CNABS, VEN, WPI, EPODOC: 移位 w 寄存, 正向, 反向, 双向, 选择, 扫描, 下拉, 上拉 ' shift w register? ,forward, positive, revers+, backward, opposite, inverse, select+, scan+, bidirection+, two w direction		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 10283 1867 A (北京大学深圳研究生院等) 19.12月2012 (19.12.2012) 说明书第 11-13 页、附图 11-12, 18,20	1-4, 13-15,17
A	CN 102867477 A (昆山工研院新型平板显示技术中心有限公司) 09.1月2013 (09.01.2013) 全文	1-17
A	US7327161 B2 (LG. PHILIPS LCD CO., LTD.) 05.2月2008 (05.02.2008) 全文	1-17
A	US 2009/0167668 A1 (KIM, Hong Jae) 02.7月2009 (02.07.2009) 全文	1-17
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型： "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件		"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性 "&" 同族专利的文件
国际检索实际完成的日期 07.12月2013 (07.12.2013)		国际检索报告邮寄日期 09.1月2014 (09.01.2014)
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 10008S 传真号：(86-10)62019451		授权官员 李彦琴 电话号码：(86-10) 010-82245115

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/075595

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 10283 1867 A	19.12.2012	无	
CN 102867477 A	09.01.2013	无	
U S 7327161 B 2	05.02.2008	U S 2006269038 A I K R 20060124836 A K R 110007703 B I	30.11.2006 06.12.2006 25.01.2012
U S 2009/0167668 A I	02.07.2009	CN 101477836 A J P 2009163862 A K R 20090073966 A CN 101477836 B U S 8344989 B 2 J P 5140570 B 2	08.07.2009 23.07.2009 03.07.2009 18.04.2012 01.01.2013 06.02.2013

A. 主题的分类

G 11C 19/28 (2006.01) i

G09G 3/36 (2006.01) i