

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年6月14日(14.06.2012)



(10) 国際公開番号
WO 2012/077585 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
- (21) 国際出願番号: PCT/JP2011/077887
- (22) 国際出願日: 2011年12月2日(02.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-271097 2010年12月6日(06.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 齊藤 義人(SAITO, Yoshito) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 平田 陽介(HIRATA, Yosuke) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 平松 隆(HIRAMATSU, Takashi) [JP/JP]; 〒6178555

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

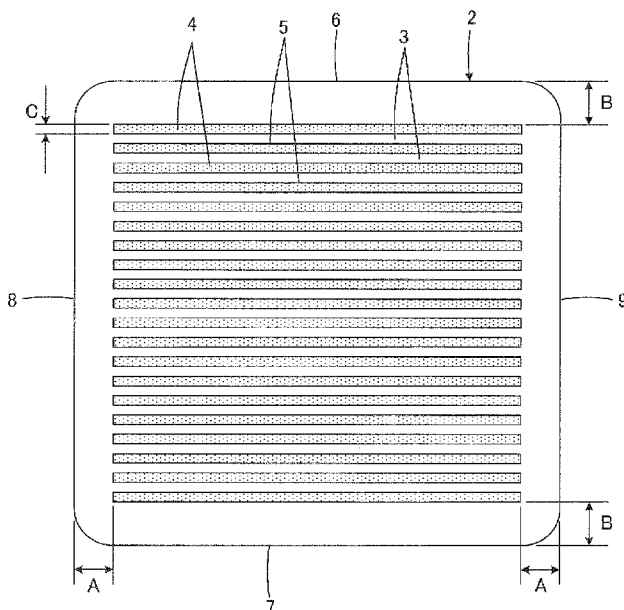
- (74) 代理人: 小柴 雅昭(KOSHIBA, Masaaki); 〒6310024 奈良県奈良市百楽園三丁目13番8号 小柴特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: 積層セラミック電子部品

[図2]



(57) Abstract: Provided is a multilayer ceramic capacitor which is durable against thermal shocks due to a high temperature, for instance, 500°C. The multilayer ceramic capacitor is provided with a laminated body (2) that includes a plurality of laminated ceramic layers (3), and internal electrodes (4, 5) positioned among the ceramic layers (3). The ceramic body (2) has: a pair of main surfaces (6, 7), which extend in the direction in which the ceramic layers (3) extend, and which face each other; a pair of side surfaces (8, 9), which extend in the direction that orthogonally intersects the main surfaces (6, 7), and which face each other; and a pair of end surfaces, which face each other. Each of the internal electrodes (4, 5) has a thickness (C) of 0.4 μm or less, is positioned by having gaps (A) of 30 μm or less in the width direction from the pair of side surfaces (8, 9), respectively, and is distributed within a region positioned by having an outer layer thickness (B) of 35 μm or less from the pair of main surfaces (6, 7), respectively.

(57) 要約: たとえば500°Cといった高い温度による熱衝撃にも耐え得る積層セラミックコンデンサを提供する。積層された複数のセラミック層(3)とセラ

ミック層(3)間に位置する内部電極(4, 5)とを含む積層体(2)を備え、積層体(2)は、セラミック層(3)の延びる方向に延びかつ互いに対向する1対の主面(6, 7)、ならびに、主面(6, 7)に対して直交する方向にそれぞれ延びる、互いに対向する1対の側面(8, 9)および互いに対向する1対の端面を有する。内部電極(4, 5)は、その厚み(C)が0.4 μm以下であり、1対の側面(8, 9)の各々に対して30 μm以下の幅方向ギャップ(A)を介して位置しており、かつ1対の主面(6, 7)の各々に対して35 μm以下の外層厚み(B)を介して位置する領域に分布している。

WO 2012/077585 A1

WO 2012/077585 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 積層セラミック電子部品

技術分野

[0001] この発明は、積層セラミック電子部品に関するもので、特に、積層セラミック電子部品の耐熱衝撃性の向上を図るための改良に関するものである。

背景技術

[0002] たとえば特開 2005-136132 号公報（特許文献 1）に、積層セラミックコンデンサを熱ストレスに強くするための技術が記載されている。

[0003] より詳細には、特許文献 1 には、複数の内部電極間に層状に誘電体層がそれぞれ配置されてこれらが積層方向に沿って積層されるとともに複数の内部電極の外周側に誘電体が配置されることで形成された積層体が、本体部分とされた積層セラミックコンデンサであって、積層体の積層方向に位置する端面（主面）とこれら積層方向に位置する端面（主面）に最も近い内部電極との間に、内部電極が存在しない 1 対の上下マージン部（外層部）がそれぞれ配置され、積層体の積層方向に対して交差する方向に位置する端面（側面）と内部電極の端部との間に、内部電極が存在しない 1 対の左右マージン部（幅方向ギャップ部）がそれぞれ配置され、これら上下マージン部（外層部）の寸法および左右マージン部（幅方向ギャップ部）の寸法がそれぞれ 50～200 μm とされ、上下マージン部（外層部）の寸法と左右マージン部（幅方向ギャップ部）の寸法との間の差が、上下マージン部（外層部）の寸法の 20% 以内とされることを特徴とする積層セラミックコンデンサが記載されている。

[0004] 上記特許文献 1 によれば、内部電極を多数積層しても、熱ストレスに強い積層セラミックコンデンサが得られるとされている。積層セラミックコンデンサには、たとえばはんだリフロー実装の際などにおいて熱衝撃が加わるが、特許文献 1 に記載の実施例では、280℃での熱ストレス試験を実施しており、したがって、この熱ストレス試験に耐えることができれば、はんだリ

フロー実装時の熱衝撃に耐えることができる。

[0005] しかし、近年、さらに高水準な耐熱衝撃性が求められつつある。たとえば、積層セラミックコンデンサが、自動車のエンジンルーム付近において使用される場合や、積層セラミックコンデンサを実装した後の基板を、さらに溶接等で何らかの基材と接合するような場合などにおいては、さらに高水準な耐熱衝撃性が求められる。このような場合には、特許文献 1 に記載の技術では対応できないことがあり、熱衝撃の結果、積層セラミックコンデンサにクラック等の構造欠陥がもたらされることがある。

[0006] 以上、積層セラミックコンデンサについて説明したが、同様の問題は、積層セラミックコンデンサ以外の積層セラミック電子部品についても遭遇し得る。

先行技術文献

特許文献

[0007] 特許文献1：特開 2 0 0 5 - 1 3 6 1 3 2 号公報

発明の概要

発明が解決しようとする課題

[0008] そこで、この発明の目的は、より高水準な耐熱衝撃性を実現し得る積層セラミック電子部品を提供しようとすることである。

課題を解決するための手段

[0009] この発明は、積層された複数のセラミック層とセラミック層間に位置する複数の内部電極とを含む積層体を備え、積層体は、セラミック層の延びる方向に延びかつ互いに対向する 1 対の主面、ならびに、主面に対して直交する方向にそれぞれ延びる、互いに対向する 1 対の側面および互いに対向する 1 対の端面を有し、内部電極は、1 対の端面のいずれか一方にまで引き出され、1 対の側面の各々に対して幅方向ギャップを介して位置する領域に分布しており、かつ 1 対の主面の各々に対して外層厚みを介して位置する領域に分布している、積層セラミック電子部品に向けられる。

[0010] 上記のような積層セラミック電子部品において、この発明は、前述した技術的課題を解決するため、第1の局面では、内部電極の厚みが $0.4\mu\text{m}$ 以下である、という第1の条件と、幅方向ギャップが $30\mu\text{m}$ 以下である、または外層厚みが $35\mu\text{m}$ 以下である、という第2の条件とを満たすことを特徴としている。

[0011] この発明は、第2の局面では、上記第1の局面の場合よりも厳しい条件が要求される。すなわち、内部電極の厚みが $0.4\mu\text{m}$ 以下である、という第1の条件については、第1の局面の場合と同様であるが、第2の条件は、幅方向ギャップが $30\mu\text{m}$ 以下であることと、外層厚みが $35\mu\text{m}$ 以下であることとの双方とされる。

[0012] この発明は、第3の局面では、上記第1または第2の局面における第1および第2の条件に加えて、さらに、内部電極のカバレッジが75%以上である、という第3の条件を満たすようにされる。

発明の効果

[0013] この発明によれば、後述する実験例から明らかになるように、たとえば 500°C といった高負荷の熱衝撃に耐えることが可能となる。したがって、この発明に係る積層セラミック電子部品は、たとえば、自動車のエンジンルーム付近において使用される場合や、これを実装した後の基板を、さらに溶接等で何らかの基材と接合するような場合などにおいても、十分に耐えることができる。

[0014] 前述した第2の局面による条件を満たす場合には、第1の局面による条件を満たす場合に比べて、より高負荷の熱衝撃に耐えるようにすることができ、さらに、前述した第3の局面による条件を満たす場合には、第2の局面による条件を満たす場合に比べて、より高負荷の熱衝撃に耐えるようにすることができる。

[0015] 一般的に、積層セラミック電子部品に対して熱衝撃が加わると、セラミック部分と内部電極の金属部分との熱膨張係数の違いによって応力が生じ、クラック等の構造欠陥が生じ得る。そして、構造欠陥が特定の起点から伸展し

て、内部電極が存在する内層部にまで達すると、ショート不良や耐湿性悪化を引き起こす。

[0016] 前述した特許文献 1 に記載の技術には、概略的に言えば、上下マージン部（外層部）の寸法および左右マージン部（幅方向ギャップ部）の寸法を $50\ \mu\text{m}$ 以上というように、より大きくすることによって、熱ストレスによるクラックが発生しても、容量形成部に到達しないようにする思想が現れている。

[0017] これに対して、この発明では、内部電極の厚みを $0.4\ \mu\text{m}$ 以下と薄くすることによって、前述した熱膨張係数の違いによる応力の発生を抑制しながら、幅方向ギャップおよび／または外層厚みを、特許文献 1 の場合とは逆に小さくすることによって、熱衝撃時のクラック等の構造欠陥の発生を抑制している。すなわち、熱ストレスに起因して発生する応力自体を減少させ、クラックの発生をできる限り抑える、という思想である。

図面の簡単な説明

[0018] [図1]この発明の一実施形態による積層セラミック電子部品の一例としての積層セラミックコンデンサを示す断面図である。

[図2]図 1 の線II-IIに沿う拡大断面図である。

[図3]実験例 1 において作製された試料のうち、内部電極の厚みが $0.4\ \mu\text{m}$ のものについての幅方向ギャップおよび外層厚みの分布状態を示しながら、各試料についての欠陥発生の評価結果を●および○の記号で表示した図である。

[図4]実験例 1 において作製された試料のうち、内部電極の厚みが $0.2\ \mu\text{m}$ のものについての幅方向ギャップおよび外層厚みの分布状態を示しながら、各試料についての欠陥発生の評価結果を●および○の記号で表示した図である。

発明を実施するための形態

[0019] 図 1 および図 2 を参照して、この発明が適用される積層セラミック電子部品の一例としての積層セラミックコンデンサ 1 の構造について説明する。

- [0020] 積層セラミックコンデンサ 1 は、部品本体としての積層体 2 を備えている。積層体 2 は、積層された複数のセラミック層 3 とセラミック層 3 間に位置する複数の内部電極 4 および 5 とを備えている。内部電極 4 と内部電極 5 とは積層方向に交互に配置されている。
- [0021] 積層体 2 は、セラミック層 3 の延びる方向に延びかつ互いに対向する 1 対の主面 6 および 7、ならびに、主面 6 および 7 に対して直交する方向にそれぞれ延びる、互いに対向する 1 対の側面 8 および 9 および互いに対向する 1 対の端面 10 および 11 を有する、直方体状またはほぼ直方体状をなしている。
- [0022] 積層体 2 の端面 10 および 11 には、それぞれ、複数の内部電極 4 および 5 が引き出され、各々の端部が露出していて、これら内部電極 4 の各端部および内部電極 5 の各端部を、それぞれ、互いに電氣的に接続するように、外部電極 12 および 13 が形成されている。
- [0023] 内部電極 4 および 5 は、図 2 に示すように、1 対の側面 8 および 9 の各々に対して所定の幅方向ギャップ A を介して位置する領域に分布しており、かつ 1 対の主面 6 および 7 の各々に対して所定の外層厚み B を介して位置する領域に分布している。
- [0024] このような積層セラミックコンデンサ 1 において、この発明では、内部電極 4 および 5 の各々の厚み C が $0.4\ \mu\text{m}$ 以下である、という第 1 の条件と、幅方向ギャップ A が $30\ \mu\text{m}$ 以下である、または外層厚み B が $35\ \mu\text{m}$ 以下である、という第 2 の条件とが満たされる。
- [0025] より好ましくは、上記第 2 の条件に関して、幅方向ギャップ A が $30\ \mu\text{m}$ 以下であることと、外層厚み B が $35\ \mu\text{m}$ 以下であることとの双方を満たすようにされる。この好ましい実施態様において、さらに好ましくは、内部電極 4 および 5 のカバレッジが 75% 以上である、という第 3 の条件を満たすようにされる。
- [0026] なお、現実の製造上の問題から、内部電極 4 および 5 の各厚み C は $0.05\ \mu\text{m}$ 程度が下限であり、外層厚み B は $5\ \mu\text{m}$ 程度が下限であり、幅方向ギ

ャップAは5 μm 程度が下限であると思込むことができる。

[0027] このような積層セラミックコンデンサ1を製造するにあたっては、まず、セラミック層3となるべきセラミックグリーンシートが用意され、セラミックグリーンシート上に、内部電極4および5となるべき導電性ペースト膜が印刷により形成される。次に、複数のセラミックグリーンシートが積層されることによって、複数の未焼成セラミック層と未焼成セラミック層間に位置する導電性ペースト膜とを備える、積層体2となるべき未焼成積層体が作製される。

[0028] 次に、未焼成積層体を焼結させるための焼成工程が実施される。次いで、焼結した積層体2の端面10および11上に、それぞれ、外部電極12および13が形成され、積層セラミックコンデンサ1が完成される。

[0029] 前述した第1の条件を満たすようにするため、内部電極4および5の厚みCを0.4 μm 以下と薄くすると、カバレッジを75%以上に保つという第3の条件を満たすことが容易ではない。たとえば焼成温度を低くすれば、カバレッジを75%以上に保ちやすいが、一方でセラミックの焼結が不足気味になる。

[0030] この問題を解決するには、焼成工程において、最高温度までの平均昇温速度を40℃/秒以上、好ましくは100℃/秒以上とする温度プロファイルが適用された熱処理工程が実施され、さらに望ましくは、熱量を少なくするために、最高温度到達後、温度保持することなく冷却することが有効である。このような条件で焼成工程を実施すると、セラミックを十分に焼結させつつ、内部電極4および5のカバレッジを高く保つことができる。

[0031] また、焼成工程において、上述の熱処理工程の前に、未焼成積層体は脱脂処理されることが好ましい。

[0032] 内部電極4および5が導電成分としてNiのような卑金属を含むとき、熱処理工程は、卑金属の平衡酸素分圧に対して酸化側の雰囲気ガスを供給した雰囲気中で実施されてもよい。

[0033] この発明が、上述したように、図1に示した積層セラミックコンデンサ1

に向けられるとき、セラミック層 3 は、誘電体セラミックから構成される。しかしながら、この発明が適用されるのは、積層セラミックコンデンサに限らず、その他、インダクタ、サーミスタ、圧電部品などであってもよい。したがって、積層セラミック電子部品の機能に応じて、セラミック層は、誘電体セラミックのほか、磁性体セラミック、半導体セラミック、圧電体セラミックなどから構成されてもよい。

[0034] また、図 1 に示した積層セラミックコンデンサ 1 は、2 個の外部端子 1 2 および 1 3 を備える 2 端子型のものであったが、多端子型の積層セラミック電子部品にもこの発明を適用することができる。

[0035] 以下に、この発明による効果を確認するために実施した実験例について説明する。

[0036] [実験例 1]

(1) 試料の作製

チタン酸バリウムを主成分とするセラミック粉末と有機バインダとを含むセラミックグリーンシートを、焼成後の厚みが $1\ \mu\text{m}$ となるようにベースフィルム上に成形した。次いで、上記セラミックグリーンシート上に、表 1 および表 2 の「内部電極の厚み」の欄に示す厚みが焼成後に得られるように、内部電極となるべき導電性ペースト膜をスクリーン印刷によって形成した。ここで、導電性ペースト膜の印刷パターンについては、後のカット工程および焼成工程を経て得られた積層体において、内部電極が表 1 および表 2 の「幅方向ギャップ」の欄に示すような幅方向ギャップを介して位置する領域に分布するように、その寸法を調整した。

[0037] 次に、導電性ペースト膜が形成されたグリーンシートを、導電性ペースト膜の引き出されている側が互い違いになるように所定の枚数積層し、さらにこれらを挟み込むように、導電性ペースト膜が形成されていない外層部用グリーンシートを所定の枚数積み重ね、加熱・加圧することによって、積層体ブロックを作製した。ここで、外層部用グリーンシートの積層枚数については、表 1 および表 2 の「外層厚み」が焼成後において得られるように調整し

た。

[0038] 次に、積層体ブロックをダイシングソーにてカットし、未焼成積層体を得た。

[0039] 次に、得られた未焼成積層体を、 N_2 気流中において、最高温度 $240^{\circ}C$ で熱処理することによって脱脂した。引き続き、 $N_2-H_2O-H_2$ 気流中、酸素分圧 $10^{-9.5} MPa$ の雰囲気下において、最高温度 $1180^{\circ}C$ にて焼成した。

[0040] このようにして得られた焼結後の積層体に対し、内部電極が引き出された端面部に外部電極を形成した。より詳細には、銅を主成分とする導電性ペーストを塗布して、 $800^{\circ}C$ で焼き付けることで下地層を形成し、その上に、湿式めっきによって、 Ni めっき膜および Sn めっき膜を形成した。

[0041] 以上のようにして、各試料に係る積層セラミックコンデンサを得た。得られた積層セラミックコンデンサの外部電極を含む外形寸法は、表1および表2の「長さ方向寸法」、「幅方向寸法」および「厚み方向寸法」に示すとおりとなった。

[0042] 次に、得られた積層セラミックコンデンサについて、表1および表2に示した「内部電極の厚み」、「外層厚み」、「幅方向ギャップ」の値となることを以下のようにして確認した。

[0043] (1) 内部電極の厚み

各試料において、3つの積層セラミックコンデンサを用意した。これら積層セラミックコンデンサの端面が立つように樹脂固めを行ない、端面を積層セラミックコンデンサの長さ方向に沿って研磨し、長さ方向の $1/2$ の時点における研磨断面を得た。次に、この研磨断面に対しイオンミリングを行ない、研磨によるダレを除去した。このようにして、観察用の断面を得た。

[0044] 次に、内部電極の群を、試料の厚み方向に対して3等分し、上領域、中領域および下領域の3領域に分類した。また、断面において、内部電極に直交しかつ内部電極を幅方向に2分割する垂線を引いた。そして、上記3領域のそれぞれ中央部から25層の内部電極を選択し、これら内部電極の、上記垂線上における厚みを測定した。

[0045] 以上より、1つの試料について75箇所では内部電極の厚みを測定し、計3つの試料の合計225箇所では内部電極の厚みを求め、これらの平均値を求めた。ただし、内部電極が欠損している箇所についてはカウントしなかった。

[0046] 結果として、各試料の内部電極の厚みの平均値は、ほぼ狙いどおりの表1および表2の「内部電極の厚み」の欄に示すような値となることを確認した。

[0047] (2) 幅方向ギャップ

幅方向ギャップを求めるため、上記(1)で得た観察用の断面を用いた。内部電極の存在する領域を試料の厚み方向に対して6等分に分割する位置にある7層の内部電極を特定した。これら7層の内部電極のうち、最上層の内部電極と最下層の内部電極とを除いた5層の内部電極が位置する箇所において、幅方向ギャップを、右側および左側の両方において、計10箇所測定した。そして、計3つの試料の合計30箇所の幅方向ギャップの値を求め、これらの平均値を求めた。

[0048] 結果として、各試料の幅方向ギャップの平均値は、ほぼ狙いどおりの表1および表2の「幅方向ギャップ」の欄に示すような値となることを確認した。

[0049] (3) 外層厚み

外層厚みを求めるため、第1に、上記(1)で得た観察用の断面を用いた。内部電極に直交しかつ内部電極を幅方向に6等分する7本の垂線を引いた。これら7本の垂線のうち、両側2本の垂線を除いた5本の垂線上において、外層厚みを上側と下側の両側において、計10箇所測定した。そして、計3つの試料の合計30箇所の外層厚みをまず求めた。

[0050] 第2に、各試料において、さらに3つの積層セラミックコンデンサを用意した。これらの積層セラミックコンデンサについては、側面が立つように樹脂固めを行ない、側面を積層セラミックコンデンサの幅方向に沿って研磨し、幅方向の1/2の時点における研磨断面を得た。次に、この研磨断面に対してイオンミリングを行ない、研磨によるダレを除去した。このようにして、

観察用の第2の断面を得た。

[0051] この第2の断面において、内部電極に直交しかつ内部電極の重なり領域（長さ方向ギャップを除いた領域）を長さ方向に6等分する垂線を引いた。この7本の垂線のうち、両側2本の垂線を除いた5本の垂線上において、外層厚みを上側と下側の両側において、計10箇所測定した。そして、計3つの試料の合計30か所の外層厚みをさらに求めた。

[0052] 以上、合計6つの試料の計60か所の外層厚みの平均値を求めた。結果として、各試料の外層厚みは、ほぼ狙いどおりの表1および表2の「外層厚み」の欄に示すような値となることを確認した。

[0053] なお、表1および表2に示した試料1～74では、すべて、内部電極のカバレッジは約80%であった。カバレッジは、積層体を剥離した後、剥離面における内部電極パターンの中央付近の表面を光学顕微鏡で観察し、内部電極の存在している面積率を求め、これをカバレッジとした。

[0054] （2）評価

各試料に係る積層セラミックコンデンサに対して、以下のように熱衝撃試験を実施した。

[0055] 温度500℃のはんだ槽に、各試料に係る積層セラミックコンデンサを2秒間浸漬する熱衝撃試験を実施し、光学顕微鏡観察により、構造欠陥発生の有無を評価した。この評価を100個の試料について実施し、構造欠陥が発生した試料数の比率を求めた。その結果が、表1および表2の「欠陥発生率」の欄に示されている。

[0056]

[表1]

試料 番号	長さ方向寸法 [mm]	幅方向寸法 [mm]	厚み方向寸法 [mm]	内部電極の厚み [μ m]	外層厚み [μ m]	幅方向キップ [μ m]	欠陥発生率 [%]
1	3.2	1.6	1.6	1.0	30	30	100
2	3.2	1.6	1.6	1.0	60	30	100
3	3.2	1.6	1.6	1.0	120	30	100
4	3.2	1.6	1.6	1.0	30	60	100
5	3.2	1.6	1.6	1.0	60	60	100
6	3.2	1.6	1.6	1.0	120	60	100
7	3.2	1.6	1.6	1.0	30	120	100
8	3.2	1.6	1.6	1.0	60	120	100
9	3.2	1.6	1.6	1.0	120	120	100
10	2.0	1.2	1.2	1.0	35	25	100
11	2.0	1.2	1.2	1.0	70	25	100
12	2.0	1.2	1.2	1.0	140	25	100
13	2.0	1.2	1.2	1.0	35	50	100
14	2.0	1.2	1.2	1.0	70	50	100
15	2.0	1.2	1.2	1.0	140	50	100
16	2.0	1.2	1.2	1.0	35	100	100
17	2.0	1.2	1.2	1.0	70	100	100
18	2.0	1.2	1.2	1.0	140	100	100
19	3.2	1.6	1.6	0.6	30	30	100
20	3.2	1.6	1.6	0.6	60	30	100
21	3.2	1.6	1.6	0.6	120	30	100
22	3.2	1.6	1.6	0.6	30	60	100
23	3.2	1.6	1.6	0.6	60	60	100
24	3.2	1.6	1.6	0.6	120	60	100
25	3.2	1.6	1.6	0.6	30	120	100
26	3.2	1.6	1.6	0.6	60	120	100
27	3.2	1.6	1.6	0.6	120	120	100
28	2.0	1.2	1.2	0.6	35	25	100
29	2.0	1.2	1.2	0.6	70	25	100
30	2.0	1.2	1.2	0.6	140	25	100
31	2.0	1.2	1.2	0.6	35	50	100
32	2.0	1.2	1.2	0.6	70	50	100
33	2.0	1.2	1.2	0.6	140	50	100
34	2.0	1.2	1.2	0.6	35	100	100
35	2.0	1.2	1.2	0.6	70	100	100
36	2.0	1.2	1.2	0.6	140	100	100

[0057]

[表2]

試料 番号	長さ方向寸法 [mm]	幅方向寸法 [mm]	厚み方向寸法 [mm]	内部電極の厚み [μ m]	外層厚み [μ m]	幅方向ギャップ [μ m]	欠陥発生率 [%]
37	3.2	1.6	1.6	0.4	30	30	0
38	3.2	1.6	1.6	0.4	60	30	0
39	3.2	1.6	1.6	0.4	120	30	0
40	3.2	1.6	1.6	0.4	30	60	0
41	3.2	1.6	1.6	0.4	60	60	100
42	3.2	1.6	1.6	0.4	120	60	100
43	3.2	1.6	1.6	0.4	30	120	0
44	3.2	1.6	1.6	0.4	60	120	100
45	3.2	1.6	1.6	0.4	120	120	100
46	2.0	1.2	1.2	0.4	35	25	0
47	2.0	1.2	1.2	0.4	70	25	0
48	2.0	1.2	1.2	0.4	140	25	0
49	2.0	1.2	1.2	0.4	35	50	0
50	2.0	1.2	1.2	0.4	70	50	100
51	2.0	1.2	1.2	0.4	140	50	100
52	2.0	1.2	1.2	0.4	35	100	0
53	2.0	1.2	1.2	0.4	70	100	100
54	2.0	1.2	1.2	0.4	140	100	100
55	3.2	1.6	1.6	0.4	50	50	100
56	3.2	1.6	1.6	0.2	30	30	0
57	3.2	1.6	1.6	0.2	60	30	0
58	3.2	1.6	1.6	0.2	120	30	0
59	3.2	1.6	1.6	0.2	30	60	0
60	3.2	1.6	1.6	0.2	60	60	41
61	3.2	1.6	1.6	0.2	120	60	73
62	3.2	1.6	1.6	0.2	30	120	0
63	3.2	1.6	1.6	0.2	60	120	80
64	3.2	1.6	1.6	0.2	120	120	97
65	2.0	1.2	1.2	0.2	35	25	0
66	2.0	1.2	1.2	0.2	70	25	0
67	2.0	1.2	1.2	0.2	140	25	0
68	2.0	1.2	1.2	0.2	35	50	0
69	2.0	1.2	1.2	0.2	70	50	40
70	2.0	1.2	1.2	0.2	140	50	92
71	2.0	1.2	1.2	0.2	35	100	0
72	2.0	1.2	1.2	0.2	70	100	68
73	2.0	1.2	1.2	0.2	140	100	100
74	3.2	1.6	1.6	0.2	50	50	24

[0058] 図3および図4には、特定の試料について、幅方向ギャップおよび外層厚みの分布状態が示され、併せて、欠陥発生の評価結果が●および○の記号で表わされている。ここで、図3は、表2に示された、内部電極の厚みが0.4 μ mの試料37～55について示したものである。図4は、表2に示された、内部電極の厚みが0.2 μ mの試料56～65について示したものである。

[0059] 図3および図4では、欠陥発生率が0%でないとき（特に図3では、欠陥発生率が100%であるとき）、●で表示され、0%であるとき、○で表示されている。図3と図4とを対比すれば、内部電極の厚みが0.4 μ mの場合も、内部電極の厚みが0.2 μ mの場合と同様の傾向が現れていることが

わかる。

[0060] 表 1 ならびに図 3 および図 4 から、内部電極の厚みが $0.4\ \mu\text{m}$ 以下であり、かつ、外層厚みが $35\ \mu\text{m}$ 以下であるか、幅方向ギャップが $30\ \mu\text{m}$ 以下であるかの条件を満たせば、欠陥発生率を 0% にできることがわかる。

[0061] [実験例 2]

実験例 2 では、内部電極のカバレッジと熱衝撃試験による欠陥発生率との関係进行评估した。

[0062] 実験例 1 の場合と基本的に同様の工程を経て、表 3 の「長さ方向寸法」、「幅方向寸法」および「厚み方向寸法」に示す外形寸法を有する、各試料に係る積層セラミックコンデンサを得た。各試料に係る積層セラミックコンデンサは、すべて、内部電極の厚みを $0.4\ \mu\text{m}$ 、幅方向ギャップを $30\ \mu\text{m}$ 、外層厚みを $35\ \mu\text{m}$ とした。そして、焼成工程における最高温度を、 1100°C ~ 1300°C の間で制御することにより、内部電極のカバレッジを、表 3 の「カバレッジ」の欄に示すように変化させた。

[0063] 得られた各試料において、実験例 1 と同様の方法にて、「内部電極の厚み」、「幅方向ギャップ」、「外層厚み」を測定したところ、上述のように、ほぼ狙いどおりの値となることを確認した。

[0064] また、内部電極のカバレッジも、ほぼ狙いどおりの値となった。

[0065] 得られた各試料について、はんだ槽の温度を、表 3 の「はんだ槽温度」の欄に示すように設定したことを除いて、実験例 1 の場合と同様の要領で、熱衝撃試験を実施し、構造欠陥が発生した試料数の比率を求めた。その結果が表 3 の「欠陥発生率」の欄に示されている。

[0066]

[表3]

試料 番号	長さ方向寸法 [mm]	幅方向寸法 [mm]	厚み方向寸法 [mm]	カバレッジ [%]	はんだ槽温度 [°C]	欠陥発生率 [%]
101	3.2	1.6	1.6	48	400	26
102	3.2	1.6	1.6	62	400	13
103	3.2	1.6	1.6	75	400	0
104	3.2	1.6	1.6	97	400	0
105	3.2	1.6	1.6	46	450	57
106	3.2	1.6	1.6	65	450	27
107	3.2	1.6	1.6	76	450	0
108	3.2	1.6	1.6	92	450	0
109	3.2	1.6	1.6	44	500	88
110	3.2	1.6	1.6	58	500	52
111	3.2	1.6	1.6	79	500	0
112	3.2	1.6	1.6	95	500	0

[0067] 表3から、内部電極のカバレッジが75%以上である条件を満たす方が欠陥発生率の低減により効果があることが確認できる。

[0068] すなわち、表3において、「欠陥発生率」が0%となった試料について、「カバレッジ」に注目すると、「はんだ槽温度」が400°Cのとき、「カバレッジ」が75%以上で、「欠陥発生率」が0%となっている。このことから、まず、少なくとも400°Cの熱衝撃に対しては、「カバレッジ」が75%以上であることが好ましいことがわかる。

[0069] より高温の熱衝撃に対しては、「カバレッジ」がより高いことが好ましく、より具体的には、「はんだ槽温度」が450°Cのとき、「カバレッジ」が76%以上で、「欠陥発生率」が0%となり、「はんだ槽温度」が500°Cのとき、「カバレッジ」が79%以上で、「欠陥発生率」が0%となっている。

符号の説明

[0070] 1 積層セラミックコンデンサ

2 積層体

3 セラミック層

4, 5 内部電極

6, 7 主面

8, 9 側面

10, 11 端面

請求の範囲

[請求項1]

積層された複数のセラミック層と前記セラミック層間に位置する複数の内部電極とを含む積層体を備え、

前記積層体は、前記セラミック層の延びる方向に延びかつ互いに対向する1対の主面、ならびに、前記主面に対して直交する方向にそれぞれ延びる、互いに対向する1対の側面および互いに対向する1対の端面を有し、

前記内部電極は、1対の前記端面のいずれか一方にまで引き出され、1対の前記側面の各々に対して幅方向ギャップを介して位置する領域に分布しており、かつ1対の前記主面の各々に対して外層厚みを介して位置する領域に分布している、

積層セラミック電子部品であって、

前記内部電極の厚みが $0.4\ \mu\text{m}$ 以下である、という第1の条件と、

前記幅方向ギャップが $30\ \mu\text{m}$ 以下である、または前記外層厚みが $35\ \mu\text{m}$ 以下である、という第2の条件とを満たす、積層セラミック電子部品。

[請求項2]

積層された複数のセラミック層と前記セラミック層間に位置する内部電極とを含む積層体を備え、

前記積層体は、前記セラミック層の延びる方向に延びかつ互いに対向する1対の主面、ならびに、前記主面に対して直交する方向にそれぞれ延びる、互いに対向する1対の側面および互いに対向する1対の端面を有し、

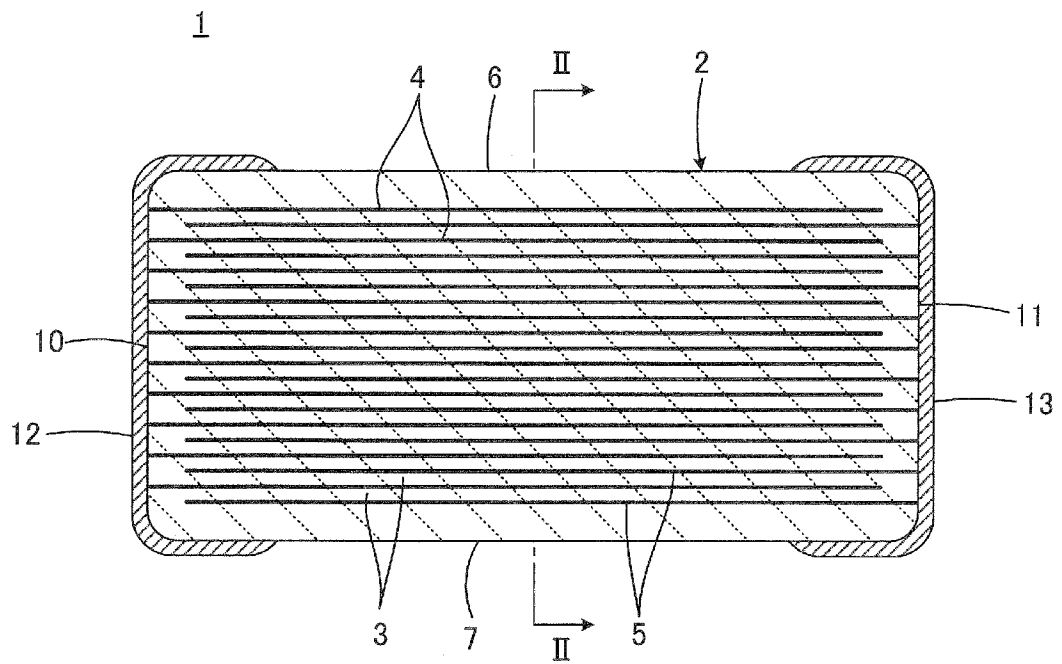
前記内部電極は、1対の前記端面のいずれか一方にまで引き出され、1対の前記側面の各々に対して幅方向ギャップを介して位置する領域に分布しており、かつ1対の前記主面の各々に対して外層厚みを介して位置する領域に分布している、

積層セラミック電子部品であって、

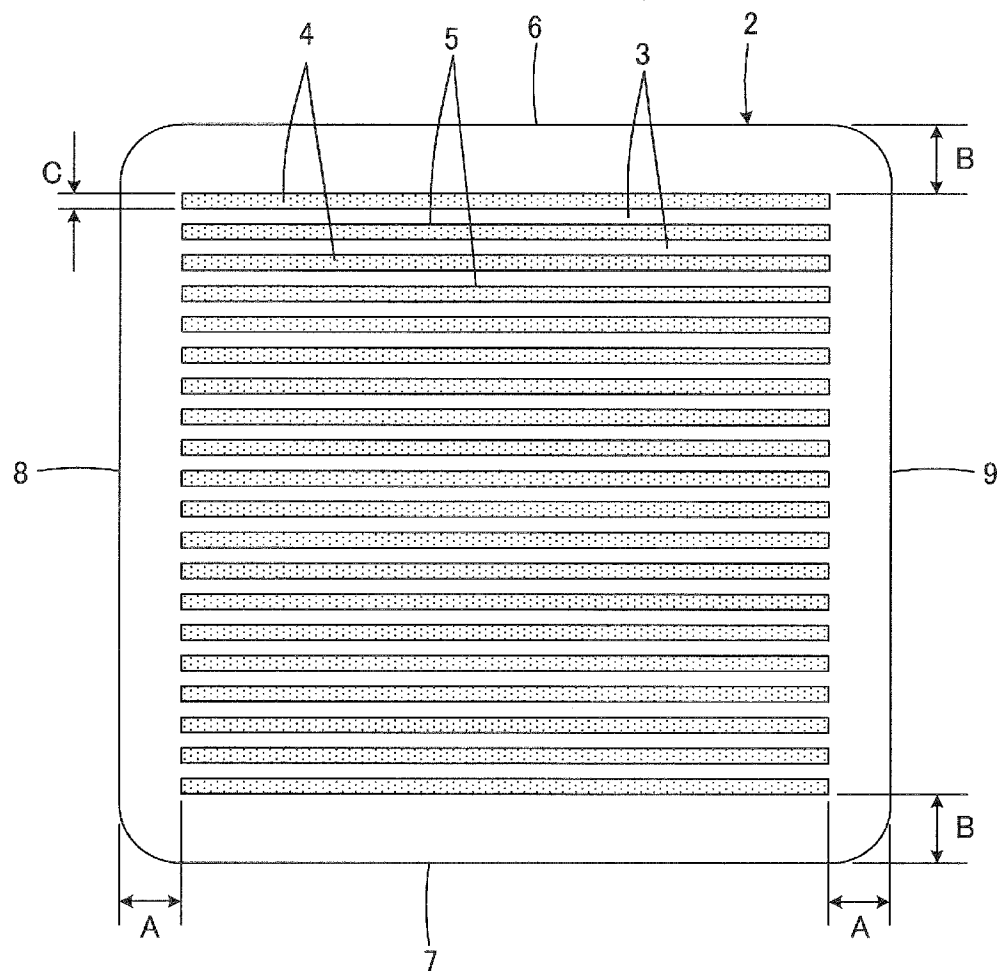
前記内部電極の厚みが $0.4\ \mu\text{m}$ 以下である、という第1の条件と、
前記幅方向ギャップが $30\ \mu\text{m}$ 以下である、および前記外層厚みが $35\ \mu\text{m}$ 以下である、という第2の条件とを満たす、積層セラミック電子部品。

[請求項3] さらに、前記内部電極のカバレッジが75%以上である、という第3の条件を満たす、請求項1または2に記載の積層セラミック電子部品。

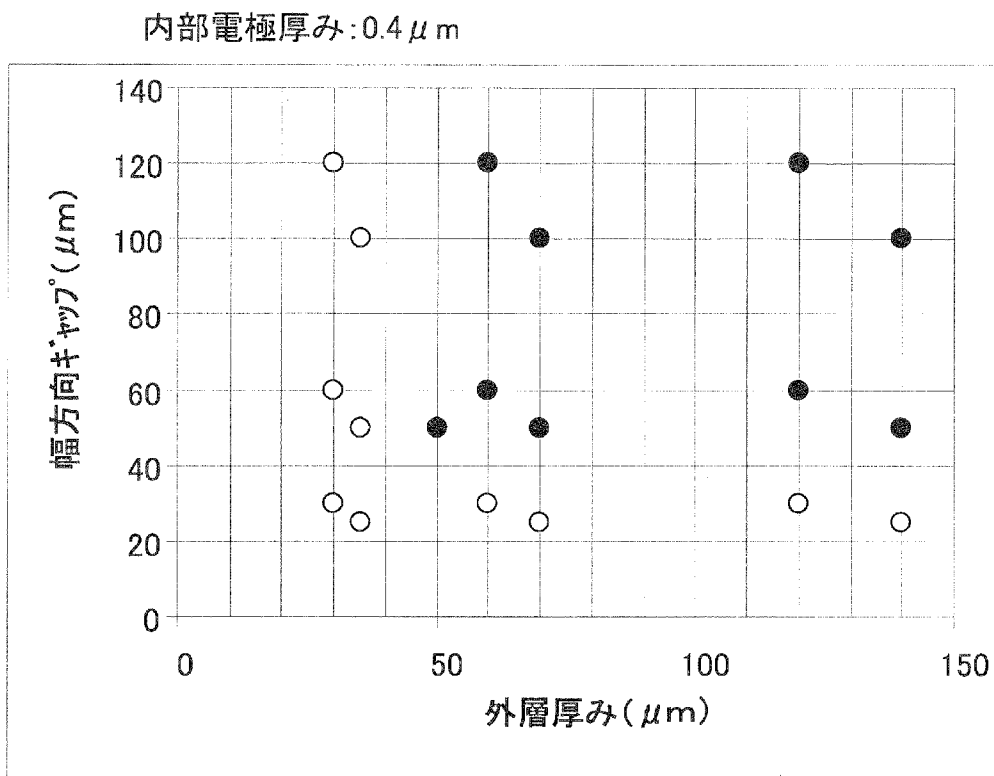
[図1]



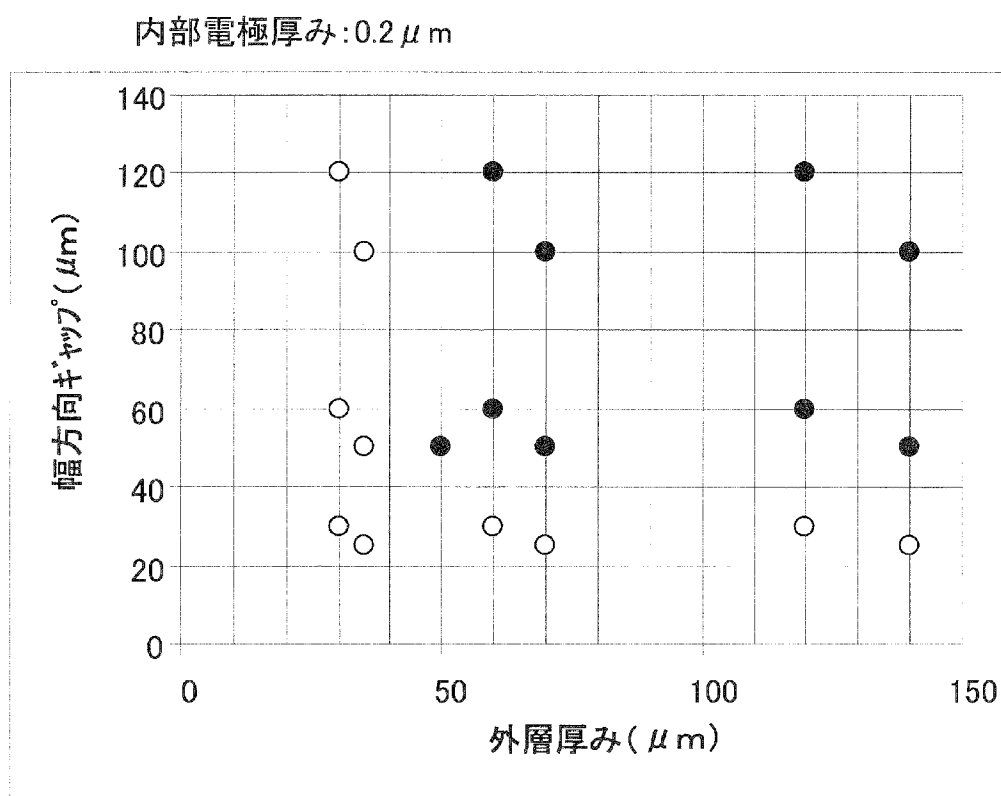
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/077887

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01) i, H01G4/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-234242 A (Murata Mfg. Co., Ltd.), 22 August 2003 (22.08.2003), tables 2, 3 (Family: none)	1, 3 2
Y A	JP 2000-353636 A (Matsushita Electric Industrial Co., Ltd.), 19 December 2000 (19.12.2000), table 1 (Family: none)	1, 3 2
A	JP 2008-091400 A (TDK Corp.), 17 April 2008 (17.04.2008), tables 1 to 5; fig. 4 to 5 (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 February, 2012 (02.02.12)

Date of mailing of the international search report
14 February, 2012 (14.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/077887

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-315621 A (Murata Mfg. Co., Ltd.), 14 November 2000 (14.11.2000), entire text; all drawings (Family: none)	1-3
A	JP 2005-167290 A (Murata Mfg. Co., Ltd.), 23 June 2005 (23.06.2005), entire text; all drawings (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G4/12(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G4/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-234242 A (株式会社村田製作所) 2003. 08. 22, 表 2, 表 3 (ファミリーなし)	1, 3 2
Y A	JP 2000-353636 A (松下電器産業株式会社) 2000. 12. 19, 表 1 (ファミリーなし)	1, 3 2
A	JP 2008-091400 A (TDK株式会社) 2008. 04. 17, 表 1 - 5, 図 4 - 5 (ファミリーなし)	1 - 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 2 . 2 0 1 2

国際調査報告の発送日

1 4 . 0 2 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小池 秀介

5 R

3 6 6 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-315621 A (株式会社村田製作所) 2000. 11. 14, 全文, 全図 (ファミリーなし)	1 - 3
A	JP 2005-167290 A (株式会社村田製作所) 2005. 06. 23, 全文, 全図 (ファミリーなし)	1 - 3