

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年10月7日(2010.10.7)

【公開番号】特開2008-287578(P2008-287578A)

【公開日】平成20年11月27日(2008.11.27)

【年通号数】公開・登録公報2008-047

【出願番号】特願2007-132936(P2007-132936)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 K 17/00 (2006.01)

G 0 6 F 3/08 (2006.01)

【F I】

G 0 6 F 12/00 5 5 0 E

G 0 6 F 12/00 5 9 7 U

G 0 6 K 17/00 D

G 0 6 F 3/08 A

【手続補正書】

【提出日】平成22年8月23日(2010.8.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリへの該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

前記クロック出力制御部が、所与の第 1 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始することを特徴とするメモリコントローラ。

【請求項 2】

請求項 1 において、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

前記クロック出力制御部が、所与の第 2 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始することを特徴とするメモリコントローラ。

【請求項 3】

請求項 2 において、

前記第 1 の指定期間が、前記第 2 の指定期間より短いことを特徴とするメモリコントロ

ーラ。

【請求項 4】

請求項 3 において、

前記クロック出力制御部が、

前記メモリがビジー状態になった場合に前記転送クロックの供給を停止したとき、前記ビジー状態が解除される直前に前記転送クロックの供給を再開することを特徴とするメモリコントローラ。

【請求項 5】

請求項 4 において、更に、

前記ビジー検出部が、

前記メモリコントローラと前記メモリとの間に接続されるデータラインの状態に基づいて前記ビジー状態を検出することを特徴とするメモリコントローラ。

【請求項 6】

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリに該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 2 の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 2 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

【請求項 7】

請求項 1 又は 6 において、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 3 の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 3 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

【請求項 8】

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 3 の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 3 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

【請求項 9】

請求項 1 又は 2 において、

前記クロック出力制御部が、

前記メモリがビジー状態になった場合に前記転送クロックの供給を停止したとき、前記ビジー状態が解除される直前に前記転送クロックの供給を再開することを特徴とするメモリコントローラ。

【請求項 10】

請求項 1 乃至 4 のいずれか、又は 6 乃至 9 のいずれかにおいて、更に、

前記ビジー検出部が、

前記メモリコントローラと前記メモリとの間に接続されるデータラインの状態に基づいて前記ビジー状態を検出することを特徴とするメモリコントローラ。

【請求項 11】

請求項 1 乃至 10 のいずれかにおいて、

前記メモリが、

M M C (MultiMediaCard) 規格、S D (Secure Digital) 規格、S D I O (Secure Digital Input/Output) 規格又は C E - A T A (Consumer Electronics-AT Attachment) 規格に準拠したメモリカードであることを特徴とするメモリコントローラ。

【請求項 12】

請求項 1 乃至 11 のいずれか記載のメモリコントローラと、

前記メモリコントローラに対してライトコマンド又はイレースコマンドの発行を制御する制御マスタとを含むことを特徴とする情報処理装置。

【請求項 13】

前記メモリが挿抜されるメモリ装着部と、

請求項 12 記載の情報処理装置とを含むことを特徴とする電子機器。