



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

213 107

(11) (B1)

(51) Int. Cl.³ G 06 F 5/02

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 10 80
(21) PV 6637-80

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)

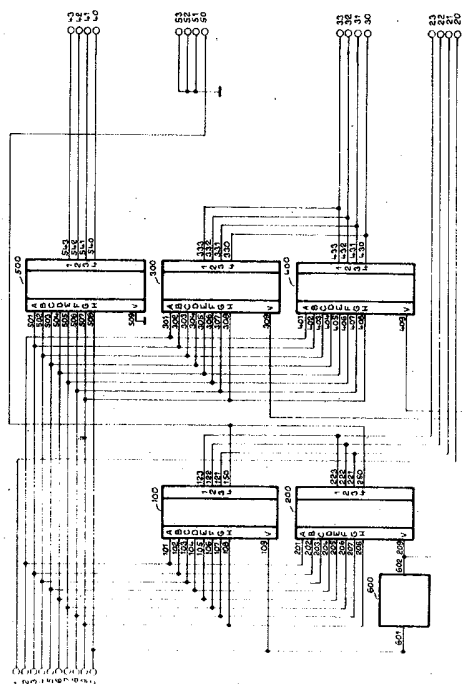
Autor vynálezu KRISTEN JIŘÍ, PRAHA

(54) Zapojení dekódéru binárního kódu na binárně dekadický kód

Dekódér binárního kódu na binárně dekadický kód umožňuje převod čísel z deseti binárních řádů na čtyři řády dekadického kódu vyjádřeného binární formou pomocí BCD kódu pro čísla 0 až 1023.

Podstata vynálezu spočívá v tom, že vynecháním nižších nepotřebných řádů binárního kódu při převodu na BCD kód se zkracuje cyklus obsahů uložených v pevných pamětech, které převod provádějí. To je dáno vlastnostmi číselných soustav, mezi kterými k převodu dochází. Konkrétně pevné paměti převádějící nultý a první řád desítkového čísla jsou adresovány až od prvního řádu binárního čísla. Pevné paměti převádějí druhý řád desítkového čísla jsou adresovány až od druhého řádu binárního čísla.

Vynález charakterizuje schéma zapojení dekódéru binárního kódu na binárně dekadický kód.



Vynález se týká zapojení dekódéru binárního kódu na binárně dekadický kód, realizovaný pevnými polovodičovými pamětmi typu PROM, který umožňuje převádět binární kód na kód binárně dekadický.

Až dosud se podobné převody prováděly nejčastěji použitím dvou čítačů, kdy jeden čítač čítal v binárním kódu a druhý čítač čítal v binárně dekadickém kódu. Nastala-li shoda mezi vstupem a kombinací na výstupech binárního čítače, přečetla se kombinace z výstupů binárně dekadického čítače, s nástupem techniky ROM pevných polovodičových pamětí se pro dekódování používá dekódérů, u nichž počet pouzder polovodičových pamětí je určen násobkem vstupů a výstupů vzhledem k paměťové kapacitě pevné paměti.

Tento nedostatek odstraňuje zapojení dekódéru podle vynálezu, které využívá vlastností binárně dekadického kódu a umožňuje například převod deseti binárních řádů na čtyři dekadické řády za použití jen pěti pouzder pevných pamětí organizace 256 x 4, namísto 16 pouzder podle návrhu bez využití vlastností binárního kódu a zapojení podle vynálezu. Navíc se zkracuje doba převodu kódu oproti dekódérům sestavených z čítačů binárního a binárně dekadického kódu, na dobu rovnou vybavovací době pevných pamětí a tato doba se oproti vybavovací době dekódéru z plného počtu pouzder neprodlužuje.

Podstata zapojení dekódéru binárního kódu na binárně dekadický kód, sestávající z pěti pevných polovodičových pamětí typu PROM organizace alespoň 256 x 4, tj. 256 slov x 4 bity a jednoho invertoru podle vynálezu spočívá v tom, že první vstupní špička dekódéru je spojena na první výstup nultého řádu binárně dekadického kódu, a to na první výstupní špičku, zatímco druhá vstupní špička dekódéru je propojena se všemi A vstupy prvních čtyř pamětí, zatímco třetí vstupní špička dekódéru je propojena jednak se všemi B vstupy prvních čtyř pamětí, a navíc je spojena s A vstupem páté paměti, přičemž čtvrtá vstupní špička dekódéru je propojena jednak se všemi C vstupy prvních čtyř pamětí a navíc je spojena s B vstupem páté paměti, kdežto pátá vstupní špička dekódéru je propojena jednak se všemi D vstupy prvních čtyř pamětí a navíc je spojena s C vstupem páté paměti, kdežto šestá vstupní špička dekódéru je spojena jednak se všemi E vstupy prvních čtyř pamětí a navíc je spojena s D vstupem páté paměti, kdežto sedmá vstupní špička dekódéru je propojena jednak se všemi F vstupy prvních čtyř pamětí a navíc je spojena s E vstupem páté paměti, kdežto osmá vstupní špička dekódéru je spojena jednak se všemi G vstupy prvních čtyř pamětí a navíc je spojena s F vstupem páté paměti, kdežto devátá vstupní špička dekódéru je propojena jednak se všemi H vstupy prvních čtyř pamětí a navíc je spojena s G vstupem páté paměti, zatímco desátá vstupní špička dekódéru je propojena na V vstupy první a třetí paměti, dále na H vstup páté paměti a současně na vstup invertoru, přičemž výstup invertoru je spojen s V vstupy druhé a čtvrté paměti, zatímco V vstup páté paměti je propojen na zemní potenciál, jsou čtvrté výstupy druhé a první paměti spojeny s prvním výstupem třetího řádu binárně dekadického kódu a to s třináctou výstupní špičkou dekódéru, zatímco zbývající výstup třetí řádu, výstupní špičky čtrnáct až šestnáct jsou propojeny na zemní potenciál, přičemž třetí výstupy první a druhé paměti jsou spojeny s výstupem nultého řádu a to s druhou výstupní špičkou dekódéru, zatímco druhé výstupy první a druhé paměti jsou spojeny s výstupem nultého řádu a to s třetí výstupní špičkou dekódéru, zatímco první výstupy první a druhé paměti jsou spojeny s výstupem nultého řádu a to se čtvrtou výstupní špičkou dekódéru, kdežto pro výstup prvního řádu jsou čtvrté výstupy třetí a čtvrté paměti spojeny s pátou výstupní špičkou dekódéru, kdežto třetí výstupy třetí a čtvrté paměti jsou spojeny s šestou výstupní špičkou dekódéru, kdežto druhé výstupy třetí a čtvrté paměti jsou spojeny se sedmou výstupní špičkou dekódéru, kdežto první výstupy třetí a čtvrté paměti jsou spojeny s osmou výstupní špičkou dekódéru, zatímco pro výstup druhého řádu je čtvrtý výstup páté paměti spojen s devátou výstupní špičkou dekódéru, zatímco třetí výstup páté paměti je spojen s desátou výstupní špičkou dekódéru, přičemž druhý výstup páté paměti je spojen s jedenáctou výstupní špičkou dekódéru, zatímco první výstup páté paměti je spojen s dvanáctou výstupní špičkou dekódéru.

V takto zapojeném dekódéru je využito shody mezi nultým řádem binární adresy a prvním výstupem nultého dekadického řádu. Na takto získaném výstupu pevných pamětí dekódujících nultý řád je nahrána informace pro první výstup třetího dekadického řádu. Při dekódování

prvního a druhého dekadického řádu je využita jejich dělitelnost dvěma, respektive čtyřma, která vede k zmenšení nultého počtu adresových vstupů dekodujících pevných pamětí při současném zkrácení cyklu obsahů v nich uložených. Tím dochází k úspoře pouzder pevných polovodičových pamětí při současném zachování krátké doby převodu kódů, který se rovná vybavovací době paměti PROM.

Na přiloženém výkresu je znázorněn příklad zapojení dekodéru binárního kódu na binárně dekadický kód. V tabulkové příloze je potom uveden výpis obsahu na prvních 32 adresách paměti zúčastněných pro převod prvních 512 binárních čísel do binárně dekadického kódu.

Zapojení dekodéru binárního kódu na binárně dekadický kód sestává z pěti pamětí 100, 200, 300, 400, 500 typu PROM organizace 256×4 a jednoho invertoru 600. Spočívá v tom, že první vstupní špička 1 dekodéru je spojena na první výstup nultého řádu a to na první výstupní špičku 20. Druhá vstupní špička 2 dekodéru je propojena se všemi A vstupy 101, 201, 301, 401 prvních čtyř pamětí 100, 200, 300, 400. Třetí vstupní špička 3 dekodéru je propojena jednak se všemi B vstupy 102, 202, 302, 402 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s A vstupem 501 páté paměti 500. Čtvrtá vstupní špička 4 dekodéru je propojena jednak se všemi C vstupy 103, 203, 303, 403 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s B vstupem 502 páté paměti 500. Pátá vstupní špička 5 dekodéru je spojena se všemi D vstupy 104, 204, 304, 404 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s C vstupem 503 páté paměti 500. Šestá vstupní špička 6 dekodéru je spojena jednak se všemi E vstupy 105, 205, 305, 405 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s D vstupem 504 páté paměti 500. Sedmá vstupní špička 7 dekodéru je spojena jednak se všemi F vstupy 106, 206, 306, 406 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s E vstupem 505 páté paměti 500. Osmá vstupní špička 8 dekodéru je spojena jednak se všemi G vstupy 107, 207, 307, 407 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s F vstupem 506 páté paměti 500. Devátá vstupní špička 9 dekodéru je spojena jednak se všemi H vstupy 108, 208, 308, 408 prvních čtyř pamětí 100, 200, 300, 400 a navíc je spojena s G vstupem 507 páté paměti 500. Desátá vstupní špička 10 dekodéru je spojena s V vstupy 109, 209 první a třetí paměti 100, 200 a dále s H vstupem 508 páté paměti 500 a současně se vstupem 601 invertoru 600. Výstup 602 invertoru 600 je spojen s V vstupy 209, 409 druhé a čtvrté paměti 200, 400. V vstup 509 páté paměti 500 je propojen na zemní potenciál. Čtvrté výstupy 150, 250 první a druhé paměti 100, 200 jsou spojeny s prvním výstupem třetího řádu binárně dekadického kódu a to s třináctou výstupní špičkou 50, zatímco zbývající výstupy třetího řádu, tj. výstupní čtrnáctá až šestnáctá špička 51, 52, 53 jsou propojeny na zemní potenciál. Třetí výstupy 121, 221 první a druhé paměti 100, 200 jsou spojeny s druhým výstupem nultého řádu binárně dekadického kódu a to s druhou výstupní špičkou 21 dekodéru. Druhé výstupy 122, 222 první a druhé paměti 100, 200 jsou spojeny s třetím výstupem nultého řádu a to se třetí výstupní špičkou 22 dekodéru. První výstupy 123, 223 první a druhé paměti 100, 200 jsou spojeny se čtvrtým výstupem nultého řádu a to se čtvrtou výstupní špičkou 23 dekodéru. Výstup prvního řádu binárně dekadického kódu je připojen z výstupů třetí a čtvrté paměti 300, 400. Čtvrté výstupy 330, 430 třetí a čtvrté paměti 300, 400 jsou spojeny s prvním výstupem prvního řádu a to s pátou výstupní špičkou 30 dekodéru. Druhý výstup prvního řádu je tvořen spojením třetích výstupů 331, 431 třetí a čtvrté paměti 300, 400 a šestou výstupní špičkou 31 dekodéru. Třetí výstup prvního řádu je tvořen spojením druhých výstupů 332, 432 třetí a čtvrté paměti 300, 400 se sedmou výstupní špičkou 32 dekodéru. Čtvrtý výstup prvního řádu je tvořen spojením prvních výstupů 333, 433 třetí a čtvrté paměti 300, 400 s osmou výstupní špičkou 33 dekodéru. Podobně výstup druhého řádu binárně dekadického kódu je proveden z výstupů páté paměti 500. První výstup druhého řádu je tvořen spojením čtvrtého výstupu 540 páté paměti 500 s devátou výstupní špičkou 40 dekodéru. Druhý výstup druhého řádu je tvořen spojením třetího výstupu 541 páté paměti 500 s desátou výstupní špičkou 41 dekodéru. Třetí výstup druhého řádu je tvořen spojením druhého výstupu 542 páté paměti 500 s jedenáctou výstupní špičkou 42 dekodéru. Konečně čtvrtý výstup druhého řádu je tvořen spojením prvního výstupu 543 páté paměti 500 s dvanáctou výstupní špičkou 43 dekodéru.

Činnost dekódéru je charakterizována obsahem v tabulkách první, třetí a páté paměti , pouze pro adresy 1 až 31 .

Příloha - tabulka obsahu první paměti 100 pro adresy 0 až 31 :

Dekadická adresa	Binární adresa								Binární obsah			
	H	G	F	E	D	C	B	A	4	3	2	1
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1	0	0	0
2	0	0	0	0	0	0	0	1	0	1	0	0
3	0	0	0	0	0	0	0	1	1	1	0	0
4	0	0	0	0	0	0	1	0	0	0	1	0
5	0	0	0	0	0	1	0	1	0	0	0	0
6	0	0	0	0	0	1	1	0	1	0	0	0
7	0	0	0	0	0	1	1	1	0	1	0	0
8	0	0	0	0	1	0	0	0	1	1	0	0
9	0	0	0	0	1	0	0	1	0	0	1	0
10	0	0	0	0	1	0	1	0	0	0	0	0
11	0	0	0	0	1	0	1	1	1	0	0	0
12	0	0	0	0	1	1	0	0	0	1	0	0
13	0	0	0	0	1	1	0	1	1	1	0	0
14	0	0	0	0	1	1	1	0	0	0	1	0
15	0	0	0	0	1	1	1	1	0	0	0	0
16	0	0	0	1	0	0	0	0	1	0	0	0
17	0	0	0	1	0	0	0	1	0	1	0	0
18	0	0	0	1	0	0	1	0	1	1	0	0
19	0	0	0	1	0	0	1	1	0	0	1	0
20	0	0	0	1	0	1	0	0	0	0	0	0
21	0	0	0	1	0	1	0	1	1	0	0	0
22	0	0	0	1	0	1	1	0	0	1	0	0
23	0	0	0	1	0	1	1	1	1	1	0	0
24	0	0	0	1	1	0	0	0	0	0	1	0
25	0	0	0	1	1	0	0	1	0	0	0	0
26	0	0	0	1	1	0	1	0	1	0	0	0
27	0	0	0	1	1	0	1	1	1	0	0	0
28	0	0	0	1	1	1	0	0	1	1	0	0
29	0	0	0	1	1	1	0	1	0	0	1	0
30	0	0	0	1	1	1	1	0	0	0	0	0
31	0	0	0	1	1	1	1	1	1	0	0	0

Příloha - tabulka obsahu třetí paměti 300 pro adresy 0 až 31 :

Dekadická adresa	Binární adresa								Binární obsah			
	H	G	F	E	D	C	B	A	4	3	2	1
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0	0
2	0	0	0	0	0	0	0	1	0	0	0	0
3	0	0	0	0	0	0	0	1	0	0	0	0
4	0	0	0	0	0	0	1	0	0	0	0	0
5	0	0	0	0	0	0	1	0	1	0	0	0
6	0	0	0	0	0	0	1	1	0	0	0	0
7	0	0	0	0	0	0	1	1	1	0	0	0
8	0	0	0	0	1	0	0	0	1	0	0	0
9	0	0	0	0	1	0	0	1	1	0	0	0
10	0	0	0	0	1	0	1	0	0	1	0	0
11	0	0	0	0	1	0	1	1	0	1	0	0
12	0	0	0	0	1	1	0	0	0	1	0	0

213 107

Dekadická adresa

Binární adresa

Binární obsah

13

H G F E D C B A

4 3 2 1

0 0 0 0 1 1 0 1

0 1 0 0

14

0 0 0 0 1 1 1 0

0 1 0 0

15

0 0 0 0 1 1 1 1

1 1 0 0

16

0 0 0 1 0 0 0 0

1 1 0 0

17

0 0 0 1 0 0 0 1

1 1 0 0

18

0 0 0 1 0 0 1 0

1 1 0 0

19

0 0 0 1 0 0 1 1

1 1 0 0

21

0 0 0 1 0 1 0 1

0 0 1 0

22

0 0 0 1 0 1 1 0

0 0 1 0

23

0 0 0 1 0 1 1 1

0 0 1 0

24

0 0 0 1 1 0 0 0

0 0 1 0

25

0 0 0 1 1 0 0 1

1 0 1 0

26

0 0 0 1 1 0 1 0

1 0 1 0

27

0 0 0 1 1 0 1 1

1 0 1 0

28

0 0 0 1 1 1 0 0

1 0 1 0

29

0 0 0 1 1 1 0 1

1 0 1 0

30

0 0 0 1 1 1 1 0

0 1 1 0

31

0 0 0 1 1 1 1 1

0 1 1 0

Příloha - tabulka obsahu páte paměti 500 pro adresy 0 až 31 :

Dekadická adresa

Binární adresa

Binární obsah

H G F E D C B A

4 3 2 1

0

0 0 0 0 0 0 0 0

0 0 0 0

1

0 0 0 0 0 0 0 1

0 0 0 0

2

0 0 0 0 0 0 1 0

0 0 0 0

3

0 0 0 0 0 0 1 1

0 0 0 0

4

0 0 0 0 0 1 0 0

0 0 0 0

5

0 0 0 0 0 1 0 1

0 0 0 0

6

0 0 0 0 0 1 1 0

0 0 0 0

7

0 0 0 0 0 1 1 1

0 0 0 0

8

0 0 0 0 1 0 0 0

0 0 0 0

9

0 0 0 0 1 0 0 1

0 0 0 0

10

0 0 0 0 1 0 1 0

0 0 0 0

11

0 0 0 0 1 0 1 1

0 0 0 0

12

0 0 0 0 1 1 0 0

0 0 0 0

13

0 0 0 0 1 1 0 1

0 0 0 0

14

0 0 0 0 1 1 1 0

0 0 0 0

15

0 0 0 0 1 1 1 1

0 0 0 0

16

0 0 0 1 0 0 0 0

0 0 0 0

17

0 0 0 1 0 0 0 1

0 0 0 0

18

0 0 0 1 0 0 1 0

0 0 0 0

19

0 0 0 1 0 0 1 1

0 0 0 0

20

0 0 0 1 0 1 0 0

0 0 0 0

21

0 0 0 1 0 1 0 1

0 0 0 0

22

0 0 0 1 0 1 1 0

0 0 0 0

23

0 0 0 1 0 1 1 1

0 0 0 0

24

0 0 0 1 1 0 0 0

0 0 0 0

25

0 0 0 1 1 0 0 1

1 0 0 0

26

0 0 0 1 1 0 1 0

1 0 0 0

27

0 0 0 1 1 0 1 1

1 0 0 0

28

0 0 0 1 1 1 0 0

1 0 0 0

Dekadická adresa	Binární adresa H G F E D C B A	213 197 Binární obsah
		4 3 2 1
29	0 0 0 1 1 1 0 1	1 0 0 0
30	0 0 0 1 1 1 1 0	1 0 0 0
31	0 0 0 1 1 1 1 1	1 0 0 0

Podle výstupního binárního čísla se rozhodne 10. binárním řádem, které z pamětí budou vybrány. Do čísla 511 to budou paměti 100 a 300 nad 511 paměti 200 a 400. Protože první výstup nultého řádu binárně dekadického kódu odpovídá nultému řádu binárního kódu je první výstup 20 dekódéru přímo spojen s první vstupní špičkou 1 dekódéru. Tím vzniká úspora jednoho výstupu z pamětí 100 a 200 dekódující nultý řád binárně dekadického kódu a je z něj přiveden první výstup třetího řádu binárně dekadického kódu a to z výstupů 150 a 250 prvních pamětí 100 a 200 na třináctou výstupní špičku 50. Třetí a čtvrtá paměť 300 a 400 slouží k dekódování prvního řádu binárně dekadického kódu. Protože první řád binárně dekadického kódu desítky se mění po 10 adresách, lze cyklus obsahů vydělit dvěma a adresaci zkrátit o první řád. Obsah se na výstupech třetí a čtvrté paměti 300 a 400 bude měnit po pěti adresách. Obdobně pátá paměť 500 určená k dekódování druhého řádu binárně dekadického kódu lze adresovat zkráceně o první dva řády binárního kódu s tím, že její obsah se bude měnit po 25 adresách. To odpovídá 100 adresám ve skutečném binárním kódu přiváděném na dekódér.

Popsané zapojení dekódéru binárního kódu na binárně dekadický kód se využívá pro dekódování adresy u programovače pevných reprogramovatelných pamětí a v zařízení pro výpis obsahů pevných polovodičových pamětí. Lze jej použít všude tam, kde je potřeba převodu binárního kódu na binárně dekadický při vysoké rychlosti převodu, definované vybavovací dobou použité paměti s pevným obsahem.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení dekódéru binárního kódu na binárně dekadický kód, sestávající z pěti pamětí typu PROM organizace 256 x 4 a jednoho invertoru, vyznačeného tím, že první výstupní špička (1) dekódéru je spojena na první výstup nultého řádu binárně dekadického kódu a to na první výstupní špičku (20), zatímco druhá špička (2) dekódéru je propojena se všemi A vstupy (101, 201, 301, 401) prvních čtyř pamětí (100, 200, 300, 400), zatímco třetí vstupní špička (3) dekódéru je propojena jednak se všemi B vstupy (102, 202, 302, 402) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s A vstupem (501) páté paměti (500), přičemž čtvrtá vstupní špička (4) dekódéru je propojena jednak se všemi C vstupy (103, 203, 303, 403) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s B vstupem (502) páté paměti (500), kdežto pátá vstupní špička (5) dekódéru je propojena se všemi D vstupy (104, 204, 304, 404) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s C vstupem (503) páté paměti (500), kdežto šestá vstupní špička (6) dekódéru je propojena jednak se všemi E vstupy (105, 205, 305, 405) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s D vstupem (504) páté paměti (500), kdežto sedmá vstupní špička (7) dekódéru je propojena jednak se všemi F vstupy (106, 206, 306, 406) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s E vstupem (505) páté paměti (500), kdežto osmá vstupní špička (8) dekódéru je propojena jednak se všemi G vstupy (107, 207, 307, 407) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s F vstupem (506) páté paměti (500), kdežto devátá vstupní špička (9) dekódéru je propojena jednak se všemi H vstupy (108, 208, 308, 408) prvních čtyř pamětí (100, 200, 300, 400) a navíc je spojena s G vstupem (507) páté paměti (500), zatímco desátá vstupní špička (10) dekódéru je propojena na V vstupy (109, 309) první a třetí paměti (100, 300) a dále na H vstup (508) páté paměti (500) a současně na vstup (601) invertoru (600). přičemž výstup (602) je spojen s V vstupy (209, 409) druhé a čtvrté paměti (200, 400), zatímco V vstup (509) páté paměti (500) je spojen na zemní potenciál, jsou čtvrté výstupy (150, 250) první a druhé paměti (100, 200) spojeny s výstupem třetího řádu binárně dekadického kódu a to s třináctou výstupní špičkou

213 107

(50) dekodéru, zatímco zbývající výstupy třetího řádu binárně dekadického kódu, tj. výstupní čtrnáctá až šestnáctá špička (51, 52, 53) jsou propojeny na zemní potenciál, přičemž třetí výstupy (121, 221) první a druhé paměti (100, 200) jsou spojeny s výstupem nultého řádu a to s druhou výstupní špičkou (21) dekodéru, zatímco druhé výstupy (122, 222) první a druhé paměti (100, 200) jsou spojeny s výstupem nultého řádu a to s třetí výstupní špičkou (22) dekodéru, zatímco první výstupy (123, 223,) první a druhé paměti (100, 200) jsou spojeny s výstupem nultého řádu a to se čtvrtou výstupní špičkou (23) dekodéru, kdežto pro výstup prvního řádu binárně dekadického kódu jsou čtvrté výstupy (330, 430) třetí a čtvrté paměti (300, 400) spojeny s pátou výstupní špičkou (30) dekodéru, kdežto třetí výstupy (331, 431) třetí a čtvrté paměti (300, 400) jsou spojeny s šestou výstupní špičkou (31) dekodéru, kdežto druhé výstupy (332, 432) třetí a čtvrté paměti (300, 400) jsou spojeny se sedmou výstupní špičkou (32) dekodéru, kdežto první výstupy (333, 433) třetí a čtvrté paměti (300, 400) jsou spojeny s osmou výstupní špičkou (33) dekodéru, zatímco pro výstup druhého řádu binárně dekadického kódu je čtvrtý výstup (540) páté paměti (500) spojen s devátou výstupní špičkou (40) dekodéru, zatímco třetí výstup (541) páté paměti (500) je spojen s desátou výstupní špičkou (41) dekodéru, přičemž druhý výstup (542) páté paměti (500) je spojen s jedenáctou výstupní špičkou (42) dekodéru, zatímco první výstup (543) páté paměti (500) je spojen s dvanáctou výstupní špičkou (43) dekodéru.

1 výkres

