

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-514148

(P2008-514148A)

(43) 公表日 平成20年5月1日(2008.5.1)

(51) Int.Cl.

H04L 7/00 (2006.01)

F 1

H04L 7/00

テーマコード(参考)

A 5K047

審査請求 未請求 予備審査請求 未請求 (全 31 頁)

(21) 出願番号 特願2007-532980 (P2007-532980)  
 (86) (22) 出願日 平成17年9月21日 (2005.9.21)  
 (85) 翻訳文提出日 平成19年5月11日 (2007.5.11)  
 (86) 國際出願番号 PCT/IB2005/002783  
 (87) 國際公開番号 WO2006/032978  
 (87) 國際公開日 平成18年3月30日 (2006.3.30)  
 (31) 優先権主張番号 60/612,007  
 (32) 優先日 平成16年9月22日 (2004.9.22)  
 (33) 優先権主張国 米国(US)

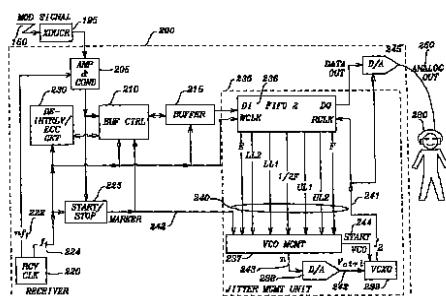
(71) 出願人 500451975  
 フリー・システムズ・ピーティーイー・リ  
 ミテッド  
 シンガポール国 139959 シンガポー  
 ル、エイヤー・ラジャ・インダストリアル  
 ・エステイト、エイヤー・ラジャ・クレセ  
 ント、ブロック 28, ナンバー 02-  
 O1エイ  
 (74) 代理人 100089705  
 弁理士 社本 一夫  
 (74) 代理人 100140109  
 弁理士 小野 新次郎  
 (74) 代理人 100075270  
 弁理士 小林 泰

最終頁に続く

(54) 【発明の名称】無線または有線デジタルオーディオ通信システムにおいて高品質オーディオ再生を実現する方法  
 および装置

## (57) 【要約】

通信システムは、送信および受信タイミングの相異によりデータのアンダーランまたはオーバーランのいずれも生じることのないように、伝送媒体から受信および回復されたデータを同期化する。データ通信システムは、送信機および受信機を有する。送信機は、デジタルデータを一連の記号にエンコードし、一連の記号からなる変調信号を送信する。受信機は、変調信号を取得し、変調信号を復元し、変調信号からデジタルデータの記号を再構築し、デジタルデータを第1の基準信号と同期させる。デジタルデータは、バッファデータ保持回路に転送される。デジタルデータは、バッファ保持回路からジッタ管理ユニットに転送される。境界マーカー信号検出回路は、デジタルデータの記号の境界を示すマーカー信号を抽出して、送信機によってブロードキャストされる際のデジタルデータのタイミングの指示を提供する。ジッタ管理ユニットは、デジタルデータを第1の基準信号と同期させる。ジッタ管理ユニットは、再構築されたデジタルデータをバッファ保持回路から第1の基準信号の速度で受信し、同期化されたデジタルデータを送信機のタイ



**【特許請求の範囲】****【請求項 1】**

変調信号を取得し、前記変調信号を復元し、前記変調信号からデジタルデータの記号を再構築し、前記デジタルデータを第1の基準信号と同期させる受信機であって、

前記受信機は前記デジタルデータを前記第1の基準信号と同期させるためのジッタ管理ユニットを含み、

前記ジッタ管理ユニットは、

前記再構築されたデジタルデータを受信し、前記同期化されたデジタルデータを後の処理のために送信するFIFOデータ保持装置と、

前記デジタルデータの同期化に前記第1の基準信号を提供するためにFIFOデータ保持装置に接続された可変基準信号発生器と、

前記変調信号から抽出されたマーカー信号を受信するために接続され、FIFOデータ保持装置内に存在するデジタルデータの量を示す占有信号を受信するために前記FIFOデータ保持装置と通信し、前記マーカー信号および前記占有信号は発生器制御信号を作成して、前記第1の基準信号が前記デジタルデータを前記デジタルデータが送信されるタイミングに同期させるように前記基準信号の調整を行わせる発生器制御回路と、を備える、

受信機。

**【請求項 2】**

変調信号を受信し、復元し、サンプルするために接続され、前記変調信号は、前記変調信号内の前記デジタルデータのビット間の境界を表す遷移が検出されて前記デジタルデータが再構築されて第2の基準信号と同期されるように、前記第2の基準信号の倍数でサンプリングされる増幅および調整回路をさらに備える、請求項1に記載の受信機。

**【請求項 3】**

前記再構築されたデジタルデータを受信して保持するために前記増幅および調整回路と通信し、前記デジタルデータを前記FIFOデータ保持装置に転送するために前記FIFOデータ保持装置と通信するバッファデータ保持回路をさらに備える、請求項2に記載の受信機。

**【請求項 4】**

前記バッファデータ保持回路は少なくとも1つのバッファ回路を有し、各バッファ回路はデジタルデータの前記記号のグループを保持することを特徴とする、請求項3に記載の受信機。

**【請求項 5】**

前記再構築されたデジタルデータを受信して前記デジタルデータを記号のオリジナルシーケンスに再編成するために前記バッファ保持回路と通信して、前記変調信号の送信中に作成されたエラーを訂正し、前記バッファ保持回路内の再編成されて訂正されたデジタルデータを置き換えるデータ訂正およびインターリーブ解除回路をさらに備える、請求項3に記載の受信機。

**【請求項 6】**

前記バッファデータ保持回路は前記デジタルデータを前記第2の基準信号の速度で前記FIFOデータ保持装置に転送する、請求項3に記載の受信機。

**【請求項 7】**

前記バッファデータ保持回路は、FIFOデータ保持装置が第1の量を含むまで前記デジタルデータを前記FIFOデータ保持装置に転送し、その量に達すると前記FIFOデータ保持装置は前記デジタルデータの送信を開始する、請求項3に記載の受信機。

**【請求項 8】**

前記バッファデータ保持回路は、前記デジタルデータのオーバーランを防ぐために2つのマーカー信号の間に存在するデジタルデータのすべての記号を転送する、請求項7に記載の受信機。

**【請求項 9】**

10

20

30

40

50

前記再構築されたデジタルデータを受信するために増幅および調整回路と通信し、前記再構築されたデジタルデータから前記デジタルデータの記号の境界を示すマーカー信号を抽出し、前記マーカー信号を発生器制御回路に供給するために前記発生器制御回路と通信する境界マーカー信号検出回路をさらに備える、請求項2に記載の受信機。

#### 【請求項10】

前記FIFOデータ保持装置が第2の量のデジタルデータを含むことを占有信号が示す場合、前記発生器制御回路が前記第2の基準信号への調整を行わせないことを発生器制御信号に指示する、請求項1に記載の受信機。

#### 【請求項11】

前記FIFOデータ保持装置が第2の量よりも少ないデジタルデータを含むことを前記占有信号が示す場合、前記第2の量を含むまで前記FIFOデータ保持装置の内容を増大させるように前記発生器制御回路が前記第2の基準信号への調整を行わせることを発生器制御信号に指示する、請求項1に記載の受信機。

10

#### 【請求項12】

前記FIFOデータ保持装置が第2の量よりも多いデジタルデータを含むことを前記占有信号が示す場合、前記第2の量を含むまで前記FIFOデータ保持装置の内容を減少させるように前記発生器制御回路が前記第2の基準信号への調整を行わせることを発生器制御信号に指示する、請求項1に記載の受信機。

#### 【請求項13】

デジタルデータを一連の記号にエンコードするフレームフォーマッタと、

20

前記フレームフォーマッタと通信して、前記一連の記号を受信し、前記一連の記号からなる変調信号を送信する送信機とを含む送信装置と、

前記変調信号を取得し、前記変調信号を復元し、前記変調信号からデジタルデータの前記記号を再構築し、前記デジタルデータを第1の基準信号と同期させるために前記送信装置と通信する受信装置とを備え、

前記受信装置は、前記デジタルデータを前記第1の基準信号と同期させるためのジッタ管理ユニットを含み、

前記ジッタ管理ユニットは、

前記再構築されたデジタルデータを受信し、前記同期されたデジタルデータを後の処理のために送信するFIFOデータ保持装置と、

30

前記デジタルデータの同期化に前記第1の基準信号を提供するためにFIFOデータ保持装置に接続された可変基準信号発生器と、

前記変調信号から抽出されたマーカー信号を受信するために接続され、前記FIFOデータ保持装置内に存在するデジタルデータの量を示す占有信号を受信するためにFIFOデータ保持装置と通信し、前記マーカー信号および前記占有信号は発生器制御信号を作成して、前記第1の基準信号が前記デジタルデータを前記デジタルデータが送信されるタイミングと同期させるように前記基準信号の調整を行わせる発生器制御回路とを備える、データ通信システム。

#### 【請求項14】

前記受信装置は、

40

変調信号を受信し、復元し、サンプリングするために接続され、前記変調信号は、前記変調信号内の前記デジタルデータのビット間の境界を表す遷移が検出されて前記デジタルデータが再構築され第2の基準信号と同期されるように、前記第2の基準信号の倍数でサンプリングされる増幅および調整回路をさらに備える、請求項13に記載のデータ通信システム。

#### 【請求項15】

前記受信装置は、

前記再構築されたデジタルデータを受信して保持するために前記増幅および調整回路と通信し、前記デジタルデータを前記FIFOデータ保持装置に転送するために前記FIFOデータ保持装置と通信するバッファデータ保持回路をさらに備える、請求項14に記載

50

の通信システム。

【請求項 16】

前記バッファデータ保持回路は少なくとも1つのバッファ回路を有し、各バッファ回路はデジタルデータの前記記号のグループを保持する、請求項15に記載のデータ通信システム。

【請求項 17】

前記受信装置は、

前記再構築されたデジタルデータを受信して前記デジタルデータを記号のオリジナルシーケンスに再編成するために前記バッファ保持回路と通信し、前記変調信号の送信中に作成されたエラーを訂正し、前記バッファ保持回路内の再編成されて訂正されたデジタルデータを置き換えるデータ訂正およびインターリーブ解除回路をさらに備える、請求項15に記載のデータ通信システム。10

【請求項 18】

前記バッファデータ保持回路は前記デジタルデータを前記第2の基準信号の速度で前記FIFOデータ保持装置に転送する、請求項15に記載のデータ通信システム。

【請求項 19】

前記バッファデータ保持回路は、FIFOデータ保持装置が第1の量を含むまで前記デジタルデータを前記FIFOデータ保持装置に転送し、その量に達すると前記FIFOデータ保持装置は前記デジタルデータの送信を開始する、請求項15に記載のデータ通信システム。20

【請求項 20】

前記バッファデータ保持回路は、前記デジタルデータのオーバーランを防ぐために2つのマーカー信号の間に存在するデジタルデータのすべての記号を転送する、請求項19に記載のデータ通信システム。

【請求項 21】

前記受信装置は、

前記再構築されたデジタルデータを受信するために増幅および調整回路と通信し、前記再構築されたデジタルデータから前記デジタルデータの記号の境界を示すマーカー信号を抽出し、前記マーカー信号を前記発生器制御回路に供給するために前記発生器制御回路と通信する境界マーカー信号検出回路をさらに備える、請求項14に記載のデータ通信システム。30

【請求項 22】

前記FIFOデータ保持装置が第2の量のデジタルデータを含むことを占有信号が示す場合、前記発生器制御回路は前記第2の基準信号への調整を行わせないことを発生器制御信号に指示する、請求項13に記載のデータ通信システム。

【請求項 23】

前記FIFOデータ保持装置が第2の量よりも少ないデジタルデータを含むことを前記占有信号が示す場合、前記第2の量を含むまで前記FIFOデータ保持装置の内容を増大させるように前記発生器制御回路は前記第2の基準信号への調整を行わせることを発生器制御信号に指示する、請求項13に記載のデータ通信システム。40

【請求項 24】

前記FIFOデータ保持装置が第2の量よりも多いデジタルデータを含むことを前記占有信号が示す場合、前記第2の量を含むまで前記FIFOデータ保持装置の内容を減少させるように前記発生器制御回路は前記第2の基準信号への調整を行わせることを発生器制御信号に指示する、請求項13に記載のデータ通信システム。

【請求項 25】

第1の基準時間にクロック制御されたデジタルデータが第2の基準時間にクロック制御されるように同期化するデジタルデータ同期回路であって、

前記受信機は、

前記第1の基準時間でクロック制御されたデジタルデータを受信し、前記第2の基準50

時間で同期されたデジタルデータを送信する FIFO データ保持装置と、

前記デジタルデータの同期化に前記第 2 の基準時間を有するクロックを提供するため  
に前記 FIFO データ保持装置に接続された可変基準信号発生器と、

前記デジタルデータの記号のグループの先頭を示すマーカー信号を受信するために接  
続され、前記 FIFO データ保持装置内に存在するデジタルデータの量を示す占有信号を  
受信するために前記 FIFO データ保持装置と通信し、前記マーカー信号および前記占有  
信号から発生器制御信号を作成して、前記第 2 の基準時間を有する前記クロック信号が前  
記デジタルデータを前記第 2 の基準時間と同期させるように前記基準信号の調整を行わせ  
る発生器制御回路とを備える、

デジタルデータ同期回路。

10

#### 【請求項 2 6】

前記 FIFO データ保持装置が第 1 の量を含むまで前記デジタルデータが前記 FIFO  
データ保持装置に転送され、その量に達すると前記 FIFO データ保持装置は前記デジタ  
ルデータの送信を開始する、請求項 2 5 に記載のデジタルデータ同期回路。

#### 【請求項 2 7】

前記デジタルデータのオーバーランを防ぐために 2 つのマーカー信号の間に存在するデ  
ジタルデータのすべての記号が FIFO データ保持装置に転送される、請求項 2 6 に記載  
のデジタルデータ同期回路。

#### 【請求項 2 8】

前記 FIFO データ保持装置が第 2 の量のデジタルデータを含むことを占有信号が示す  
場合、前記発生器制御回路は前記第 2 の基準信号への調整を行わせないことを発生器制御  
信号に指示する、請求項 2 5 に記載のデジタルデータ同期回路。

20

#### 【請求項 2 9】

前記 FIFO データ保持装置が前記第 2 の量よりも少ないデジタルデータを含むことを前記占有  
信号が示す場合、前記第 2 の量を含むまで前記 FIFO データ保持装置の内容を増大させ  
るように前記発生器制御回路は前記第 2 の基準信号への調整を行わせることを発生器制御  
信号に指示する、請求項 2 5 に記載のデジタルデータ同期回路。

#### 【請求項 3 0】

前記 FIFO データ保持装置が前記第 2 の量よりも多いデジタルデータを含むことを前記占有  
信号が示す場合、前記第 2 の量を含むまで前記 FIFO データ保持装置の内容を減少させ  
るように前記発生器制御回路は前記第 2 の基準信号への調整を行わせることを発生器制御  
信号に指示する、請求項 2 5 に記載のデジタルデータ同期回路。

30

#### 【請求項 3 1】

第 1 の時間に有するクロックによりタイミング制御され、第 2 の時間のクロックを有する  
回路に転送されたデジタルデータを同期させる方法であって、

FIFO データ保持装置を提供するステップと、

前記デジタルデータを前記第 1 の時間の前記クロックで前記 FIFO データ保持装置  
に転送するステップと、

前記デジタルデータを前記第 2 の時間の前記クロックで前記 FIFO データ保持装置  
から転送するステップと、

前記 FIFO データ保持装置内に存在するデジタルデータの量を示す前記 FIFO  
データ保持装置からの占有信号を監視するステップと、

40

前記デジタルデータのグループ間の境界を示すマーカー信号を監視するステップと、

占有信号および前記マーカー信号とは独立して、前記デジタルデータを前記第 2 のク  
ロック時間と同期させるように前記第 2 の時間の前記クロックを調整するステップと、  
を備える方法。

#### 【請求項 3 2】

前記 FIFO データ保持装置は第 1 の量を含むまで前記デジタルデータを前記 FIFO  
データ保持装置に転送するステップが行われ、その量に達すると前記 FIFO データ保持  
装置から前記デジタルデータを送信するステップを開始する、請求項 3 1 に記載の方法。

50

**【請求項 3 3】**

前記デジタルデータのオーバーランを防ぐために 2 つのマーカー信号の間に存在するデジタルデータのすべての記号が前記 2 つのマーカーの間の時間に F I F O データ保持装置に転送される、請求項 3 1 に記載の方法。

**【請求項 3 4】**

前記 F I F O データ保持装置が第 2 の量のデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の時間のクロックの調整を行わない、請求項 3 1 に記載の方法。

**【請求項 3 5】**

前記 F I F O データ保持装置が第 2 の量よりも少ないデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の量を含むまで前記第 2 の時間のクロックが前記 F I F O データ保持装置の内容を増大させるように前記第 2 の時間のクロックの調整を行う、請求項 3 1 に記載の方法。10

**【請求項 3 6】**

前記 F I F O データ保持装置は第 2 の量よりも多いデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の量を含むまで前記 F I F O データ保持装置の内容を減少させるように前記第 2 の時間のクロックへの調整を行わせる前記第 2 の時間のクロックを調整する、請求項 3 1 に記載のデジタルデータ同期回路。

**【請求項 3 7】**

第 1 のクロック速度で送信されたデジタルデータを受信する方法であって、20

変調信号を取得して復元し、前記変調信号は前記デジタルデータによって変調されるステップと、

第 1 の時間有するクロックの前記変調信号からデジタルデータの記号を再構築して同期させるステップと、

前記を第 2 の時間のクロック有する回路に転送するステップとを備え、前記転送するステップは、

F I F O データ保持装置を提供するステップと、

前記デジタルデータを前記第 1 の時間の前記クロックで前記 F I F O データ保持装置に転送するステップと、

前記デジタルデータを前記第 2 の時間の前記クロックで前記 F I F O データ保持装置から転送するステップと、30

前記 F I F O データ保持装置内に存在するデジタルデータの量を示す前記 F I F O データ保持装置からの占有信号を監視するステップと、

前記デジタルデータのグループ間の境界を示すマーカー信号を監視するステップと、

占有信号および前記マーカー信号とは独立して、前記デジタルデータを前記第 2 のクロック時間と同期させるように前記第 2 の時間の前記クロックを調整するステップとによって転送する、

方法。

**【請求項 3 8】**

前記変調信号からマーカー信号を抽出するステップをさらに備える、請求項 3 7 に記載の方法。40

**【請求項 3 9】**

前記変調信号の送信中に発生するエラーを訂正するステップをさらに備える、請求項 3 7 に記載の方法。

**【請求項 4 0】**

前記デジタルデータをオリジナル記号のシーケンスに再編成するために前記デジタルデータをインターリープ解除するステップをさらに備える、請求項 3 7 に記載の方法。

**【請求項 4 1】**

前記 F I F O データ保持装置は第 1 の量を含むまで前記デジタルデータを前記 F I F O データ保持装置に転送するステップが行われ、その量に達すると前記 F I F O データ保持装置から前記デジタルデータを送信するステップを開始する、請求項 3 7 に記載の方法。50

**【請求項 4 2】**

前記デジタルデータのオーバーランを防ぐために 2 つのマーカー信号の間に存在するデジタルデータのすべての記号が前記 2 つのマーカーの間の時間に F I F O データ保持装置に転送される、請求項 3 7 に記載の方法。

**【請求項 4 3】**

前記 F I F O データ保持装置が第 2 の量のデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の時間のクロックの調整を行わない、請求項 3 7 に記載の方法。

**【請求項 4 4】**

前記 F I F O データ保持装置が第 2 の量よりも少ないデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の量を含むまで前記第 2 の時間のクロックが前記 F I F O データ保持装置の内容を増大させるように前記第 2 の時間のクロックの調整を行う、請求項 3 7 に記載の方法。 10

**【請求項 4 5】**

前記 F I F O データ保持装置が第 2 の量よりも多いデジタルデータを含むことを前記占有信号が示す場合、前記第 2 の量を含むまで前記第 2 の時間のクロックが前記 F I F O データ保持装置の内容を減少させるように前記第 2 の時間のクロックの調整を行う、請求項 3 7 に記載の方法。 20

**【請求項 4 6】**

第 1 の位置から第 2 の位置にデジタルデータを伝達する方法であって、

第 1 のクロック速度で同期される前記デジタルデータによって変調された変調信号を送信するステップと、

前記デジタルデータを受信するステップとを備え、

前記受信するステップは、

前記変調信号を取得して復元するステップと、

第 1 の時間を有するクロックの前記変調信号からデジタルデータの記号を再構築して同期させるステップと、

前記を第 2 の時間のクロックを有する回路に転送するステップによって前記デジタルデータを受信し、

前記転送するステップは、

F I F O データ保持装置を提供するステップと、

前記デジタルデータを前記第 1 の時間の前記クロックで前記 F I F O データ保持装置に転送するステップと、

前記デジタルデータを前記第 2 の時間の前記クロックで前記 F I F O データ保持装置から転送するステップと、

前記 F I F O データ保持装置内に存在するデジタルデータの量を示す前記 F I F O データ保持装置からの占有信号を監視するステップと、

前記デジタルデータのグループ間の境界を示すマーカー信号を監視するステップと、

占有信号および前記マーカー信号とは独立して、前記デジタルデータを前記第 2 のクロック時間と同期させるように前記第 2 の時間の前記クロックを調整するステップとによって転送する、  
40

方法。

**【請求項 4 7】**

前記デジタルデータを受信するステップは、前記変調信号からマーカー信号を抽出するステップをさらに備える、請求項 4 6 に記載の方法。

**【請求項 4 8】**

前記 F I F O データ保持装置が第 1 の量を含むまで前記デジタルデータを前記 F I F O データ保持装置に転送するステップが行われ、その量に達すると前記 F I F O データ保持装置から前記デジタルデータを送信するステップを開始する、請求項 4 6 に記載の方法。

**【請求項 4 9】**

10

20

30

40

50

前記デジタルデータのオーバーランを防ぐために2つのマーカー信号の間に存在するデジタルデータのすべての記号が前記2つのマーカーの間の時間にFIFOデータ保持装置に転送される、請求項46に記載の方法。

【請求項50】

前記FIFOデータ保持装置が第2の量のデジタルデータを含むことを前記占有信号が示す場合、前記第2の時間のクロックの調整を行わない、請求項46に記載の方法。

【請求項51】

前記FIFOデータ保持装置が第2の量よりも少ないデジタルデータを含むことを前記占有信号が示す場合、前記第2の量を含むまで前記第2の時間のクロックが前記FIFOデータ保持装置の内容を増大させるように前記第2の時間のクロックの調整を行う、請求項46に記載の方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、参照により本明細書に組み込まれている、2004年9月22日に出願された米国仮出願第60/612,007号の優先権を主張するものである。

【0002】

本発明と同一の譲受人に譲渡された、2004年9月22に出願された米国特許仮出願第60/612,008号「An Apparatus and Method for Adaptive Digital Locking and Soft Evaluation of Data Symbols in a Wireless Digital Communication System(無線デジタル通信システムにおけるデータ記号の適用デジタルロッキングおよびソフト評価用の装置及び方法)」 20

本発明は、デジタルデータ通信信号の送信および受信のための装置および方法に関する。具体的に、本発明は、受信されたデジタルデータ通信信号の同期化に関する。

【背景技術】

【0003】

デジタルデータの送信および受信は、多くの無線または有線の用途では比較的複雑ではない。しかし、受信機におけるデジタルオーディオデータの送信とオーディオ再生の信頼性は、オーディオ要件の等時性特性により、さらに困難になる。標準シグマモデルタオーディオのデジタル／アナログ変換器を使用する再生システムは、円滑な再生を持続するために周期的にオーディオパルスコード変調サンプルを要求するオーディオクロックを維持する必要がある。送信された信号からクロック回復を行わない無線送信機および受信機の場合、送信機のオーディオクロックは受信機のオーディオクロックと異なり、そのためデジタルデータの消費に対するデジタルデータの生成の速度が問題となる。送信機のクロックは、受信機がデジタルを消費できる速度よりも速い速度でデジタルデータを過剰に供給することも、あるいは、送信機のクロックが、より遅い速度でデジタルデータを不十分に供給するため、デジタルデータ記号の受信機を枯渇状態にすることもある。 30

【0004】

デジタルデータ通信システムの例は、図1に示されるような、無線赤外線デジタルオーディオヘッドフォンである。送信機10はデジタルコード化されたオーディオ信号を取得し、次いでこの信号が同期化、制御、およびエラー信号によりフォーマットされる。フォーマットされたコード化データは、パルス位置変調を採用する伝送信号を変調する。変調信号は、発光ダイオード(LED)15からの光信号の放射を制御するために使用される。光信号20は、ヘッドフォン25にブロードキャストされる。ヘッドフォン25は、光検出器40を備える。光検出器40は一般に、光信号20を受信するためにヘッドフォン25の外側に配置される。光検出器40の検出された電気信号は受信機30に転送され、受信機30がスピーカ35aおよび35bに転送するためにエンコードされたオーディオ信号を復調して再フォーマットする。スピーカ35aおよび35bは、ヘッドフォン25を装着している人45の両耳に近接して配置される。 40 50

## 【0005】

デジタルデータの無線送信は、多くの場合、逐次フォーマットされたデジタルデータのフレームを送信することによって達成される。赤外線通信協会の「Serial Infrared Physical Layer Specification (直列赤外線物理層仕様)」(Version 1.4、2001年5月)により列挙されているようなシステムにおいて、第5.4.2節に示されているフレームは、Preamble Field (プリアンブル・フィールド: PA)、Start Flag Field (スタート・フラグ・フィールド: FA)、Data Field (データ・フィールド: DD)、およびStop Flag Field (ストップ・フラグ・フィールド: STO) を有する。受信機は、Preamble Fieldを使用して、受信機のクロッキングシステムを着信メッセージと同期させる。一般に、受信機をPreamble Fieldと同期させるために位相同期ループ発振器が使用される。10

## 【0006】

Preamble Fieldが検出され、受信機が同期化されると、受信機は、記号同期を確立するためにStart Flag Field の検出を開始する。Start Flag Field が正しい場合、受信機は次にData Fieldのデータ記号の解釈を開始し、Stop Flag Field が受信されるまでデータ記号の解釈を続行する。

## 【0007】

デジタル化データの理想的な送信の実例は、図2に示される。時間<sub>1</sub>の間、デジタルデータの記号の第1のフレームAD0は、オーディオアナログ信号をサンプリングし、サンプルをアナログ信号の大きさを表すデジタルコーディングに変換することにより作成される。時間<sub>2</sub>の間、フレームの記号はインターリープされて、エラー訂正コードECC E0でエンコードされる。この同じ時間<sub>2</sub>において、第2のフレームAD1がサンプリングされ、デジタルデータの記号に変換される。時間<sub>3</sub>の間、インターリープされエンコードされたデータのフレームは、送信信号RF T0を変調するために使用され、この信号はLED15によって送信機10から大気を通過して空気を通じてヘッドフォン25の光ダイオード40までプロードキャストされる。これは、時間<sub>3</sub>の間に瞬時に行われることが理想的である。受信機は、送信された信号を回復し、受信されたデータRF R0の記号のフレームを復元する。この同じ時間において、データの第2のフレームはインターリープされ、エラー訂正コードECC E1でエンコードされ、第3のサンプリングAD2はデジタルデータに変換される。第4の時間<sub>4</sub>の間、受信されたデータRF R0はインターリープ解除され、受信されたデータにエラー訂正および検出が適応されてオリジナルデジタルデータECC D0の記号のフレームを回復する。この時点において、インターリープされエンコードされたデータのフレームECC E1は、送信信号RF T1を変調し、この信号が送信される。送信された信号RF T1は受信され、フレームRF R1は回復される。同時に、記号の第3のフレームはインターリープされ、エラー訂正および検出のためにエンコードされて、フレームECC E2を生成し、アナログ信号の第4のサンプリングは、フレームの第2のグループの記号AD0のフレームに変換される。時間<sub>5</sub>の間、オリジナルデータECC D0の記号のフレームは、スピーカ35aおよび35bに適用するためにアナログ信号AD0に変換される。説明から分かるように、アナログ信号をサンプリングすることによりデジタルデータを取得し、エラー訂正コードでデジタルデータをインターリープしてエンコードし、デジタルデータを変調して送信し、デジタルデータを受信して回復し、デジタルデータをインターリープ解除してデジタルデータ内の任意のエラーを検出して訂正し、スピーカ35aおよび35bへの送信のためにデジタルデータをアナログ信号に変換するプロセスは、各時間<sub>5</sub>、...、<sub>n</sub>で連続的に続行する。203040

## 【0008】

「Serial Infrared Physical Layer Specification (直列赤外線物理層仕様)」では、第5.4.1節においてデータのエンコ

10

20

30

40

50

ードを詳述している。デジタルデータは、4パルス位置変調を使用して送信される。この例において、デュアルビットのデータ構造は、記号内にパルスを配置することによりエンコードされる。記号は、各々の位置がデュアルビットデータ構造のコーディングを表す、記号の時刻期間の4つの時間位置に分割される。Preamble Field、Start Flag FieldおよびStop Flag Fieldは、デュアルビットデータ構造の4パルス位置変調と混同されることのない記号ストリームを有する各々固有のコードである。

#### 【0009】

位相同期ループを採用する受信機の同期化は、送信されたデータの周波数と一致するようにローカル受信機の周波数を引き寄せる際にジッタの影響を受ける。さらに、局部発振器のドリフトは、局部発振器が定期的に再ロックされる必要を生じさせる。局部発振器を定期的に信号に再ロックしなければ、データの受信にエラーが生じる可能性がある。さらに、マルチバス受信の問題は、受信されたタイミングデータがバスの遅延の相異によって変動する原因となる。

10

#### 【0010】

クロック回復の方式が完璧ではないことが知られている。無線環境において、伝送バスの干渉により受信機がデジタルデータストリームを受信できない場合、位相同期ループはクロックを生成する際に送信クロックに同期しなくなり、デジタルデータの破損または損失を生じる。デジタルデータ記号を損失する問題、ひいてはクロックの同期化の問題を緩和するために、特殊なミュート技法が採用される。

20

#### 【0011】

米国特許第5,457,718号(Anderson他)では、デジタル回路を使用するコンパクトな位相回復の方式を教示する。位相回路は、基本的に完全統合されたデジタルフィルタであり、このフィルタが位相比較器と相互に作用して、位相同期ループとデータリタイミング機能を提供する。デジタルフィルタは、データ信号入力と位相比較器への入力との間に挿入されたデジタル遅延素子に4ビットのカウンタの出力を送信することにより、データリタイミング機能を提供する。データがローカルクロックに関して位相がずれた場合、デジタルフィルタは、多数の二相位相決定から必要な位相補正の極性を決定し、それを遅延素子にフィードバックする。次いで遅延素子は、着信データの位相をローカルクロックの位相に関して調整する。

30

#### 【0012】

米国特許第5,887,040号(Jung他)では、たとえリタイミングクロックパルスとデータの間の遅延の相異による静的スキューが存在し、時間および温度に従って特徴の変動による動的スキューが存在する場合であっても、バイナリデータが安定した方法でリタイミングされうる、高速デジタルデータリタイミング装置を提供する。外部クロックパルスは、遅延部分により遅延され、システムのパフォーマンスがデータのパターンから独立するようになる。データ位相が、特定の期間よりも長く連続的な相異(ゆらぎ)を示す場合、弹性緩衝器がゆらぎを吸収するため、データは失われない。

30

#### 【0013】

米国特許第5,886,552号(Chai他)では、位相同期ループの電圧制御発振器から複数のクロックを使用することにより外部から入力されたデータをより効果的にリタイミングすることができる、データリタイミング回路について説明している。

40

#### 【0014】

米国特許第5,608,357号(Ta他)では、着信データをリタイミングしてジッタを除去するためのデータリタイミングシステムを教示する。データリタイミングシステムは、ローカルクロックと、着信データを受信して着信データから回復クロックを生成し、次いで着信データを回復クロックとリタイミングすることによりリタイミング着信データを生成するための位相アライナーと、回復クロックに従ってリタイミングされた着信データをバッファメモリに格納して、格納されたデータをローカルクロックに従ってバッファメモリから読み出すことにより、リタイミングされた着信データからジッタを除去する

50

ためのバッファメモリとを含む。データリタイミングシステムは、非常に高速のデータ転送速度でも信頼性の高い動作を提供する。

【0015】

www.mit.edu/pub/cva/plesio.ps.Zで4/2/02に掲載されているDennison他による1995年3月の1995 Advanced Research in VLSI Conferenceの議事録「Low-Latency Plesiochronous Data Retiming」では、データが受信クロックによって取り込まれるようデータを遅延させることによって受信データをリタイミングする。遅延は、データの送信クロックおよび受信クロックの相異を考慮するように変更される。10

【0016】

Sarmenta他の「Rational Clocking」1995年10月のIEEE、International Conference on Computer Designの議事録では、周波数が有理係数によって関連付けられているクロック間の既知の位相関係の保持について説明し、ランタイムアービトレーションの競争なくアルゴリズム的に通信のタイミングをとるためにその相対位相の予測可能性を活用する。20

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明の目的は、伝送媒体から受信および回復されたデータを、伝送媒体に送信されたデータと同期させる通信システムを提供することである。20

【0018】

本発明のもう1つの目的は、伝送媒体から受信および回復されたデータが、送信クロッキングと受信クロッキングの相異によりデータのアンダーランまたはオーバーランのいずれも生じることのない通信システムを提供することである。

【課題を解決するための手段】

【0019】

これらの様々な目的の少なくとも1つを達成するため、データ通信システムは送信機と受信機を備える。送信機は、フレームフォーマッタと送信装置を含む。フレームフォーマッタは、デジタルデータを一連の記号にエンコードする。デジタルデータのエンコードは、デジタルデータをインターリープするステップと、エラー検出および訂正コードにデジタルデータを提供するステップを含む。送信装置は、フレームフォーマッタと通信して、一連の記号を受信し、一連の記号からなる変調信号を送信する。30

【0020】

受信機は、変調信号を取得し、変調信号を復元し、変調信号からデジタルデータの記号を再構築し、デジタルデータを第1の基準信号と同期させるために送信機と通信する。受信機は、変調信号を受信し、復元し、サンプリングするために接続された増幅および調整回路を有する。変調信号は、変調信号内のデジタルデータのビット間の境界を表す変位が検出されるように、第1の基準信号の倍数でサンプリングされ、デジタルデータが再構築されて第2の基準信号と同期化される。増幅および調整回路が再構築されてデジタルデータと同期化されると、デジタルデータはバッファデータ保持回路に転送され、そこで再構築されたデジタルデータが保持される。バッファ保持回路は、記号のグループ化を保持するための少なくとも1つのバッファ回路を有する。40

【0021】

デジタルデータは、デジタルデータをオリジナル記号のシーケンスに再編成するために、バッファ保持回路からデータ訂正およびインターリープ解除回路に転送される。データ訂正およびインターリープ解除回路はさらに、変調信号の送信において生じたエラーを訂正する。デジタルデータのインターリープ解除および訂正が行われると、再編成されて訂正されたデジタルデータはバッファ保持回路内に戻される。

【0022】

10

20

30

40

50

境界マークー信号検出回路は、増幅および調整回路と通信して、再構築されたデジタルデータを受信する。再構築されたデジタルデータから、境界マークー信号検出回路は、デジタルデータの記号の境界を示すマークー信号を抽出する。マークー信号は、送信機によってブロードキャストされる際にデジタルデータのタイミングの指示を提供する。

#### 【0023】

受信機は、デジタルデータを第1の基準信号と同期させるためのジッタ管理ユニットを有する。ジッタ管理ユニットは先入れ先出し(FIFO)データ保持装置を有するが、これは再構築されたデジタルデータをバッファ保持回路から第1の基準信号の速度で受信して、さらに処理するために同期化されたデジタルデータを、送信機内のデジタルデータのタイミングに近づける第2の基準信号の速度に近づける速度で送信する。

10

#### 【0024】

ジッタ管理ユニットは、デジタルデータの同期化のための第2の基準信号を提供するためFIFOデータ保持装置に接続された可変基準信号発生器を有する。バッファデータ保持回路は、FIFOデータ保持装置が第1の量のデジタルデータ(FIFOデータ保持装置の容量の約2分の1)を含むまで、デジタルデータをFIFOデータ保持装置に転送し、その量に達するとFIFOデータ保持装置はデジタルデータの送信を開始する。さらに、バッファデータ保持回路は、デジタルデータのオーバーランを防ぐため、2つのマークー信号の間に存在するデジタルデータのすべての記号を転送する必要がある。2つのマークー間のすべての記号の全転送を達成するため、バッファデータ保持装置は、2つのマークー間のフレームの第1および第2の記号を原則的に同時に転送する。このことは、FIFOデータ保持回路に転送される際のデータのオーバーランを防ぐ。

20

#### 【0025】

ジッタ管理ユニットは、境界マークー信号検出回路によって変調信号から抽出されたマークー信号を受信するために接続された発生器制御回路を有する。発生器制御回路はさらに、FIFOデータ保持装置と通信して、FIFOデータ保持装置内に存在するデジタルデータの量を示す占有信号を受信する。マークー信号および占有信号から、発生器制御回路は、発生器制御信号を生成して、第2の基準信号がデジタルデータの送信されるタイミングにデジタルデータを同期化するように、可変基準信号発生器の調整を行わせる。

#### 【0026】

発生器制御回路は、FIFOデータ保持装置が第2の量(FIFOデータ保持装置の容量の約半分)のデジタルデータを含むことを占有信号が示す場合、第2の基準信号への可変基準信号発生器による調整は不要ないことを発生器制御信号に指示する。しかし、FIFOデータ保持装置が第2の量よりも少ないデジタルデータを含むことを占有信号が示す場合、発生器制御回路は、第2の量のデジタルデータを含むまでFIFOデータ保持装置の内容を増大させるために、第2の基準信号への可変基準信号発生器による調整を行わせるように発生器制御信号を設定する。代替として、FIFOデータ保持装置が第2の量よりも多いデジタルデータを含むことを占有信号が示す場合、発生器制御回路は、第2の量のデジタルデータを含むまでFIFOデータ保持装置の内容を減少させるために可変基準信号発生器が第2の基準信号への調整を行わせる必要があることを発生器制御信号に指示する。

30

#### 【発明を実施するための最良の形態】

#### 【0027】

本発明の通信システムは、無線または有線いずれのデジタルオーディオ通信にも適用可能であり、高品質オーディオ再生のためのデジタルデータの等時性タイミングを提供する。送信機および受信機はともに、通信に独自のローカルクロックを使用する。さらに、受信機は、先入れ先出し(FIFO)データ保持装置またはバッファ、標準VCO(電圧制御水晶発振子およびVCO制御論理装置からなる)ジッタ管理ユニットを備える。ジッタ管理ユニットは、FIFOバッファステータスのみを使用して送信機のオーディオクロックを追跡するので、ソースから再生を分離する任意のデジタルオーディオシステムに実装または統合しやすい。

40

50

## 【0028】

FIFOバッファはコンテナに類似しており、生成側（受信機）はアナログオーディオ信号のデジタルデータ記号を受信機のクロック周期と等しい速度で注ぎ込む。このコンテナは最初は空であり、消費側（再生機）はデジタルデータ記号がしきいレベルに到達するまで開始しない。デジタルデータ記号がしきいレベルに到達すると、消費側はデジタルデータ記号の消費を開始する。理論上、生成側と消費側が同じ速度で動作する場合、FIFOバッファまたはコンテナのレベルは、入ってくるものが同じ速度で出てゆくので、常時しきいレベルにあることになる。

## 【0029】

しかし、偶然にも生成側のほうが高速で、デジタルデータ記号のほうが速く FIFOバッファに転送されて、消費側はまだ遅い速度でデジタルデータを抽出している場合、コンテナまたは FIFOバッファのレベルは増大する。FIFOバッファのレベルのこの増大が続くにつれて、FIFOバッファはオーバーフローし、デジタルデータ記号のオーバーランがデジタルデータの損失を生じることになる。代替として、偶然にも生成側のほうが消費側よりも低速で、デジタルデータ記号がより遅く FIFOバッファに転送されて、消費側はまだ速い速度でデジタルデータを抽出している場合、コンテナまたは FIFOバッファのレベルは減少する。FIFOバッファのレベルのこの減少が続くにつれて、FIFOバッファは空になり、デジタルデータ記号のアンダーランは、生成側がさらに多くのデジタルデータ記号を供給するまで再生を停止させ、そのため等時性デジタルデータ記号の再生中に歪みを生じることになる。

10

20

## 【0030】

FIFOバッファが、FIFOバッファ内に存在するレベルデジタルデータ記号を表す領域の境界を定めるインジケータを有する場合、消費側は、デジタルデータ記号が FIFOバッファから除去される速度を調整することができる。上限と下限の間の中央部が「快適帯」と指定される場合、消費側は、デジタルサンプルが FIFOバッファから除去される速度を変更しない。しかし、FIFOバッファ内に存在するデータの量のレベルが、上限または下限のいずれかを超えた場合、消費側はそこで、FIFOバッファからのデジタルデータ記号の消費速度を増大させるかまたは減少させる必要がある。

30

## 【0031】

例えば、消費者がデジタルデータ記号を抽出するよりも速く、生成側がデジタルデータ記号を FIFOバッファに供給している場合、FIFOバッファは上限を超えることになり、FIFOバッファ内のデジタルデータ記号の量はもはや「快適帯」ではなくなる。コンテナが一杯になってデジタルデータ記号が失われることを防ぐため、消費側は、生成側の転送速度と一致するように消費速度を増大させ、FIFOバッファ内に存在するデジタルデータ記号の量を再び快適帯に近づけようと試みる。消費側は、定期的な間隔で FIFOバッファ内に存在するデジタルデータの量のレベルを監視しながら、FIFOバッファからの転送速度を増大させる。消費側は、FIFOバッファ内に存在するデータの量が減少し始める段階まで次第にデジタルデータの消費速度を増大させ、その後消費者は転送速度を増大させることをやめ、FIFOバッファ内のデジタルデータ記号の量のレベルが快適帯に入るのを待つ。しかし、消費者が予測できる速度よりもはるかに大きい速度で生成側がデジタルデータを転送している場合、FIFOバッファは厳しい天上領域に入ってしまう可能性がある。FIFOバッファ内に存在するデジタルデータ記号の量が厳しい天上領域に入った場合、消費側は転送速度をさらに一層高速に増大させる必要がある。転送速度の消費側によるこの加速および減速は、消費側の速度を生成側の速度に近づけることになる。

40

## 【0032】

消費側による FIFOバッファからのデジタルデータ記号の消費速度は、生成側の転送速度と厳密に同じにはならないが、消費側は最終的にはソフト領域つまり快適帯内にある消費速度を有することになり、消費速度の加速または減速はほとんどなくなる。

## 【0033】

50

デジタルデータ記号を消費側の消費速度よりも当初遅い速度で FIFO バッファに転送している生成側にも、同じ原理が適用されることはある。消費側は、 FIFO バッファ内のデジタルデータ記号の量が快適帯に接近するまで、消費速度を段階的に遅くする。

【 0 0 3 4 】

ここで、本発明の通信システムを説明するために図 3 を参照する。人間の話し言葉または音楽などのアナログ信号がサンプリングされ、アナログ信号のサンプルを表すデジタルデータ記号 50 に変換される。デジタルデータ記号 50 は送信機 100 に転送されるが、送信機はデジタルデータ記号を直列化してフォーマットし、エラー検出および訂正コードを提供する。次いで、エンコードされたデジタルデータ記号は RF 無線伝送用基本周波数または赤外線伝送用光信号など、伝送信号を変調するために使用される。変調信号 150 は、受信機 200 に転送されるが、受信機はデジタルデータ記号の回復、復元、非直列化、および同期化を行う。受信機 200 はさらに、ヘッドフォン 260 のスピーカへの転送のために、デジタルデータ記号をアナログ信号 250 に変換する。

10

【 0 0 3 5 】

本発明の送信機 100 は、図 4 に示される。デジタルデータ記号 50 は、データ入力レジスタ 105 に転送される。デジタルデータレジスタ 105 は、デジタルデータ記号を、送信機のクロック発生器 135 によって供給されるデータクロックと同期させる。デジタルデータ記号はデータ入力レジスタ 105 からエラー検出および訂正コーディング回路 110 に転送され、そこでデジタルデータ記号は、送信されたデジタルデータ記号の潜在的な破損に対する回復のレベルを提供するようにエラー検出および訂正コードでエンコードされる。

20

【 0 0 3 6 】

次いで、エラー訂正コードを伴うデジタルデータ記号は、インターリープ回路 115 に転送される。当技術分野で知られているように、デジタルデータ記号の伝送には、時間的に隣接するデジタルデータ記号が場合によっては破損しているように、発生する伝送の破損を有することも多い。この問題を緩和するため、デジタルデータ記号は、同じエラー訂正コードのデジタルデータ記号がもはや時間的に隣接しないようにインターリープされ、それによりデジタルデータ記号の受信機におけるあらゆる破損の訂正を可能にする。エラー訂正コードを伴うインターリープされたデジタルデータ記号は、次いで、フレームフォーマッティング回路 120 に転送される。フレームフォーマッティング回路は、インターリープされたデジタルデータ記号を直列化し、次いで図 5 に示されるように、エラー訂正コードを伴う直列化されたインターリープデジタルデータ記号に付加される必要な同期フィールドおよび開始パターンを生成する。

30

【 0 0 3 7 】

各フレーム 160a、...、160n は、同期パターン 163 で開始する。同期パターン 163 は、従来技術の受信機においては位相同期ループを同期させるために使用されたであろう独自の一連のタイミングパルスである。同期パターン 163 の後に続くのは、後続の信号のパターンがパケット 167a、...、167n のデジタルデータ記号を表すことを示す開始シーケンス 165 である。フレームが、インターリープされたデジタルデータ記号の個定数のパケット 167a、...、167n を有する通信システムにおいて、開始シーケンス 165 は参照された基準タイミングを図 4 の送信機のクロック 135 に提供する。フレームの終わりに付加されるのは、伝送時に破損したデジタルデータ記号を修復して回復するために使用されるエラー訂正コーディング 169 である。

40

【 0 0 3 8 】

フォーマットされたデジタルデータ記号は、フレームフォーマッタ 120 から送信信号変調器 125 に転送される。赤外線伝送システムにおいて、変調方式は通常 4 パルス位置変調方式であるが、任意の適切な変調方式は本発明の意図に沿っている。送信機のクロック発生器 135 は、4 パルス位置変調を作成するために、その必要なタイミングを提供する。変調された送信信号は送信ドライバ 130 に転送されるが、送信ドライバは、変調信

50

号 150 を空気または光ファイバケーブルなどのケーブル配線のような伝送媒体に搬送する LED などのトランスデューサに送信する。

#### 【 0039 】

ここで、図 3 を参照する。変調信号 150 は、伝送媒体を通じて受信機 200 に移送される。ここで、本発明の受信機を説明するために図 6 を参照する。変調信号は、トランスデューサ 195 に影響を及ぼす。赤外線システムの場合、トランスデューサ 195 は光信号を受信する PIN ダイオードとなる。無線周波の RF システムの場合、トランスデューサ 195 はアンテナとなる。次いで、トランスデューサ 195 によって生じた電気信号は、増幅および調整回路 205 に転送される。増幅および調整回路 205 は、変調信号の振幅を復元し、外部ノイズを除去し、信号を復調して、デジタルデータ記号を回復する。

10

#### 【 0040 】

好みの実施形態において、復元され調整された変調信号は、受信クロック  $f_1$  の乗数 ( $n$ ) であるクロックを使用してサンプリングされる。受信クロック  $f_1$  およびその倍数  $n f_1$  は、図 4 の送信クロック発生器 135 の基本周波数に接近する基本周波数を有する受信クロック発生器 220 によって生成される。例えば、好みの実施形態の実施態様において、送信クロック発生器 135 および受信クロック発生器 220 はそれぞれ、12.288 MHz + / - 50 ppm の周波数を有する。許容度による周波数の相異、および 2 つのクロック発生器間の位相の相異は、前述のようにデジタルデータ記号のオーバーランおよびアンダーランを生じる。

20

#### 【 0041 】

受信クロック発生器 220 によって供給されるより高い周波数倍数  $n f_1$  は、変調信号の遷移を検出するために使用され、図 5 に示されるように、変調信号の同期パターン 163 および開始パターン 165 の判別を可能にする。次いで、増幅および調整回路 205 は、インターリープされたデジタルデータ記号のパケット 167a、...、167n を検出し、変調信号からインターリープされたデジタルデータ記号のパケットを抽出する。倍数周波数クロック  $n f_1$  の倍数  $n$  は、最適には、受信クロック  $f_1$  の周波数の約 5 倍から約 6 倍である。変調信号をサンプリングするその他の周波数またはインターリープされたデジタルデータ記号のパケットを抽出するためのその他の方法は、増幅および調整回路 205 によって採用される可能性もあり、引き続き本発明の意図に沿っている。

30

#### 【 0042 】

インターリープされたデジタルデータ記号のパケットの完全に回復されたフレームは、増幅および調整回路 205 から開始 / 停止検出回路 225 に転送される。開始 / 停止検出回路 225 は、同期パターンおよび開始パターンを解釈して、マーカー信号 242 を生じる。マーカー信号 242 は、インターリープされたデジタルデータ記号のパケット 167a、... 167n の各フレームの先頭の境界を定めるようにタイミングがとられる。このタイミングは、図 4 の送信クロック発生器 135 の周期性と等しい。

40

#### 【 0043 】

インターリープされたデジタルデータ記号の回復されたパケットは、増幅および調整回路 205 からバッファ制御回路 210 に転送される。バッファ制御回路 210 は、インターリープされたデジタルデータ記号のパケットをバッファ 215 に配置する。バッファ制御回路 210 は、バッファ 215 の中および外へのデジタルデータ記号のパケットの配置および移動を指示する。

40

#### 【 0044 】

バッファ制御回路 210 は、インターリープ解除とエラー検出および訂正回路 230 への転送のために、インターリープされたデジタルデータ記号のパケットをバッファ 215 から抽出する。インターリープ解除とエラー検出および訂正回路 230 は、デジタルデータ記号のパケットの順序をそれらのオリジナル順序に再編成する。次いで、デジタルデータ記号のパケットは、変調信号の送信中に発生する可能性のあるエラーについて検査されてから、送信されたデジタルデータ記号を復元するように訂正される。次いで、デジタルデータ記号のインターリープ解除され訂正されたパケットは、バッファ制御回路 210 に

50

よってバッファ 215 に戻される。

【0045】

デジタルデータ記号のパケットは、オーディオアナログ信号 250 がヘッドフォン 260 に適用されたことを保証するために等時性を持って転送される必要がある。このことを保証するために、デジタルデータ記号のパケットは、送信されたクロックを使用して生成された速度で消費される必要がある。受信クロック 220 の周波数および位相は図 4 の送信クロック 135 とは異なっているため、デジタルデータ記号のパケットは、送信クロックと一致するように再同期化されて、パケットへのデジタルデータ記号の等時性転送を保証する必要がある。デジタルデータ記号のパケットは、送信クロックへの再同期化のために、バッファ 215 からジッタ管理ユニット 235 に転送される。

10

【0046】

バッファ制御回路 210 は、デジタルデータ記号のパケットをバッファ 215 から FIFO バッファ 236 に搬送する。デジタルデータ記号のパケットは、受信クロック発生器 220 の周波数  $f_1$  によって決められた速度でバッファ 215 から FIFO バッファ 236 に転送される。FIFO バッファ 236 は、1つの周波数 (WCLK) で書き込まれ、もう1つの周波数 (RCLK) で読み取られるデジタルデータ記号を備えるように構築される。受信クロック発生器 220 は、デジタルデータ記号の FIFO バッファ 236 への転送のタイミングを供給するため、FIFO バッファ 236 の書き込みクロック端子 WCLK に接続される。

20

【0047】

デジタルデータ記号は、周波数  $f_2$  で FIFO バッファ 236 からデジタル / アナログ変換器 245 に等時性順序で転送される。デジタルデータ記号は、デジタル / アナログ変換器 245 によって、オーディオアナログ信号 250 に変換される。オーディオアナログ信号 250 は、ヘッドフォン 260 のスピーカに送信される。

【0048】

電圧制御発振器 (VCO) 239 は、読み取りクロック 242 を周波数  $f_2$  に供給するため、FIFO バッファ 236 の読み取りクロック端子 RCLK に接続される。周波数  $f_2$  によって制御される際に読み取りクロック RCLK は、前述のように FIFO バッファ 236 の消費側制御としての役割を果たす。周波数  $f_2$  は、制御電圧 242 によって VCO を通じて制御される。制御電圧 242 は、電圧制御ワード 243 によって制御される、第 2 のデジタル / アナログ変換器 238 の出力である。電圧制御ワード 243 は、VCO 管理回路 237 によって生成され、FIFO レベル指示信号 240 およびマーカー信号 242 に依存している。

30

【0049】

FIFO レベル指示信号 240 は、VCO 239 の周波数の調整による消費側規制が VCO 管理回路 237 によって決定されうるように、FIFO 236 のレベルを表す信号を提供する。好ましい実施形態において、FIFO 236 のレベルのインジケータ 240 には、Empty E、Lower level 2 LL2、Lower Level LL1、half full 1/2 F、Upper Limit 1 UL1、Upper Limit 2 UL2、および Full F の7つがある。

40

【0050】

FIFO レベル指示信号 240 が、FIFO バッファ 236 が full F または empty E のいずれかであることを示す場合、デジタルデータ記号の同期にはエラーがある。次いで、ジッタ管理ユニット 235 は、エラー状態を訂正するために適切な診断を実行する必要がある。通常の動作において、FIFO レベル指示信号 240、周波数  $f_2$  は、Lower Level LL1 および Upper Limit 1 UL1 信号によって示されるレベルの間の領域の FIFO バッファに存在するデジタルデータ記号の量を保持するように調整されるべきである。

【0051】

ここで、本発明の送信機 100 の動作を説明するために図 4 および図 8a を参照する。

50

時間<sub>1</sub>の間、デジタルデータの記号の第1のフレームA D 0は、アナログ信号をサンプリングし、サンプルをアナログ信号の大きさを表すデジタルコーディングに変換することにより作成される。デジタルデータ記号5 0は、次いで送信機1 0 0のデータ入力レジスタ1 0 5に配置される。時間<sub>2</sub>の間、フレームの記号は、E C C発生器1 1 0によってエラー訂正コードE C C E 0でエンコードされ、インターリープ回路1 1 5によってインターリープされる。この同じ時間<sub>2</sub>において、第2のフレームA D 1がサンプリングされ、デジタルデータの記号に変換されて、データ入力レジスタ1 0 5に配置される。時間<sub>3</sub>の間、フレームフォーマッタ1 2 0は、エンコードされインターリープされたデータのフレームをフォーマットする。この同じ時間において、データの第2のフレームはインターリープされ、エラー訂正コードE C C E 1でエンコードされ、第3のサンプリングA D 2はデジタルデータに変換される。各々の時間<sub>4</sub>、…、<sub>n</sub>内で、アナログ信号はサンプリングされ、デジタルデータ記号の新しいセットが作成されて、データ入力レジスタ1 0 5に転送される。各々の後続の時間<sub>4</sub>、…、<sub>n</sub>において、データは、E C C発生器1 1 0によってエラー訂正コードE C C E nでエンコードされ、インターリープ回路1 1 5によってインターリープされる。次いで、後続の時間<sub>4</sub>、…、<sub>n</sub>において、フレームフォーマッタ1 2 0は、エンコードされインターリープされたデータをフォーマットして、送信のためのフレームを作成する。この時間中、フォーマットされたフレームは送信信号変調器1 2 5内の送信信号を変調するが、送信信号変調器は変調信号1 5 0を伝送媒体に搬送するために送信ドライバ1 3 0によって使用される。

10

20

30

**【0 0 5 2】**  
ここで、本発明の受信機の動作を説明するために図6および図8aを参照する。変調信号1 5 0が伝送媒体をトラバースすると、変調信号は、時間<sub>4</sub>だけ遅延する。さらに、伝送媒体の品質は、変調信号1 5 0が減衰されて干渉され、変調信号1 5 0の破損を引き起こすものである可能性もある。受信機2 0 0は、変調信号を回復し、時間<sub>3</sub>の間に受信されたデータR F R 0の記号のフレームを復元する。トランスデューサ1 9 5は、変調信号1 5 0を伝送媒体から取得し、変調信号1 5 0を増幅および調整回路2 0 5に適用させる電気信号に変換する。増幅および調整回路2 0 5は、前述のように、デジタルデータ記号R F R 0を復元し、サンプリングして、回復するが、デジタルデータ記号はバッファ2 1 5に配置される。

30

**【0 0 5 3】**

第4の時間<sub>4</sub>の間、受信されたデータR F R 0は、インターリープ解除とエラー検出および訂正回路2 3 0によって、エラーの訂正および検出が適用され、インターリープ解除され、オリジナルデジタルデータE C C D 0の記号のフレームを回復する。この同じ時間において、送信された信号R F T 1は受信され、フレームR F R 1は回復される。時間<sub>5</sub>の間、オリジナルデータE C C D 0の記号のフレームは、ジッタ管理ユニット2 3 5のF I F Oバッファ2 3 6に配置される。次いでデジタルデータ記号は、送信クロックのタイミングに同期化され、時間<sub>5</sub>の間デジタル／アナログ変換器2 4 5に適用されてから、オーディオアナログ信号2 5 0としてヘッドフォン2 6 0に送信される。

40

**【0 0 5 4】**

各々の時間<sub>4</sub>、…、<sub>n</sub>において、変調信号は取得され、送信された信号が回復される。デジタルデータ記号のフレームは抽出され、デジタルデータ記号にはエラー検出および訂正が適用される。次いで、デジタルデータ記号はF I F Oバッファ2 3 6に転送され、そこでオリジナル等時性伝送タイミングに同期化される。次いで、デジタルデータ記号は、ヘッドフォン2 6 0への送信のためにデジタル／アナログ変換器2 4 5に適用される。

50

**【0 0 5 5】**

開始／停止検出回路2 2 5は、マーカー信号2 4 2がバッファ制御回路2 1 0に送信されるように、バッファ制御回路2 1 0に接続される。バッファ2 1 0は、デジタルデータ記号のフレームが受信され回復されると1つのフレームが入れられる複数のフレームバッファで形成される。デジタルデータ記号のフレーム（例えばフレームE C C D 0）が、イ

ンターリープ解除され、訂正されてバッファ215に戻されたとき、これらはFIFOバッファ236に入れられる状態になっている。

#### 【0056】

図8bを参照すると、マーカー信号は同期信号およびデジタルデータ記号の各フレームの開始信号の完了時に作成される。マーカーは、デジタルデータ記号のフレームの開始境界において生じるので、マーカーは送信クロックに同期され、送信機および受信クロックの同時性の指示として使用されうる。好ましい実施形態において、デジタルデータ記号のフレームは個定数のフレームを有し、マーカー信号間のタイミングもまた、送信クロックの約数である周波数に固定されロックされる。

#### 【0057】

ここで図6を参照すると、マーカー信号242を受信すると、バッファ制御回路210は、デジタルデータ記号のフレームのFIFOバッファ236への転送を開始する。図3の送信クロック発生器135の周波数と受信クロック発生器220の周波数 $f_1$ の間の相異の実際の指示または制御はないので、デジタルデータ記号のフレームの転送は、図8bに示される2つのマーカー信号242間で生じる必要がある。この転送を保証するため、バッファ制御回路210は、図9に示されるように、最初の2つのデジタルデータ記号S1およびS2をバッファ215からFIFOバッファ236に比較的同時に転送することにより、デジタルデータ記号のフレームの転送を開始する。フレームの残りのデジタルデータ記号S3、…、Snは、受信クロック発生器220の周波数 $f_1$ で逐次転送される。レベル指示信号240が、FIFOバッファ236が半充てん（半充てんインジケータ1/2Fがアクティブ状態）であることを示す場合、VCO管理回路237は、VCXO239を開始するためにStart VCO信号244をアクティブにし、Read Clock信号242をFIFOバッファ236に供給して、図9のデジタルデータ記号のデジタル／アナログ変換器245へのストリーミングDA0を開始する。

10

20

30

40

#### 【0058】

デジタルデータ記号S3およびSnは、フレームの完了まで引き続きFIFOバッファ236に転送される。次のマーカー信号242が開始パターンの検出を指示すると、第2のフレームの最初の2つの記号S1およびS2はFIFOバッファ236に転送される。次いで、残りのデジタルデータ記号S3およびSnは、次の後続マーカー信号242に先立って、FIFOバッファ236に転送される。

#### 【0059】

FIFOバッファ236からのデジタルデータ記号の転送はVCXO239の周波数 $f_2$ に変更を生じることなく続行するが、FIFOバッファ236に保持されるデジタルデータ記号の量はLower Level LL1とUpper Limit UL1の間にとどまる。デジタルデータ記号の量がUpper Limit UL1またはLower Limit LL1を超えた場合、FIFO指示信号240は、レベルを指示するように適切にアクティブにされる。VCO管理回路237は、デジタル／アナログ変換器238がVCO制御電圧242を増加または減少させるように、電圧制御ワード243を段階的に増加または減少させる。次いで、VCXO239は、Read Clock信号241の周波数 $f_2$ を増加または減少させる。

#### 【0060】

FIFOに存在するデジタルデータ記号の量の増加によりUpper Limit UL1 FIFO指示信号240がアクティブにされる場合、VCO管理回路237は、デジタル／アナログ変換器がVCO制御電圧246を増加させるように電圧制御ワード243を段階的に増加して、周波数 $f_2$ を増大させる。これにより、FIFOバッファ236からのデジタルデータ記号の消費速度が増大する。VCO管理回路237は、FIFO指示信号240のアクティビティを監視して、FIFOバッファ236内に存在するデジタルデータ記号の量における変化の勾配を決定する。FIFO指示信号240のUpper Limit UL1が、FIFOバッファ236内に存在するデータの量が引き続きUpper Limit UL1を超えることを指示する場合、VCO管理回路237は、

50

再び周波数  $f_2$  を増加させるように電圧制御ワード 243 を段階的に増加して、消費の速度を増大させる。代替として、FIFO 指示信号 240 の Upper Limit UL1 が、FIFO バッファ 236 内に存在するデータの量がもはや Upper Limit UL1 を超えないことを指示するが、半充てんインジケータ 1/2F がアクティブ状態である場合、VCO 管理回路 237 は、電圧制御ワード 243 を変更せず、周波数  $f_2$  は一定した消費速度を維持する。しかし、FIFO 指示信号 240 の Upper Limit UL1 がもはやアクティブ状態ではなく、FIFO バッファ 236 内に存在するデータの量が Upper Limit UL1 を超えないことを指示するが、半充てんインジケータ 1/2F が、FIFO バッファ 236 内に存在するデータ量の減少の勾配が大きすぎることを指示する場合、VCO 管理回路 237 は、周波数  $f_2$  を減少させるように電圧制御ワード 243 を段階的に減少して、FIFO バッファ 236 からのデジタルデータ記号の消費の速度を減少させる。

10

## 【0061】

受信クロック発生器 220 の周波数  $f_1$  間の差が Read Clock 信号 241 の周波数  $f_2$  よりも大きく、FIFO 指示信号 240 の Upper Limit 信号 UL2 がアクティブにされるように FIFO バッファ 236 内のデジタルデータ記号の量が増大するような場合、VCO 管理回路 237 は、VCXO 239 の周波数  $f_2$  が 2 倍の増分で増大するように、2 倍の係数により電圧制御ワード 243 を変更する。これにより、FIFO バッファ 236 からの消費がより速い速度で増大するようになり、FIFO バッファ 236 内に存在するデジタルデータ記号の量を半充てんレベルに向かって減少させる。VCO 管理回路 237 は、FIFO バッファ 236 内に存在するデジタルデータ記号の量における変化の勾配を監視する。デジタルデータ記号の量の変化の勾配が大きすぎる場合、VCO 管理回路 237 は電圧制御ワード 243 を減少させて、周波数  $f_2$  を減少させる。これにより、FIFO バッファ 236 からのデジタルデータ記号の消費速度が低下する。

20

## 【0062】

FIFO バッファ 236 に存在するデジタルデータ記号の量の減少により Lower Limit LL1 FIFO 指示信号 240 がアクティブにされる場合、VCO 管理回路 237 は、デジタル / アナログ変換器が VCO 制御電圧 246 を減少させるように電圧制御ワード 243 を段階的に減少させて、周波数  $f_2$  を減少させる。これにより、FIFO バッファ 236 からのデジタルデータ記号の消費速度が低下する。VCO 管理回路 237 は、FIFO 指示信号 240 のアクティビティを監視して、FIFO バッファ 236 内に存在するデジタルデータ記号の量における変化の勾配を決定する。FIFO 指示信号 240 の Lower Limit LL1 が、FIFO バッファ 236 内に存在するデータの量が引き続き Lower Limit LL1 を超えることを指示する場合、VCO 管理回路 237 は、再び周波数  $f_2$  を減少させるように電圧制御ワード 243 を段階的に減少させて、消費の速度を減少させる。代替として、FIFO 指示信号 240 の Lower

30

Limit LL1 が、FIFO バッファ 236 内に存在するデータの量がもはや Lower Limit LL1 を超えないことを指示するが、半充てんインジケータ 1/2F がアクティブ状態である場合、VCO 管理回路 237 は、電圧制御ワード 243 を変更せず、周波数  $f_2$  は一定した消費速度を維持する。しかし、FIFO 指示信号 240 の Lower Limit LL1 がもはやアクティブ状態ではなく、FIFO バッファ 236 内に存在するデータの量が Lower Limit LL1 を超えないことを指示するが、半充てんインジケータ 1/2F が、FIFO バッファ 236 内に存在するデータ量の減少の勾配が大きすぎることを指示する場合、VCO 管理回路 237 は、周波数  $f_2$  を減少させるように電圧制御ワード 243 を段階的に減少して、FIFO バッファ 236 からのデジタルデータ記号の消費の速度を減少させる。

40

## 【0063】

受信クロック発生器 220 の周波数  $f_1$  間の差が Read Clock 信号 241 の周波数  $f_2$  よりも大きく、FIFO 指示信号 240 の Lower Limit 信号 LL2 がアクティブにされるように FIFO バッファ 236 内のデジタルデータ記号の量が減少す

50

るような場合、VCO管理回路237は、VCXO239の周波数 $f_2$ が2倍の減分で減少するように、2倍の係数により電圧制御ワード243を変更する。これにより、FIFOバッファ236からの消費がより速い速度で減少するようになり、FIFOバッファ236内に存在するデジタルデータ記号の量を半充てんレベルに向かって減少させる。VCO管理回路237は、FIFOバッファ236内に存在するデジタルデータ記号の量における変化の勾配を監視する。デジタルデータ記号の量の変化の勾配が大きすぎる場合、VCO管理回路237は電圧制御ワード243を減少させて、周波数 $f_2$ を減少させる。これにより、FIFOバッファ236からのデジタルデータ記号の消費速度が低下する。

#### 【0064】

VCO管理回路237は、FIFO指示信号240を常時監視して、FIFOバッファ236内に存在するデジタルデータ記号の量と、デジタルデータ記号の消費における変化の勾配を決定する。FIFO指示信号240および計算された勾配から、VCO管理回路237は、電圧制御ワード243を調整して、Read Clock241の周波数 $f_2$ が、ほぼ半充てんレベル(1/2F)でFIFOバッファ236内のデジタルデータ記号の量のレベルを維持するようにさせる。

#### 【0065】

デジタル／アナログ変換器238に供給される電圧制御ワード238のビット数nは、基本的に、ジッタ管理ユニット235の感度を決定する。好ましい実施形態の実施態様において、電圧制御ワード238は3ビットを有し、デジタル／アナログ変換器238からの制御電圧242の8倍の増加が可能になる。電圧制御ワード238に8ビットを選択することにより、制御電圧242の256倍の増加となり、感度が増強されることになる。さらに、FIFOレベル指示信号240の数は、FIFOレベル指示信号240のさらにきめ細かい指示を提供するように増加されうる。

#### 【0066】

変調信号150が激しく破損しているために、開始／停止回路225が同期フィールドおよび開始パターンを決定することができない場合、バッファ制御回路210は回復されたデータを破棄し、適切なヌル文字をバッファ215に入れる。ヌル文字は、FIFOバッファ236に転送された場合、FIFOバッファ236をフラッシュするように動作する。VCO管理回路237は、これをエラーと解釈し(空標識Eがアクティブにされる)、VCXO239にRead Clock241を停止させてデジタル／アナログ変換器245を非アクティブにし、オーディオアナログ信号250がミュートされるようにする。同期フィールドおよび開始パターンが回復されると、デジタルデータ記号は前述のように転送される。

#### 【0067】

ここで、本発明のデジタルデータ記号の通信の方法を説明するために図7aから図7dを参照する。デジタルデータ記号の通信の方法のステップは、基本的に、送信クロック300により確立された速度( $f_t$ )、受信クロック400により確立された速度( $f_1$ )、およびジッタ管理クロック500により確立された速度( $f_2$ )という3つの異なる速度で実行される。デジタルデータ記号を送信する通信の方法のステップは、アナログ信号をサンプリングしてデジタルデータ記号を取得する(ボックス305)ことにより開始する。エラー検出および訂正コードが生成され(ボックス310)、デジタルデータ記号に付加される。次いで、デジタルデータ記号はインターリープされ(ボックス315)、デジタルデータ記号内の隣接データの破損を防ぐことによりエラーおよび検出コードが強化されるようになる。エラー検出および訂正コードを伴うインターリープされたデジタルデータ記号は、図5に説明されるように、シリアル化されてフォーマットされる(ボックス320)。次いで、シリアル化されてフォーマットされたデジタルデータ記号は、送信信号を変調する(ボックス325)。好ましい実施形態において、シリアル化されてフォーマットされたデジタルデータ記号は、前述のように、4パルス位置変調方式を使用してエンコードされる。変調信号は、受信機への搬送のために、空気などの伝送媒体に送信される(ボックス330)。変調信号内のデジタルデータ記号を送信するステップ(ボックス

10

20

30

40

50

305 ~ 330) は、送信クロック 300 の周波数  $f_t$  によりすべて同期化される。

#### 【0068】

変調信号は、受信され( ボックス 405 )、増幅され、調整され、サンプリングされ、デコードされて( ボックス 410 )、デジタルデータ記号を回復する。変調信号のサンプリングは、受信クロック 400 の周波数  $f_2$  の n 倍の係数であるサンプリングレートを有する。このサンプリングにより、変調信号内の遷移の判別が可能になり、次いで遷移はデジタルデータ記号を回復するためにデコードされる。次いで、回復されたデジタルデータ記号はバッファ内に配置され( ボックス 425 )、バッファはデジタルデータ記号をさらに処理するために保持する。同時に、回復されたデジタルデータ記号は、回復されたデジタルデータ記号のフレーム内に埋め込まれている同期フィールドおよび開始パターンを検出する( ボックス 415 )ために検査される。同期フィールドおよび開始パターンを検出すると、フレームマーカーが生成され( ボックス 420 )、デジタルデータ記号のフレームの開始の境界を定める。

#### 【0069】

デジタルデータ記号は、バッファから抽出され、インターリーブ解除されて( ボックス 430 )、デジタルデータ記号の正しい順序を回復する。次いで、インターリーブ解除されたデジタルデータ記号はエラー検出および訂正プロセスが適用されて( ボックス 435 )、変調信号の送信中に発生した可能性のあるエラーを訂正する。

#### 【0070】

フレームマーカー信号の発生に関するチェックが実行される( ボックス 440 )。マーカーがある場合、読み取りアドレスカウンタ x が開始されて( ボックス 445 )、バッファから FIFO バッファへのデジタルデータ記号のフレームの転送を制御する。FIFO バッファは、FIFO バッファ内にデジタルデータ記号が存在するか否かテストされる( ボックス 450 )。デジタルデータ記号の転送の開始時点では、FIFO バッファ内にデジタルデータ記号は存在しない。読み取りアドレスカウンタ x によって指示されるデジタルデータ記号は、バッファから FIFO バッファに転送される( ボックス 455 )。次いで、FIFO バッファは、FIFO バッファがしきい値( 1 / 2 満杯 )に到達したか否かテストされる( ボックス 460 )。しきい値に到達していない場合、読み取りアドレスカウンタ x は、次のアドレスを指示するように増分され( ボックス 465 )、次のデジタルデータ記号が FIFO バッファに転送される( ボックス 465 )。次いで、FIFO バッファは再度テストされる( ボックス 460 )。

#### 【0071】

FIFO バッファ内のデジタルデータ記号の量がしきい値に到達すると、デジタルデータ記号は FIFO から抽出される。しかし同時に、読み取りアドレスカウンタ x は、次のアドレスを指示するように増分され( ボックス 480 )、次のデジタルデータ記号が FIFO バッファに転送される( ボックス 470 )。読み取りアドレスカウンタは、フレームデジタルデータ記号の総数( n )が FIFO バッファに転送されているか否かテストされる( ボックス 475 )。すべての記号が転送されていない場合、読み取りアドレスカウンタ x は増分され( ボックス 480 )、フレームのすべてのデジタルデータ記号が転送されるまでバッファから FIFO バッファにデジタルデータ記号が転送される( ボックス 470 )。

#### 【0072】

次のフレームマーカーを受信すると、読み取りアドレスカウンタ x が初期化され( ボックス 445 )、今度は FIFO バッファが空ではないので、デジタルデータ記号の次のフレームがバッファから FIFO バッファに転送される。送信クロック 300 の周波数  $f_t$  は、受信クロック 400 の周波数  $f_1$  と時間または位相が厳密に等しくはないので、フレームのデジタルデータ記号はすべて、2つのフレームマーカーの間の時間でバッファから FIFO バッファに転送される必要がある。この方法の好ましい実施形態において、2つのデジタルデータ記号は、基本的に同時にバッファから FIFO バッファに転送される。同時に送信されるべきデジタルデータ記号の数は、受信クロック 400 の周波数  $f_1$  に対する送信クロック 300 の周波数  $f_t$  によって決定される。したがって、任意の数のデジタルデータ記号が FIFO バッファに転送される。

ルデータ記号が同時に転送される可能性もあるが、引き続き本発明の意図に沿っている。

【0073】

FIFOバッファ内に存在するデジタルデータ記号の量に関するテスト(ボックス460)が、FIFOバッファ内に存在するデジタルデータ記号の量のほうがしきい値よりも大きいことを示す場合、読み取りアドレスカウンタ $y$ は初期化されて(ボックス502)、FIFOバッファに転送されるフレームの最初のデジタルデータ記号を指示する。読み取りアドレスカウンタ $y$ によって指示されるデジタルデータ記号は、FIFOバッファから転送される(ボックス504)。本発明の好ましい実施形態において、デジタルデータ記号は、スピーカに適用されるオーディオアナログ信号に変換するため、デジタル／アナログ変換器に転送される。

10

【0074】

FIFOバッファ内に存在するデジタルデータ記号の量は、Upper Limit 1(UL1)よりも大きい(ボックス506)、またはLower Limit 1(LL1)よりも小さいか(ボックス508)否かテストされる。FIFOバッファ内に存在するデジタルデータ記号の量が、Upper Limit 1(UL1)よりも大きくな(ボックス506)か、またはLower Limit 1(LL1)よりも小さくない(ボックス508)場合、FIFOバッファへのデジタルデータ記号の供給に対するFIFOバッファからのデジタルデータ記号の消費の勾配がテストされる(ボックス510)。勾配が正味料率を示す場合、FIFOバッファ内に存在するデジタルデータ記号の量が消費される、つまりFIFOバッファに供給される。消費速度または供給速度が大きすぎる場合、ジッタ管理クロック400の周波数 $f_2$ は、勾配を減少させるために段階的に増加または減少される( $f_2 + / - i$ )(ボックス512)。一方、消費の速度がUpper Limit 1(UL1)(ボックス506)またはLower Limit 1(LL1)の境界内であることを勾配が示す場合、ジッタ管理クロック500の周波数 $f_2$ は一定に保持される。

20

【0075】

読み取りアドレス $y$ は増分され(ボックス514)、FIFOバッファが空であるか否か、FIFOバッファ内に存在するデジタルデータ記号の量がテストされる(ボックス516)。FIFOバッファが空ではない場合、次のデジタルデータ記号のセットはFIFOバッファから転送される(ボックス504)。FIFOバッファ内に存在するデジタルデータ記号の量が、Upper Limit 1(UL1)よりも小さい(ボックス506)か、またはLower Limit 1(LL1)よりも大きい(ボックス508)場合、読み取りアドレスカウンタ $y$ は増分され(ボックス514)、バッファからFIFOバッファに転送されるデジタルデータ記号がそれ以上なくなるまでデジタルデータ記号が転送され(ボックス504)、FIFOバッファは空になる。FIFOバッファが空になると、方法は戻って、変調信号を受信するプロセス(ボックス405)を開始する。

30

【0076】

FIFOバッファ内に存在するデジタルデータ記号の量がUpper Limit 1(UL1)よりも大きいか否かをテストされ(ボックス506)、上限よりも大きいことが判明した場合、ジッタ管理クロック500は送信クロック300の周波数 $f_t$ よりも小さい周波数 $f_2$ を有し、FIFOバッファからのデジタルデータ記号の消費速度を増大させる必要がある。バッファ内に存在するデジタルデータ記号の量は最初に、Upper Limit 2(UL2)よりも大きいか否かテストされる(ボックス518)。デジタルデータ記号の量がUpper Limit 2(UL2)よりも大きくな(ボックス518)場合、FIFOバッファへのデジタルデータ記号の供給に対するFIFOバッファからのデジタルデータ記号の消費の勾配がテストされる(ボックス520)。消費速度または供給速度があまり大きすぎないことを勾配が示す場合、ジッタ管理クロック400の周波数 $f_2$ は段階的に増大されて( $f_2 + j$ )(ボックス522)、デジタルデータ記号の消費速度を増加させる。供給速度が大きすぎることを消費の勾配が示す場合、ジッタ管理クロック400の周波数 $f_2$ は、勾配を減少させて消費速度をさらに急激に増大させるために、より大き

40

50

い増分で増大される ( $f_2 + k$ ) ( ボックス 524 ) 。

#### 【 0077 】

しかし、デジタルデータ記号の量が Upper Limit 2 (UL2) よりも大きい場合、FIFOバッファへのデジタルデータ記号の供給に対する FIFOバッファからのデジタルデータ記号の消費の勾配が再度テストされる (ボックス 526)。消費速度または供給速度があまり大きすぎないことを勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  はさらに大きい増分で増大されて ( $f_2 + l$ ) (ボックス 528)、デジタルデータ記号の消費速度をさらに急激に増加させ、FIFOバッファ内のデジタルデータ記号の量を減少させてオーバーランを防ぐ。供給速度が大きすぎることを消費の勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  は、勾配を減少させて消費速度をさらに急激に増大させるために、さらに一層急激に増大される ( $f_2 + / - m$ ) (ボックス 530) )。

10

#### 【 0078 】

FIFOバッファ内に存在するデジタルデータ記号の量が Lower Limit 1 (LL1) よりも小さいか否かをテストされ (ボックス 508)、下限よりも小さいことが判明した場合、ジッタ管理クロック 500 は送信クロック 300 の周波数  $f_t$  よりも大きい周波数  $f_2$  を有し、FIFOバッファからのデジタルデータ記号の消費速度を減少させる必要がある。バッファ内に存在するデジタルデータ記号の量は最初に、Lower Limit 2 (LL2) よりも小さいか否かテストされる (ボックス 532)。デジタルデータ記号の量が Lower Limit 2 (LL2) よりも小さくない場合、FIFOバッファへのデジタルデータ記号の供給に対する FIFOバッファからのデジタルデータ記号の消費の勾配がテストされる (ボックス 534)。消費速度または供給速度があまり大きすぎないことを勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  は段階的に減少されて ( $f_2 - j$ ) (ボックス 522)、デジタルデータ記号の消費速度を減少させる。供給速度が大きすぎることを消費の勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  は、勾配を減少させて消費速度をさらに急激に減少させるために、より大きい増分で減少される ( $f_2 - k$ ) (ボックス 536) 。

20

#### 【 0079 】

しかし、デジタルデータ記号の量が Lower Limit 2 (LL2) よりも小さい場合、FIFOバッファへのデジタルデータ記号の供給に対する FIFOバッファからのデジタルデータ記号の消費の勾配が再度テストされる (ボックス 540)。消費速度または供給速度があまり大きすぎないことを勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  はさらに大きい増分で減少されて ( $f_2 - l$ ) (ボックス 542)、デジタルデータ記号の消費速度をさらに急激に減少させ、FIFOバッファ内のデジタルデータ記号の量を減少させてオーバーランを防ぐ。供給速度が大きすぎることを消費の勾配が示す場合、ジッタ管理クロック 400 の周波数  $f_2$  は、勾配を減少させて消費速度をさらに急激に減少させるために、さらに一層急激に減少される ( $f_2 - m$ ) (ボックス 544) 。

30

#### 【 0080 】

ここで戻って、図 7 b を参照する。フレームマーカーがテストされて (ボックス 440) フレームマーカーが検出されない場合、受信されたデータは破損しており、無効である。バッファからそのデータがクリアされ、破損したデータを除去するため、データは FIFOバッファからフラッシュされる (ボックス 480) オーディオ信号の再生のような用途において、デジタルデータ記号は等時性を持って流される必要がある。歪みおよび望ましくない音を防止するため、デジタルデータ記号は、オーディオ信号を無効にする値に設定される必要がある。FIFOがフラッシュされると (ボックス 180)、次の開始パターンが検出され (ボックス 415)、変調信号から回復されたデジタルデータ記号がバッファに入れられ (ボックス 425)、開始パターンが検出されるとデジタルデータ記号を流すプロセスは続行する (ボックス 415) 。

40

#### 【 0081 】

前述のように、バッファおよび FIFOバッファは、状態マシンのグループにより提供

50

されるアクセスの制御を備えるランダムアクセスメモリとして実装されてもよい。状態マシンのグループは、前述のような回路機能を実装する。アービトレー回路は、ランダムアクセスメモリへの書き込みおよび読み取りのためのアクセスのあらゆる同時競合を解決する。例えば、フレーム内の2つのセットのデータ記号の同時転送は、独立しているが基本的に同時に動作する2つの状態マシンによって達成され、アービトレー回路がどちらの状態マシンがFIFOバッファへにデータを書き込むかを決定する。

#### 【0082】

本発明は特に、その好ましい実施形態を参照して示され説明されたが、本発明の精神および範囲を逸脱することなく形態および詳細に様々な変更が行われうることを当業者は理解するであろう。

10

#### 【図面の簡単な説明】

#### 【0083】

【図1】従来技術の通信システムを示す図である。

【図2】従来技術の通信システムを経由するデジタルデータの理想的な送信を示すタイミング図である。

【図3】本発明の通信システムを示す図である。

【図4】本発明の通信システムの送信機を示すブロック図である。

【図5】本発明の通信システムのデジタルデータのフレーム構造を示す図である。

【図6】本発明の通信システムの受信機を示すブロック図である。

【図7a】本発明の受信機へのデジタルデータの送信中にデジタルデータのオーバーランまたはアンダーランを防ぐために受信機によって受信されるデータを同期化する方法を説明する流れ図である。

【図7b】本発明の受信機へのデジタルデータの送信中にデジタルデータのオーバーランまたはアンダーランを防ぐために受信機によって受信されるデータを同期化する方法を説明する流れ図である。

【図7c】本発明の受信機へのデジタルデータの送信中にデジタルデータのオーバーランまたはアンダーランを防ぐために受信機によって受信されるデータを同期化する方法を説明する流れ図である。

【図7d】本発明の受信機へのデジタルデータの送信中にデジタルデータのオーバーランまたはアンダーランを防ぐために受信機によって受信されるデータを同期化する方法を説明する流れ図である。

20

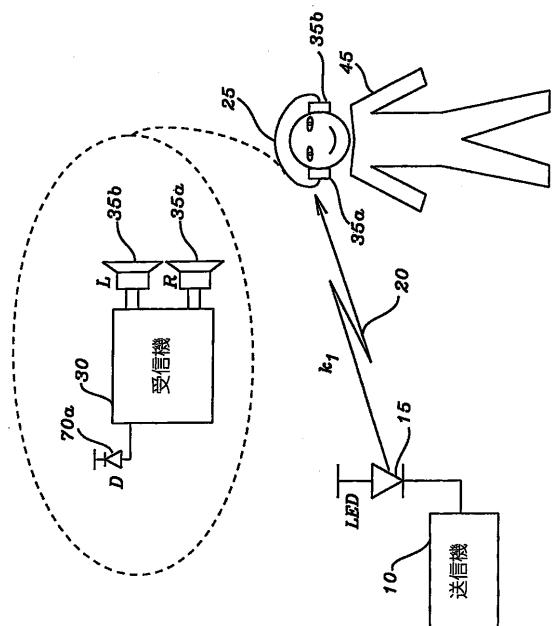
【図8a】本発明の通信システムにおけるデジタルデータの同期化を示すタイミング図である。

【図8b】本発明の通信システムのマーカー信号と同期信号および開始信号との関係を示すタイミング図である。

【図9】本発明のFIFOデータ保持装置へのデータの転送を示すタイミング図である。

30

【図 1】



【図 2】

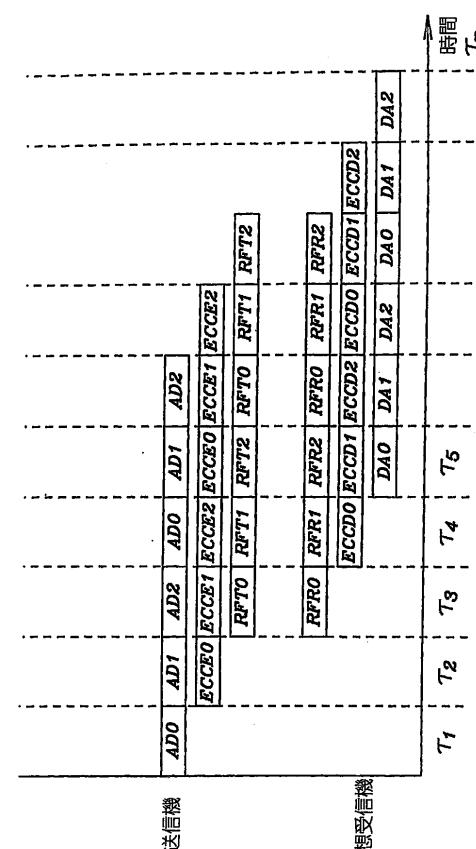


FIG. 1 — 従来技術

FIG. 2 — 従来技術

【図 3】

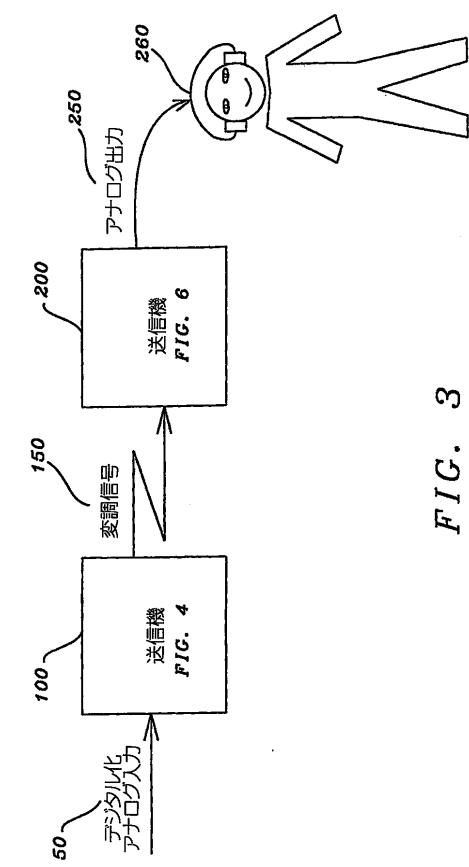


FIG. 3

【図 4】

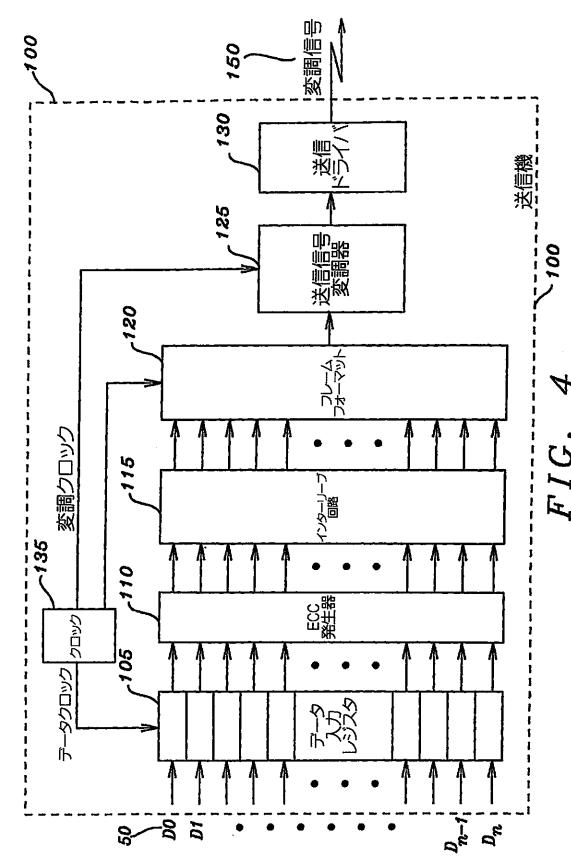
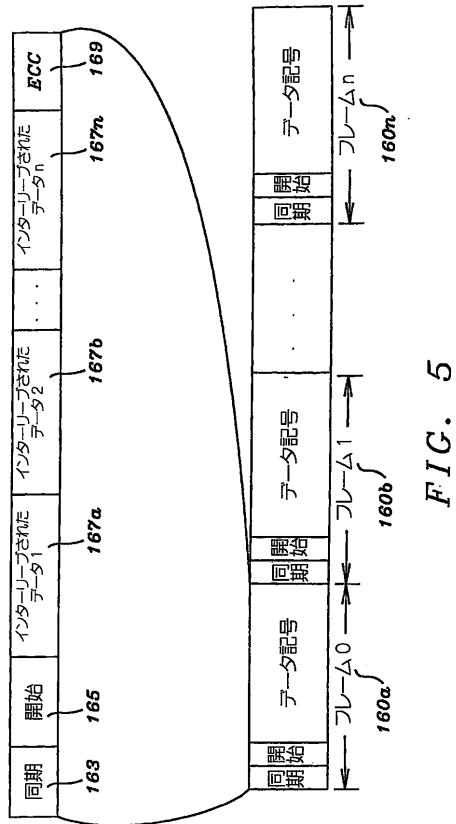
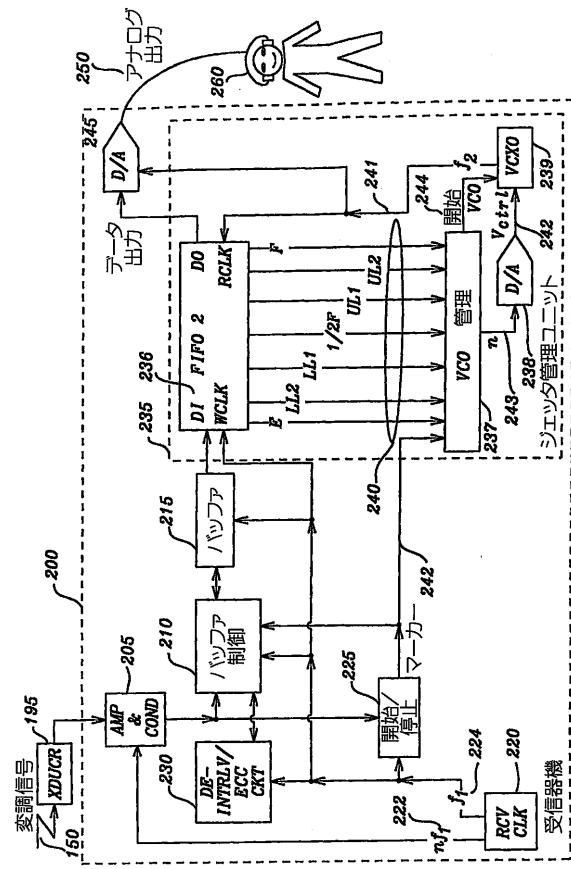


FIG. 4

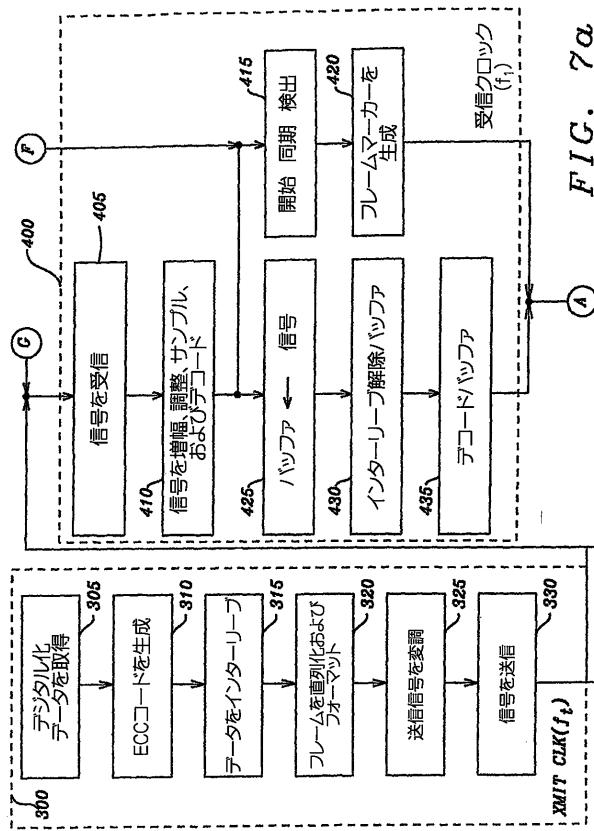
【図 5】



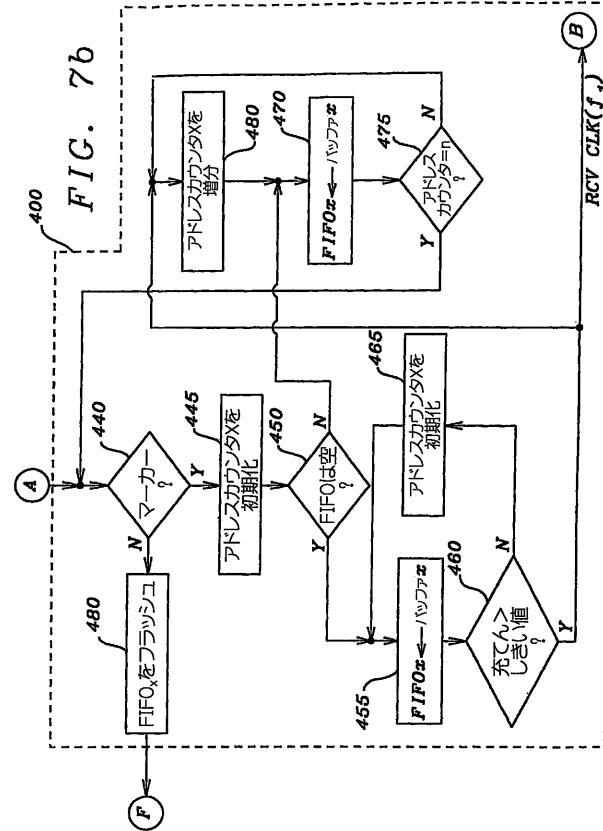
【図 6】



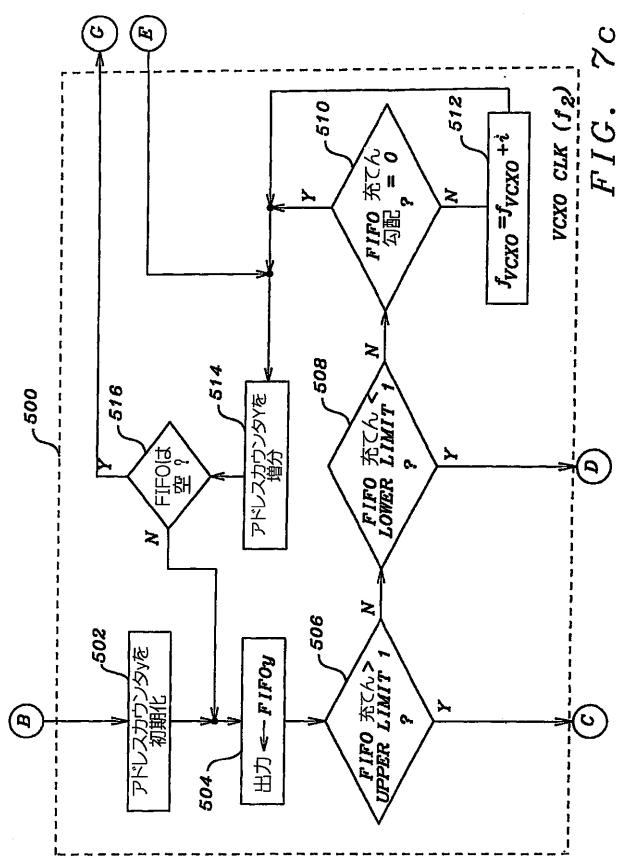
【図 7 a】



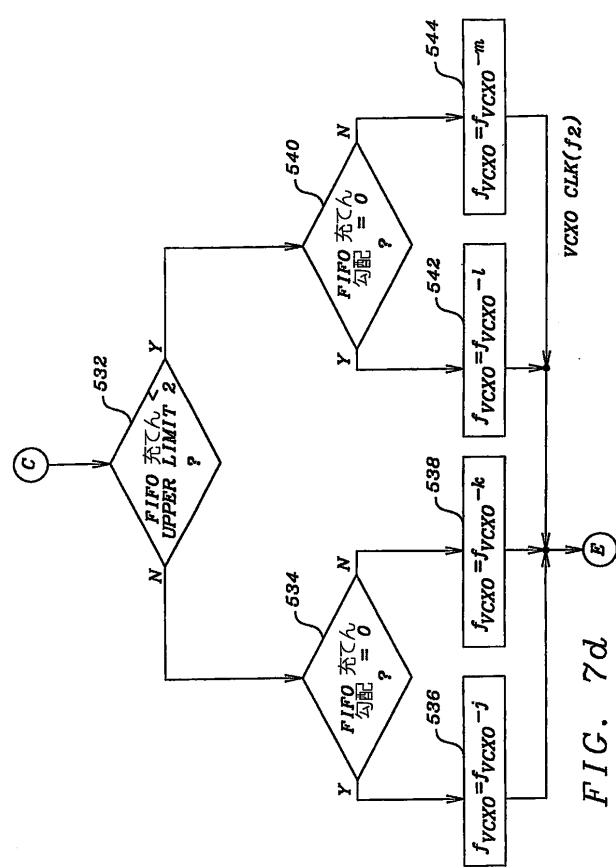
【図 7 b】



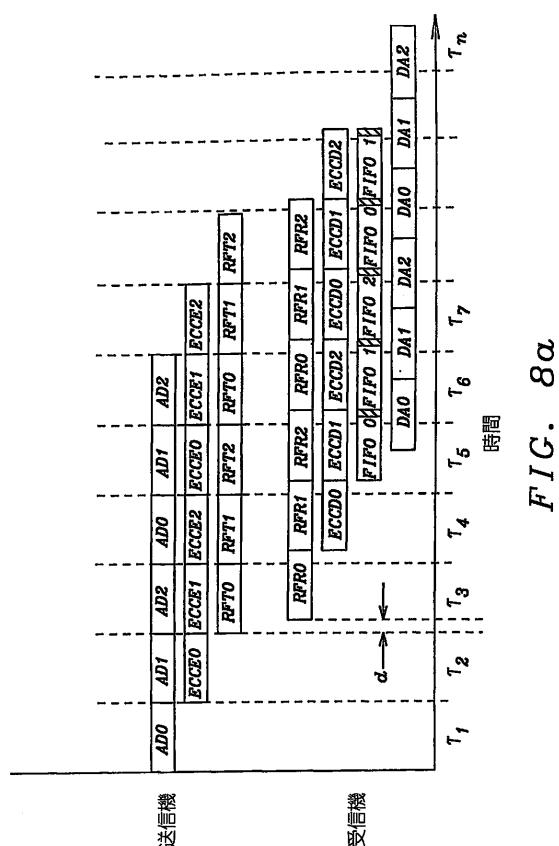
【図 7 c】



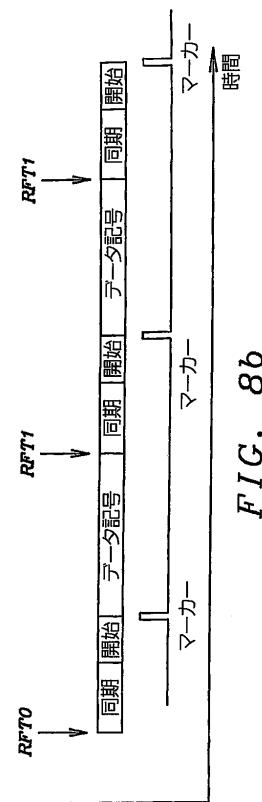
【図 7 d】



【図 8 a】



【図 8 b】



【図9】

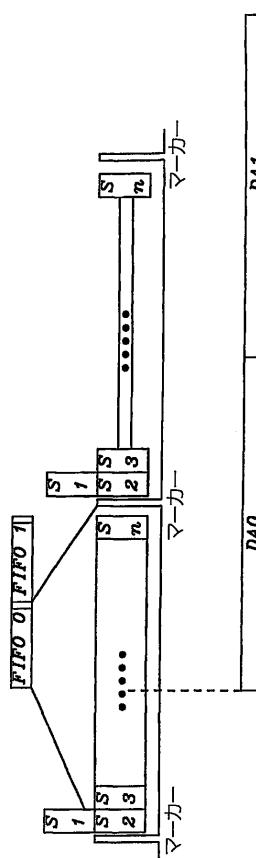


FIG. 9

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB 2005/002783
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <b>IPC<sup>6</sup>: H04L 7/08 (2006.01); H04L 7/033 (2006.01); H04L 1/20 (2006.01); H04L 1/00 (2006.01)</b> According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) <b>IPC<sup>6</sup>: H04L</b>		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched --		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, EPODOC, Elsevier, IEE, IEEEExplore, Research Disclosure, IBM TDB		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	GB 2 312 361 A (NIPPON ELECTRIC CO) 22 October 1997 (22.10.1997) <i>figures, abstract, page 4, line 24 - page 5, line 1, page 8, line 3 - page 10, line 25, claims 6, 7</i>	1-51
Y	Gomes, J.; Barroso, V.; Ayela, G.; Coince, P.; "An overview of the ASIMOV acoustic communication system." In: OCEANS 2000 MTS/IEEE Conference and Exhibition. 11-14 September 2000, Piscataway, NJ, USA. Pages: 1633-1637	1-51
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 3 October 2006 (03.10.2006)	Date of mailing of the international search report 16 October 2006 (16.10.2006)	
Name and mailing address of the ISA/ AT <b>Austrian Patent Office</b> Dresdner Straße 87, A-1200 Vienna Facsimile No. +43 / 1 / 534 24 / 535	Authorized officer <b>MESA PASCASIO J.</b> Telephone No. +43 / 1 / 534 24 / 327	

INTERNATIONAL SEARCH REPORT Information on patent family members			International application No. PCT/IB 2005/002783
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
A		none	

---

**フロントページの続き**

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,L,S,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100080137

弁理士 千葉 昭男

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 チュア,ベン・ファット

シンガポール国 6 8 1 6 9 2 シンガポール, チョア・チュー・カン・クレセント, ナンバー 1 7  
- 0 6 , ブロック 6 9 2 エイ

F ターム(参考) 5K047 AA06 BB02 CC01 GG42 MM26

**【要約の続き】**

ミングに近づける速度で送信するための先入れ先出し(FIFO)バッファデータ保持装置を有する。ジッタ管理ユニットは、FIFOバッファ内に存在するデジタルデータのレベルを監視し、デジタルデータを同期化し、FIFOバッファからのデジタルデータの消費を調整する。