



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0003476  
(43) 공개일자 2023년01월06일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G11C 11/405 (2006.01) H10B 12/00 (2023.01)</p> <p>(52) CPC특허분류<br/>G11C 11/405 (2013.01)<br/>H01L 27/10808 (2013.01)</p> <p>(21) 출원번호 10-2022-7036857</p> <p>(22) 출원일자(국제) 2021년04월06일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2022년10월21일</p> <p>(86) 국제출원번호 PCT/IB2021/052826</p> <p>(87) 국제공개번호 WO 2021/209858<br/>국제공개일자 2021년10월21일</p> <p>(30) 우선권주장<br/>JP-P-2020-073841 2020년04월17일 일본(JP)<br/>JP-P-2020-076478 2020년04월23일 일본(JP)</p> | <p>(71) 출원인<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼<br/>일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자<br/>히로세 다케야<br/>일본국 243-0036 가나가와켄 아쓰기시 하세 398<br/>가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이<br/>요네다 세이이치<br/>일본국 259-1116 가나가와켄 이세하라시 이시다<br/>710-1 에스이엘호소야하이즈201<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>김태홍, 김진희</p> |
|---|---|

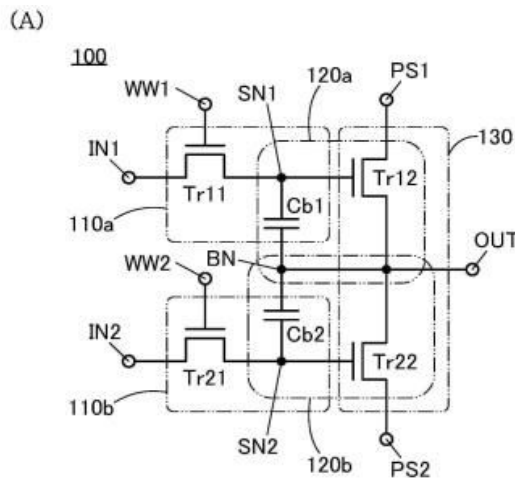
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 반도체 장치

(57) 요약

아날로그 데이터의 유지가 가능한 반도체 장치를 제공한다. 4개의 트랜지스터와 2개의 용량 소자를 사용하여, 2개의 유지 회로와, 2개의 부트스트랩 회로와, 하나의 소스 폴로어 회로를 구성한다. 2개의 유지 회로 각각에 기억 노드가 제공되고, 한쪽의 기억 노드에 데이터 전위가 기록되고, 다른 쪽의 기억 노드에 참조 전위가 기록된다. 데이터의 판독 시에, 한쪽의 부트스트랩 회로에서 한쪽의 기억 노드의 전위가 승압되고, 다른 쪽의 부트스트랩 회로에서 다른 쪽의 기억 노드의 전위가 승압된다. 소스 폴로어 회로를 사용하여 2개의 기억 노드의 전위차를 출력한다. 소스 폴로어 회로를 사용함으로써, 출력 임피던스를 작게 할 수 있다.

대표도



(72) 발명자

**이케다 다카유키**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

**야마자키 슌페이**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

---

## 명세서

### 청구범위

#### 청구항 1

제 1 내지 제 5 회로를 가지는 반도체 장치로서,  
상기 제 1 회로는 제 1 전위를 유지하는 기능을 가지고,  
상기 제 2 회로는 상기 제 1 전위를 승압하는 기능을 가지고,  
상기 제 3 회로는 제 2 전위를 유지하는 기능을 가지고,  
상기 제 4 회로는 상기 제 2 전위를 승압하는 기능을 가지고,  
상기 제 5 회로는 승압된 상기 제 1 전위와 승압된 상기 제 2 전위의 전위차에 상당하는 제 3 전위를 출력하는 기능을 가지는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,  
제 1 내지 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자를 가지고,  
상기 제 1 회로는 상기 제 1 트랜지스터와 상기 제 1 용량 소자를 포함하고,  
상기 제 2 회로는 상기 제 2 트랜지스터와 상기 제 1 용량 소자를 포함하고,  
상기 제 3 회로는 상기 제 3 트랜지스터와 상기 제 2 용량 소자를 포함하고,  
상기 제 4 회로는 상기 제 4 트랜지스터와 상기 제 2 용량 소자를 포함하고,  
상기 제 5 회로는 상기 제 2 트랜지스터와 상기 제 4 트랜지스터를 포함하는, 반도체 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,  
상기 제 1 트랜지스터 및 상기 제 3 트랜지스터는 채널이 형성되는 반도체에 산화물 반도체를 포함하는, 반도체 장치.

#### 청구항 4

제 3 항에 있어서,  
상기 제 2 트랜지스터 및 상기 제 4 트랜지스터는 채널이 형성되는 반도체에 산화물 반도체를 포함하는, 반도체 장치.

#### 청구항 5

제 3 항 또는 제 4 항에 있어서,  
상기 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는, 반도체 장치.

#### 청구항 6

반도체 장치로서,  
제 1 내지 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자를 가지고,  
상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 단자와 전기적으로 접속되고,  
상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 제 2 단자와 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 단자와 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 게이트는 제 4 단자와 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 단자와 전기적으로 접속되고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 7 단자와 전기적으로 접속되고,  
 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 6 단자와 전기적으로 접속되고,  
 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 7 단자와 전기적으로 접속되고,  
 상기 제 1 용량 소자의 한쪽 전극은 상기 제 2 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 1 용량 소자의 다른 쪽 전극은 상기 제 7 단자와 전기적으로 접속되고,  
 상기 제 2 용량 소자의 한쪽 전극은 상기 제 4 트랜지스터의 게이트와 전기적으로 접속되고,  
 상기 제 2 용량 소자의 다른 쪽 전극은 상기 제 7 단자와 전기적으로 접속되어 있는, 반도체 장치.

**청구항 7**

제 6 항에 있어서,  
 상기 제 1 단자에 아날로그 데이터가 공급되는, 반도체 장치.

**청구항 8**

제 6 항 또는 제 7 항에 있어서,  
 상기 제 3 단자와 상기 제 6 단자가 전기적으로 접속되는, 반도체 장치.

**청구항 9**

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,  
 상기 제 1 트랜지스터 및 상기 제 3 트랜지스터는 채널이 형성되는 반도체층에 산화물 반도체를 포함하는, 반도체 장치.

**청구항 10**

제 9 항에 있어서,  
 상기 제 2 트랜지스터 및 상기 제 4 트랜지스터는 채널이 형성되는 반도체층에 산화물 반도체를 포함하는, 반도체 장치.

**청구항 11**

제 9 항 또는 제 10 항에 있어서,  
 상기 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는 반도체 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 본 명세서에 개시되는 본 발명의 일 형태가 속하는 기술분야의 더 구체적인 예로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장

치, 축전 장치, 활상 장치, 기억 장치, 신호 처리 장치, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 들 수 있다.

### 배경 기술

[0003] 근년, 퍼스널 컴퓨터, 스마트폰, 디지털 카메라 등 다양한 전자 기기에 중앙 처리 장치(CPU), 그래픽 처리 장치(GPU), 기억 장치, 센서 등의 전자 부품이 사용되고 있다. 상기 전자 부품은 미세화 및 저소비 전력 등 다양한 면에서 개량되고 있다.

[0004] 특히 근년에는 전자 기기에서 취급되는 데이터양이 증가되고 있어, 기억 용량이 큰 기억 장치가 요구되고 있다. 그러므로 하나의 기억 소자에 다치(多値) 데이터 또는 아날로그 데이터를 유지하는 기억 장치의 개발이 검토되고 있다. 특허문헌 1 및 특허문헌 2에서는 다치 데이터의 기록, 관독을 가능하게 한 반도체 장치에 대하여 개시되어 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 특개2012-256400호  
 (특허문헌 0002) 일본 공개특허공보 특개2014-199707호

### 발명의 내용

#### 해결하려는 과제

[0006] 아날로그 데이터의 장기간 유지와, 유지된 아날로그 데이터의 정확한 관독을 실현할 수 있는 반도체 장치가 요구되고 있다.

[0007] 채널이 형성되는 반도체층에 실리콘을 포함하는 트랜지스터("Si 트랜지스터"라고도 함)에서는, 프로세스 룰의 축소에 따라 소자의 미세화가 진행되고 있다. 또한 소자가 미세화됨에 따라 게이트 절연막의 박막화도 진행되기 때문에, 게이트 절연막을 통한 누설 전류가 문제가 되고 있다.

[0008] 본 발명의 일 형태는 아날로그 데이터의 유지가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 유지된 아날로그 데이터의 정확한 관독이 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 점유 면적이 축소된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 저감된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 기억 용량이 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

#### 과제의 해결 수단

[0010] 본 발명의 일 형태는 4개의 트랜지스터와 2개의 용량 소자를 사용하여, 2개의 유지 회로와, 2개의 부트스트랩 회로와, 하나의 소스 폴로어 회로를 구성하는 반도체 장치이다. 2개의 유지 회로 각각에 기억 노드가 제공되고, 한쪽의 기억 노드에 데이터 전위가 기록되고, 다른 쪽의 기억 노드에 참조 전위가 기록된다. 데이터의 관독 시에, 한쪽의 부트스트랩 회로에서 한쪽의 기억 노드의 전위가 승압되고, 다른 쪽의 부트스트랩 회로에서 다른 쪽의 기억 노드의 전위가 승압된다. 소스 폴로어 회로를 사용하여 2개의 기억 노드의 전위차를 출력한다. 소스 폴로어 회로를 사용함으로써, 출력 임피던스를 작게 할 수 있다.

- [0011] 본 발명의 다른 일 형태는 제 1 내지 제 5 회로를 가지는 반도체 장치이고, 제 1 회로는 제 1 전위를 유지하는 기능을 가지고, 제 2 회로는 제 1 전위를 승압하는 기능을 가지고, 제 3 회로는 제 2 전위를 유지하는 기능을 가지고, 제 4 회로는 제 2 전위를 승압하는 기능을 가지고, 제 5 회로는 승압된 제 1 전위와 승압된 제 2 전위의 전위차에 상응하는 제 3 전위를 출력하는 기능을 가지는 반도체 장치이다.
- [0012] 상기 반도체 장치는 예를 들어, 제 1 내지 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자를 가져도 좋다. 또한 제 1 회로는 제 1 트랜지스터와 제 1 용량 소자를 포함하고, 제 2 회로는 제 2 트랜지스터와 제 1 용량 소자를 포함하고, 제 3 회로는 제 3 트랜지스터와 제 2 용량 소자를 포함하고, 제 4 회로는 제 4 트랜지스터와 제 2 용량 소자를 포함하고, 제 5 회로는 제 2 트랜지스터와 제 4 트랜지스터를 포함하여도 좋다.
- [0013] 본 발명의 다른 일 형태는 제 1 내지 제 4 트랜지스터와, 제 1 용량 소자와, 제 2 용량 소자를 가지고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 단자와 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 게이트와 전기적으로 접속되고, 제 1 트랜지스터의 게이트는 제 2 단자와 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 단자와 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 트랜지스터의 게이트와 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 4 단자와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 5 단자와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 7 단자와 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 6 단자와 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 7 단자와 전기적으로 접속되고, 제 1 용량 소자의 한쪽 전극은 제 2 트랜지스터의 게이트와 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽 전극은 제 7 단자와 전기적으로 접속되고, 제 2 용량 소자의 한쪽 전극은 제 4 트랜지스터의 게이트와 전기적으로 접속되고, 제 2 용량 소자의 다른 쪽 전극은 제 7 단자와 전기적으로 접속되는 반도체 장치이다.
- [0014] 또한 제 3 단자와 제 6 단자는 전기적으로 접속되어도 좋다. 제 1 트랜지스터 및 제 3 트랜지스터는 채널이 형성되는 반도체층에 산화물 반도체를 포함하는 것이 바람직하다. 이에 더하여, 제 2 트랜지스터 및 제 4 트랜지스터는 채널이 형성되는 반도체층에 산화물 반도체를 포함하는 것이 바람직하다. 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는 것이 바람직하다.

**발명의 효과**

- [0015] 본 발명의 일 형태에 의하여 아날로그 데이터의 유지가 가능한 반도체 장치를 제공할 수 있다. 또는 유지된 아날로그 데이터의 정확한 관독이 가능한 반도체 장치를 제공할 수 있다. 또는 점유 면적이 축소된 반도체 장치를 제공할 수 있다. 또는 소비 전력이 저감된 반도체 장치를 제공할 수 있다. 또는 기억 용량이 큰 반도체 장치를 제공할 수 있다. 또는 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는 신규 반도체 장치를 제공할 수 있다.
- [0016] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 위에서 열거한 효과를 가지지 않는 경우도 있다.

**도면의 간단한 설명**

- [0017] 도 1의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 회로도이다.
- 도 2의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 회로도이다.
- 도 3의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 회로도이다.
- 도 4의 (A) 및 (B)는 트랜지스터의 회로 기호를 나타낸 도면이다.
- 도 5의 (A) 및 (B)는 소스 폴로어 회로를 설명하는 도면이다.
- 도 6은 반도체 장치의 동작예를 설명하는 타이밍 차트이다.
- 도 7의 (A) 및 (B)는 반도체 장치의 동작예를 설명하는 도면이다.

도 8의 (A) 및 (B)는 반도체 장치의 동작예를 설명하는 도면이다.

도 9는 본 발명의 일 형태에 따른 반도체 장치의 회로도이다.

도 10의 (A)는 반도체 장치의 구성예를 설명하는 블록도이다. 도 10의 (B)는 반도체 장치의 사시도이다.

도 11은 CPU를 설명하는 블록도이다.

도 12의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 13의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 14의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 15의 (A), (B)는 신경망의 구성예를 설명하는 도면이다.

도 16은 반도체 장치의 구조예를 나타낸 도면이다.

도 17의 (A) 내지 (C)는 트랜지스터의 구성예를 나타낸 도면이다.

도 18의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이고, 도 18의 (B)는 결정성 IGZO의 XRD 스펙트럼을 설명하는 도면이고, 도 18의 (C)는 결정성 IGZO의 나노빔 전자 회절 패턴을 설명하는 도면이다.

도 19의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시도이고, 도 19의 (B)는 칩의 일례를 나타낸 사시도이고, 도 19의 (C) 및 (D)는 전자 부품의 일례를 나타낸 사시도이다.

도 20의 (A) 내지 (J)는 전자 기기의 일례를 설명하는 도면이다.

도 21의 (A) 내지 (E)는 전자 기기의 일례를 설명하는 도면이다.

도 22의 (A) 내지 (C)는 전자 기기의 일례를 설명하는 도면이다.

도 23의 (A) 및 (B)는 실시예에 따른 도면이다.

도 24는 실시예에 따른 도면이다.

도 25는 실시예에 따른 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0018] 이하에서 본 발명의 실시형태에 대하여 설명한다. 다만 본 발명의 일 형태는 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명의 일 형태는 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0019] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 구비한 칩, 또는 패키지에 칩을 수납한 전자 부품 등은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치이고, 반도체 장치를 가지는 경우가 있다.

[0020] 또한 본 명세서 등에 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 기재되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 기재되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0021] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한 스위치는 온 상태 또는 오프 상태가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0022] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회

로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 개재(介在)하여도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되는 것으로 한다.

[0023] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)를 포함하는 것으로 한다.

[0024] 또한 예를 들어 "X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공되어 있다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속의 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0025] 또한 회로도에서 독립되어 있는 구성 요소들이 서로 전기적으로 접속되는 것처럼 도시되어 있어도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0026] 또한 본 명세서 등에서 "저항 소자"란, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 배선 등으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스-드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 코일 등을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", "저항값을 가지는 영역" 등의 용어로 바꿔 말할 수 있고, 반대로 "저항", "부하", "저항값을 가지는 영역"이라는 용어는 "저항 소자" 등의 용어로 바꿔 말할 수 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더욱 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상  $1 \times 10^9 \Omega$  이하로 하여도 좋다.

[0027] 또한 본 명세서 등에서 "용량 소자"란, 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 정전 용량의 값을 가지는 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 "용량 소자"는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 "용량 소자", "기생 용량", "게이트 용량" 등이라는 용어는 "용량" 등의 용어로 바꿔 말할 수 있고, 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", "게이트 용량" 등의 용어로 바꿔 말할 수 있다. 또한 "용량"의 "한 쌍의 전극"이라는 용어는 "한 쌍의 도전체", "한 쌍의 도전 영역", "한 쌍의 영역" 등으로 바꿔 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0028] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 및 드레인이라는 용어는 서로 바꿔 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(혹은 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(혹은 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트

트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각각의 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0029] 또한 본 명세서 등에서 "온 전류"란, 트랜지스터가 온 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다. 또한 "오프 전류"란, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다.

[0030] 또한 본 명세서 등에서 노드는 회로 구성 및/또는 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0031] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 뜻하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화함으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화한다.

[0032] 또한 본 명세서 등에서 고전원 전위(VDD)(이하 단순히 'VDD'라고도 함)란, 저전원 전위(VSS)(이하 단순히 'VS S'라고도 함)보다 높은 전위의 전원 전위를 가리킨다. 또한 VSS란, VDD보다 낮은 전위의 전원 전위를 가리킨다. 또한 접지 전위(이하 단순히 'GND'라고도 함)를 VDD 또는 VSS로서 사용할 수도 있다. 예를 들어 VDD가 접지 전위인 경우에는 VSS는 접지 전위보다 낮은 전위이고, VSS가 접지 전위인 경우에는 VDD는 접지 전위보다 높은 전위이다.

[0033] "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"로 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 특별히 언급하지 않는 경우, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어란 전자, 정공, 음이온, 양이온, 착이온 등이고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 진공 중 등)에 따라 캐리어가 다르다. 또한 배선 등에서의 '전류의 방향'은 양의 캐리어가 이동하는 방향으로 하고, 양의 전류량이라고 기재한다. 바꿔 말하면 음의 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 언급하지 않는 경우, "소자(A)로부터 소자(B)로 전류가 흐른다" 등의 기재는 "소자(B)로부터 소자(A)로 전류가 흐른다" 등으로 바꿔 말할 수 있는 것으로 한다. 또한 "소자(A)에 전류가 입력된다" 등의 기재는 "소자(A)로부터 전류가 출력된다" 등으로 바꿔 말할 수 있는 것으로 한다.

[0034] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어, 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서는 생략될 수도 있다.

[0035] 또한 "위" 또는 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며, 직접 접한 것을 한정하는 것은 아니다. 예를 들어, "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0036] 또한 구성 요소의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어, 본 명세서 등에서 "위에", "아래에" 등 배치를 나타내는 용어는 구성 요소의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하는 경우가 있다. 따라서 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"로 바꿔 말할 수 있다. 또한 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 90° 회전시킴으로써, "도전체의 왼쪽 면(또는 오른쪽 면)에 위치하는 절연체"로 바꿔 말할 수 있다.

[0037] 마찬가지로, 본 명세서 등에서 "중첩" 등의 용어는 구성 요소의 적층 순서 등의 상태를 한정하는 것이 아니다. 예를 들어, "절연층(A)에 중첩되는 전극(B)"이라는 표현이면, "절연층(A) 위에 전극(B)이 형성되어 있는" 상태에 한정되지 않고, "절연층(A) 아래에 전극(B)이 형성되어 있는" 상태 또는 "절연층(A)의 오른쪽(또는 왼쪽)에

전극(B)이 형성되어 있는" 상태 등을 제외하지 않는다.

- [0038] 또한 본 명세서 등에서 "인접" 또는 "근접"이라는 용어는 구성 요소가 직접 접한 것을 한정하는 것이 아니다. 예를 들어, "절연층(A)에 인접한 전극(B)"이라는 표현이면, 절연층(A)과 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0039] 또한 본 명세서 등에서 "막", "층" 등의 용어는 상황에 따라 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막", "층" 등의 용어를 사용하지 않고, 다른 용어로 교체할 수 있다. 예를 들어, "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.
- [0040] 또한 본 명세서 등에서 "전극", "배선", "단자" 등의 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 및 "배선"이라는 용어는 복수의 "전극" 및 "배선"이 일체가 되어 형성되는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 및 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환되는 경우가 있다.
- [0041] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는 경우 또는 상황에 따라 서로 교체할 수 있다. 예를 들어, "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어, "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되어 있는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.
- [0042] 본 명세서 등에서 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체의 결합 준위 밀도가 높아지거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 구체적으로는, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.
- [0043] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 일례로서는, 전기적 스위치 또는 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.
- [0044] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태(온 상태)"란 트랜지스터의 소스와 드레인이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태(오프 상태)"란 트랜지스터의 소스와 드레인이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.
- [0045] 기계적 스위치의 일례로서는 MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 가지고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.
- [0046] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5°

이상 5° 이하의 경우도 그 범주에 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

- [0047] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터로 바꿔 말할 수 있다.
- [0048] 또한 본 명세서 등에서 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.
- [0049] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태대로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.
- [0050] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.
- [0051] 또한 실시형태에서 설명하는 내용이란, 각 실시형태(또는 실시예)에서 다양한 도면을 참조하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0052] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0053] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 도면을 이해하기 쉽게 하기 위하여, 사시도 또는 상면도 등에서 일부의 구성 요소를 생략한 경우가 있다.
- [0054] 또한 본 명세서 등에 있어서, 블록도에서는 구성 요소를 기능마다 분류하고 서로 독립된 블록으로서 나타내었다. 그러나 실제의 회로 등에서는 구성 요소를 기능마다 분류하기가 어렵고, 하나의 회로에 복수의 기능이 관련되는 경우, 또는 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 그러므로 블록도의 블록은 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0055] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 크기 및 종횡비 등에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0056] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "\_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 예를 들어, 2개의 배선(GL) 중 한쪽을 배선(GL[1])이라고 기재하고, 다른 쪽을 배선(GL[2]) 등이라고 기재하는 경우가 있다.
- [0057] (실시형태 1)
- [0058] 본 발명의 일 형태에 따른 반도체 장치(100)에 대하여 도면을 사용하여 설명한다.
- [0059] <반도체 장치(100)의 구성예>
- [0060] 도 1의 (A)에 본 발명의 일 형태에 따른 반도체 장치(100)의 회로도도 나타내었다. 반도체 장치(100)는 아날로

그 데이터의 유지가 가능한 기억 회로로서 기능할 수 있다. 또한 반도체 장치(100)는 아날로그 데이터의 유지가 가능한 기억 소자로서 기능할 수 있다. 반도체 장치(100)는 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr21), 트랜지스터(Tr22), 용량 소자(Cb1), 및 용량 소자(Cb2)를 가진다.

- [0061] 또한 반도체 장치(100)는 유지 회로(110a), 유지 회로(110b), 부트스트랩 회로(120a), 부트스트랩 회로(120b), 및 소스 폴로어 회로(130)를 가진다.
- [0062] 유지 회로(110a)는 트랜지스터(Tr11)와 용량 소자(Cb1)를 포함하고, 유지 회로(110b)는 트랜지스터(Tr21)와 용량 소자(Cb2)를 포함한다. 부트스트랩 회로(120a)는 트랜지스터(Tr12)와 용량 소자(Cb1)를 포함하고, 부트스트랩 회로(120b)는 트랜지스터(Tr22)와 용량 소자(Cb2)를 포함한다. 소스 폴로어 회로(130)는 트랜지스터(Tr12)와 트랜지스터(Tr22)를 포함한다.
- [0063] 트랜지스터(Tr11)의 게이트는 단자(WW1)와 전기적으로 접속되고, 트랜지스터(Tr11)의 소스 및 드레인 중 한쪽은 단자(IN1)와 전기적으로 접속되고, 다른 쪽은 트랜지스터(Tr12)의 게이트와 전기적으로 접속된다. 트랜지스터(Tr12)의 소스 및 드레인 중 한쪽은 단자(PS1)와 전기적으로 접속되고, 다른 쪽은 단자(OUT)와 전기적으로 접속된다.
- [0064] 트랜지스터(Tr21)의 게이트는 단자(WW2)와 전기적으로 접속되고, 트랜지스터(Tr21)의 소스 및 드레인 중 한쪽은 단자(IN2)와 전기적으로 접속되고, 다른 쪽은 트랜지스터(Tr22)의 게이트와 전기적으로 접속된다. 트랜지스터(Tr22)의 소스 및 드레인 중 한쪽은 단자(OUT)와 전기적으로 접속되고, 다른 쪽은 단자(PS2)와 전기적으로 접속된다.
- [0065] 용량 소자(Cb1)를 구성하는 한쪽 전극은 트랜지스터(Tr12)의 게이트와 전기적으로 접속되고, 다른 쪽 전극은 단자(OUT)와 전기적으로 접속된다. 용량 소자(Cb2)를 구성하는 한쪽 전극은 단자(OUT)와 전기적으로 접속되고, 다른 쪽 전극은 트랜지스터(Tr22)의 게이트와 전기적으로 접속된다.
- [0066] 트랜지스터(Tr11)의 소스 및 드레인 중 다른 쪽, 트랜지스터(Tr12)의 게이트, 및 용량 소자(Cb1)를 구성하는 한쪽 전극이 전기적으로 접속되는 접속점이 노드(SN1)로서 기능한다. 트랜지스터(Tr21)의 소스 및 드레인 중 다른 쪽, 트랜지스터(Tr22)의 게이트, 및 용량 소자(Cb2)를 구성하는 다른 쪽 전극이 전기적으로 접속되는 접속점이 노드(SN2)로서 기능한다. 용량 소자(Cb1)를 구성하는 다른 쪽 전극, 용량 소자(Cb2)를 구성하는 한쪽 전극, 및 단자(OUT)가 전기적으로 접속되는 접속점이 노드(BN)로서 기능한다. 또한 노드(SN1) 및 노드(SN2)는 각각이 기억 노드로서 기능한다.
- [0067] 유지 회로(110a)는 트랜지스터(Tr11)를 통하여 노드(SN1)에 기록된 전위(전하)를 유지하는 기능을 가진다. 유지 회로(110b)는 트랜지스터(Tr21)를 통하여 노드(SN2)에 기록된 전위(전하)를 유지하는 기능을 가진다.
- [0068] 구체적으로는, 트랜지스터(Tr11)의 게이트에 트랜지스터(Tr11)를 온 상태로 하는 전위를 공급하여, 트랜지스터(Tr11)의 소스 및 드레인을 통하여 노드(SN1)에, 노드(SN1)를 소정의 전위로 하기 위한 전하를 공급한다. 그 후, 트랜지스터(Tr11)의 게이트에 트랜지스터(Tr11)를 오프 상태로 하는 전위를 공급한다. 트랜지스터(Tr11)를 오프 상태로 함으로써, 노드(SN1)에 기록된 전하를 유지한다.
- [0069] 마찬가지로, 트랜지스터(Tr21)의 게이트에 트랜지스터(Tr21)를 온 상태로 하는 전위를 공급하여, 트랜지스터(Tr21)의 소스 및 드레인을 통하여 노드(SN2)에, 노드(SN2)를 소정의 전위로 하기 위한 전하를 공급한다. 그 후, 트랜지스터(Tr21)의 게이트에 트랜지스터(Tr21)를 오프 상태로 하는 전위를 공급한다. 트랜지스터(Tr21)를 오프 상태로 함으로써, 노드(SN2)에 기록된 전하를 유지한다. 따라서 노드(SN1) 및 노드(SN2)를 "유지 노드"라고도 한다. 또한 트랜지스터(Tr11) 및 트랜지스터(Tr21)를 "기록 트랜지스터"라고도 한다.
- [0070] 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr21), 및 트랜지스터(Tr22)의 반도체층으로서, 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단독으로 또는 조합하여 사용할 수 있다. 반도체 재료로서는, 예를 들어 실리콘 또는 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 산화물 반도체, 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다.
- [0071] 또한 트랜지스터에 사용하는 반도체층은 복수의 반도체층의 적층이어도 좋다. 반도체층을 적층하는 경우에는, 결정 상태가 각각 다른 반도체를 사용하여도 좋고, 각각 다른 반도체 재료를 사용하여도 좋다.
- [0072] 특히 트랜지스터(Tr11) 및 트랜지스터(Tr21)는 채널이 형성되는 반도체층에 산화물 반도체가 포함된 트랜지스터("OS 트랜지스터"라고도 함)인 것이 바람직하다. 산화물 반도체는 밴드 갭이 2eV 이상이기 때문에, 오프 전류가 매우 낮다. 트랜지스터(Tr11) 및 트랜지스터(Tr21)에 OS 트랜지스터를 사용하면, 유지 노드에 기록된 전하

를 장기간 유지할 수 있다. 트랜지스터(Tr11) 및 트랜지스터(Tr21)에 OS 트랜지스터를 사용한 경우, 반도체 장치(100)를 "OS 메모리"라고 부를 수 있다.

- [0073] OS 메모리는 전력 공급이 정지되어도 기록된 정보를 1년 이상, 나아가서는 10년 이상의 기간 유지할 수 있다. 따라서 OS 메모리를 비휘발성 메모리로 간주할 수도 있다.
- [0074] 또한 OS 메모리는 기록된 전하량이 장기간 변화되기 어렵기 때문에, OS 메모리는 2치(1비트)에 한정되지 않고, 다치(멀티 비트)의 정보를 유지할 수 있다.
- [0075] 또한 OS 메모리에서는 OS 트랜지스터를 통하여 노드에 전하를 기록하기 때문에, 종래의 플래시 메모리에서 필요한 고전압이 불필요하고, 고속 기록 동작을 실현할 수도 있다. 또한 플래시 메모리에서 수행되는 데이터 재기록 전의 소거 동작이 OS 메모리에서는 불필요하다. 또한 플로팅 게이트 또는 전하 포획층에 대한 전하의 주입 및 추출도 수행되지 않기 때문에, OS 메모리는 실질적으로 무제한의 데이터 기록 및 관독이 가능하다. OS 메모리는 종래의 플래시 메모리와 비교하여 열화가 적고, 높은 신뢰성이 얻어진다.
- [0076] 또한 OS 메모리는 자기 저항 메모리(MRAM) 또는 저항 변화형 메모리(ReRAM) 등과 달리 원자 레벨에서의 구조 변화가 일어나지 않는다. 따라서 OS 메모리는 자기 저항 메모리 및 저항 변화형 메모리보다 재기록에 대한 내성이 높다.
- [0077] 또한 OS 트랜지스터는 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는, 실온 이상 200℃ 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 저하되기 어렵다. OS 메모리를 포함하는 기억 장치는 고온 환경하에서도 동작이 안정적이고 신뢰성이 높다. 또한 OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높다. 반도체 장치를 구성하는 트랜지스터에 OS 트랜지스터를 사용함으로써, 고온 환경하에서도 동작이 안정적이고 신뢰성이 양호한 반도체 장치를 실현할 수 있다. 따라서 트랜지스터(Tr11), 트랜지스터(Tr21), 트랜지스터(Tr12), 및 트랜지스터(Tr22)에 OS 트랜지스터를 사용하는 것이 바람직하다.
- [0078] 또한 트랜지스터(Tr12) 및 트랜지스터(Tr22)의 게이트 절연막이 지나치게 얇으면, 노드(SN1) 및 노드(SN2)에 기록된 전하가 상기 게이트 절연막을 통하여 누설될("게이트 누설"이라고도 함) 경우가 있다. 트랜지스터(Tr12) 및 트랜지스터(Tr22)의 게이트 절연막의 두께는 트랜지스터(Tr11) 및 트랜지스터(Tr21)의 게이트 절연막의 두께와 같은 정도인 것이 바람직하다.
- [0079] 또한 예를 들어, 트랜지스터(Tr11) 및 트랜지스터(Tr21)에 OS 트랜지스터를 사용하고, 트랜지스터(Tr12) 및 트랜지스터(Tr22)에 Si 트랜지스터를 사용하여도 좋다. 트랜지스터(Tr12) 및 트랜지스터(Tr22)에 사용하는 Si 트랜지스터에는 게이트 누설이 적은 구조를 가지는 Si 트랜지스터를 사용하면 좋다.
- [0080] Si 트랜지스터는 OS 트랜지스터보다 동작 속도가 빠르기 때문에, 트랜지스터(Tr12) 및 트랜지스터(Tr22)에 Si 트랜지스터를 사용함으로써 데이터의 관독 속도를 높일 수 있다.
- [0081] 또한 도 1의 (B)에 나타난 바와 같이, 트랜지스터(Tr11)의 게이트 및 트랜지스터(Tr21)의 게이트를 배선(WWL)과 전기적으로 접속하여도 좋다.
- [0082] 또한 도 2의 (A)에 나타난 바와 같이, 트랜지스터(Tr12) 및 트랜지스터(Tr22)에 백 게이트를 가지는 트랜지스터를 사용하여도 좋다. 도 2의 (A)에서는 트랜지스터(Tr12)의 백 게이트를 단자(BG14)와 전기적으로 접속하고, 트랜지스터(Tr22)의 백 게이트를 단자(BG24)와 전기적으로 접속하는 예를 나타내었다. 단자(BG14)의 전위를 제어함으로써, 트랜지스터(Tr12)의 문턱 전압을 변화시킬 수 있다. 단자(BG24)의 전위를 제어함으로써, 트랜지스터(Tr22)의 문턱 전압을 변화시킬 수 있다.
- [0083] 또한 도 2의 (B)에 나타난 바와 같이, 트랜지스터(Tr11) 및 트랜지스터(Tr21)에 백 게이트를 가지는 트랜지스터를 사용하여도 좋다. 도 2의 (B)에서는 트랜지스터(Tr11)의 백 게이트를 단자(BG13)와 전기적으로 접속하고, 트랜지스터(Tr21)의 백 게이트를 단자(BG23)와 전기적으로 접속하는 예를 나타내었다. 단자(BG13)의 전위를 제어함으로써, 트랜지스터(Tr11)의 문턱 전압을 변화시킬 수 있다. 단자(BG23)의 전위를 제어함으로써, 트랜지스터(Tr21)의 문턱 전압을 변화시킬 수 있다.
- [0084] 또한 도 3의 (A)에서는 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr21), 및 트랜지스터(Tr22)의 각각에 있어서, 게이트와 백 게이트를 전기적으로 접속하는 예를 나타내었다. 도 3의 (B)에서는 트랜지스터(Tr22)의 백 게이트를 트랜지스터(Tr22)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속하는 예를 나타내었다. 백 게이트를 제공함으로써, 트랜지스터의 외부에서 생기는 전계가 채널 형성 영역에 작용하기 어려워지기 때문에, 반도체

체 장치의 동작이 안정되고 반도체 장치의 신뢰성을 높일 수 있다.

[0085] 또한 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr21), 및 트랜지스터(Tr22) 각각은 더블 게이트형 트랜지스터이어도 좋다. 도 4의 (A)에 더블 게이트형 트랜지스터(180A)의 회로 기호의 예를 나타내었다.

[0086] 트랜지스터(180A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)가 직렬로 접속된 구성을 가진다. 도 4의 (A)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)와 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 단자(D)와 전기적으로 접속되어 있는 상태를 나타내었다. 또한 도 4의 (A)에서는 트랜지스터(Tr1)와 트랜지스터(Tr2)의 게이트가 전기적으로 접속되고, 단자(G)와 전기적으로 접속되어 있는 상태를 나타내었다.

[0087] 도 4의 (A)에 나타낸 트랜지스터(180A)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 사이를 도통 상태 또는 비도통 상태로 전환하는 기능을 가진다. 따라서 더블 게이트형 트랜지스터인 트랜지스터(180A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)를 포함하고, 하나의 트랜지스터로서 기능한다. 즉 도 4의 (A)에서 트랜지스터(180A)의 소스 및 드레인 중 한쪽은 단자(S)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)와 전기적으로 접속되고, 게이트는 단자(G)와 전기적으로 접속되어 있다고 말할 수 있다.

[0088] 또한 트랜지스터(Tr11), 트랜지스터(Tr12), 트랜지스터(Tr21), 및 트랜지스터(Tr22) 각각은 트리플 게이트형 트랜지스터이어도 좋다. 도 4의 (B)에 트리플 게이트형 트랜지스터(180B)의 회로 기호의 예를 나타내었다.

[0089] 트랜지스터(180B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)가 직렬로 접속된 구성을 가진다. 도 4의 (B)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)와 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 다른 쪽이 단자(D)와 전기적으로 접속되어 있는 상태를 나타내었다. 또한 도 4의 (B)에서는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)의 게이트가 전기적으로 접속되고, 단자(G)와 전기적으로 접속되어 있는 상태를 나타내었다.

[0090] 도 4의 (B)에 나타낸 트랜지스터(180B)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 사이를 도통 상태 또는 비도통 상태로 전환하는 기능을 가진다. 따라서 트리플 게이트형 트랜지스터인 트랜지스터(180B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)를 포함하고, 하나의 트랜지스터로서 기능한다. 즉 도 4의 (B)에서 트랜지스터(180B)의 소스 및 드레인 중 한쪽은 단자(S)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)와 전기적으로 접속되고, 게이트는 단자(G)와 전기적으로 접속되어 있다고 말할 수 있다.

[0091] 트랜지스터(180A) 및 트랜지스터(180B)와 같이, 복수의 게이트를 가지고, 복수의 게이트가 전기적으로 접속되어 있는 트랜지스터를 '멀티 게이트형 트랜지스터' 또는 '멀티 게이트 트랜지스터'라고 부르는 경우가 있다.

[0092] <반도체 장치(100)의 동작예>

[0093] 도면을 사용하여 반도체 장치(100)의 동작예에 대하여 설명한다. 상술한 바와 같이, 본 발명의 일 형태에 따른 반도체 장치(100)는 트랜지스터(Tr12) 및 트랜지스터(Tr22)를 사용하여 소스 폴로어 회로(130)를 구성한다.

[0094] 여기서 소스 폴로어 회로에 대하여 설명한다. 도 5의 (A)는 트랜지스터(M1)와 저항 소자(R1)를 포함하는 소스 폴로어 회로(901)의 회로도이다. 트랜지스터(M1)는 n채널형 트랜지스터이다. 도 5의 (A)에 나타낸 소스 폴로어 회로(901)에 있어서, 트랜지스터(M1)의 소스가 저항 소자(R1)의 한쪽 단자와 전기적으로 접속된다. 또한 트랜지스터(M1)의 드레인에 VDD가 공급되고, 저항 소자의 다른 쪽 단자에 VSS가 공급된다. 트랜지스터(M1)의 게이트는 단자(IN)와 전기적으로 접속되며, 단자(IN)를 통하여 입력 전압(Vin)이 입력된다. 트랜지스터(M1)의 소스는 단자(OUT)와 전기적으로 접속되며, 단자(OUT)를 통하여 출력 전압(Vout)이 출력된다.

[0095] 소스 폴로어 회로를 구성하는 트랜지스터는 포화 영역에서 동작시킬 필요가 있다. 따라서 트랜지스터(M1)의 문턱 전압을 Vth로 하였을 때, 수학적 1의 관계를 만족시키는 조건하에서 트랜지스터(M1)를 동작시킬 필요가 있다.

[0096] [수학적 1]

[0097] 
$$VDD > Vin - Vth \quad \cdot \cdot \cdot \quad (1)$$

[0098] 이어서 소스 폴로어 회로(901)의 동작에 대하여 설명한다. 출력 전압(Vout)은 트랜지스터(M1)의 소스 전압이기

때문에, 출력 전압(Vout)은 상시 대략 Vin에서 Vth를 뺀 전압이 된다. 더 정확히는 출력 전압(Vout)은 수학적 2를 만족시키도록 변화된다.

[0099] [수학적 2]

$$V_{out} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in} - V_{th} - V_{out})^2 R_1 \quad \dots \quad (2)$$

[0100]

수학적 2에 있어서,  $\mu_n$ 은 이동도,  $C_{ox}$ 는 게이트 용량, W는 채널 폭, L은 채널 길이, Vin은 단자(IN)를 통하여 입력되는 전압(트랜지스터(M1)의 게이트 전압), Vth는 트랜지스터(M1)의 문턱 전압, R1은 저항 소자(R1)의 저항 값이다.

[0102]

소스 폴로어 회로(901)에서는 입력 전압(Vin)이 변화되면 출력 전압(Vout)은 입력 전압(Vin)의 변화에 추종하여 변화된다.

[0103]

다음으로, 입력 전압(Vin)이 일정하고, 단자(OUT)에 접속되는 부하의 입력 임피던스가 변동하는 경우에 대하여 생각한다. 트랜지스터(M1)의 소스와 드레인 사이에 흐르는 전류를 Id로 하고, 저항 소자(R1)에 흐르는 전류를 Ir로 하고, 트랜지스터(M1)의 게이트와 소스 사이의 전압(게이트 전압)을 Vgs로 한다.

[0104]

단자(OUT)에 부하가 접속되지 않는 경우, Id와 Ir는 동등하다. 단자(OUT)에 부하가 접속되고 상기 부하의 입력 임피던스가 작게 되면, Id의 일부가 부하에 공급되어 Ir가 적어진다. 이에 따라 저항 소자(R1)에 발생하는 전압이 작게 된다. 즉 Vout가 저하된다.

[0105]

한편으로, Vout의 저하는 트랜지스터(M1)의 소스 전위의 저하를 뜻한다. 따라서 Vgs가 크게 되어 Id가 증가된다. Id의 증가는 대략 Vout=Vin-Vth가 될 때까지 계속된다. 더 정확히는 출력 전압(Vout)은 수학적 2를 만족시킬 때까지 증가된다.

[0106]

또한 단자(OUT)에 접속된 부하의 입력 임피던스가 크게 되면, 부하 측에 공급되는 전류가 감소되기 때문에, 저항 소자(R1)에 흐르는 Ir가 많아진다. 이에 따라 저항 소자(R1)에 발생하는 전압이 크게 된다. 즉 Vout가 상승된다.

[0107]

한편으로, Vout의 상승은 트랜지스터(M1)의 소스 전위의 상승을 뜻한다. 따라서 Vgs가 작게 되어 Id가 감소된다. Id의 감소는 대략 Vout=Vin-Vth가 될 때까지 계속된다. 더 정확히는 출력 전압(Vout)은 수학적 2를 만족시킬 때까지 감소된다.

[0108]

이와 같이, 소스 폴로어 회로는 부하의 입력 임피던스가 변동하여도 상시 일정한 전압을 공급하는 기능을 가진다. 즉 소스 폴로어 회로는 전력 증폭(출력 전압을 바꾸지 않고 전류값을 증폭함)을 수행하는 기능을 가진다.

[0109]

또한 도 5의 (B)에 나타난 소스 폴로어 회로(902)와 같이, 소스 폴로어 회로(901)의 저항 소자(R1)를 트랜지스터(M2)로 치환할 수도 있다. 트랜지스터(M2)는 n채널형 트랜지스터이다. 소스 폴로어 회로(902)에서도 트랜지스터(M1) 및 트랜지스터(M2)는 포화 영역에서 동작시킨다.

[0110]

소스 폴로어 회로(902)에 있어서, 트랜지스터(M1)의 게이트는 단자(IN1)와 전기적으로 접속되고, 트랜지스터(M2)의 게이트는 단자(IN2)와 전기적으로 접속된다. 트랜지스터(M2)의 드레인은 단자(OUT)와 전기적으로 접속된다. 또한 트랜지스터(M2)의 소스에는 저전원 전압(VSS)이 공급된다.

[0111]

소스 폴로어 회로(902)도 전력 증폭을 수행하는 기능을 가진다. 소스 폴로어 회로(902)에 있어서, 포화 영역에서 동작하는 트랜지스터(M1)의 소스와 드레인 사이에 흐르는 전류를 Id1, 포화 영역에서 동작하는 트랜지스터(M2)의 소스와 드레인 사이에 흐르는 전류를 Id2로 하였을 때, Id1은 수학적 3, Id2는 수학적 4로 나타낼 수 있다.

[0112] [수학적 3]

$$I_{d1} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{out} - V_{th1})^2 \quad \dots \quad (3)$$

[0113]

수학적 3에 있어서,  $\mu_n$ 은 이동도,  $C_{ox}$ 는 게이트 용량, W는 채널 폭, L은 채널 길이, Vin1은 단자(IN1)를 통하여 입력되는 전압(트랜지스터(M1)의 게이트 전압), Vth1은 트랜지스터(M1)의 문턱 전압이다.

[0115] [수학식 4]

$$Id2 = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (Vin2 - Vth2)^2 \quad \dots \quad (4)$$

[0116]

[0117] 수학식 4에 있어서,  $\mu_n$ 은 이동도,  $C_{ox}$ 는 게이트 용량,  $W$ 는 채널 폭,  $L$ 은 채널 길이,  $Vin2$ 는 단자(IN2)를 통하여 입력되는 전압(트랜지스터(M2)의 게이트 전압),  $Vth2$ 는 트랜지스터(M2)의 문턱 전압이다.

[0118] 소스 폴로어 회로(902)에 있어서,  $Id1$ 과  $Id2$ 는 동등하다. 이에 더하여, 트랜지스터(M1)와 트랜지스터(M2)의 구성 및 트랜지스터 특성이 동등한 경우, 소스 폴로어 회로(902)의 출력 전압( $Vout$ )은 수학식 5로 나타낼 수 있다.

[0119] [수학식 5]

$$Vout = Vin1 - Vin2 \quad \dots \quad (5)$$

[0120]

[0121] 반도체 장치(100)의 동작예의 설명으로 돌아간다. 도 6은 반도체 장치(100)의 동작을 설명하기 위한 타이밍 차트이다. 도 7 및 도 8은 반도체 장치(100)의 동작 상태를 설명하기 위한 도면이다.

[0122] 도면 등에 있어서, 단자 및 배선 등에 인접하여 "VDD" 또는 "VSS" 등 전위를 나타내는 기호("전위 기호"라고도 함)를 기재하는 경우가 있다. 또한 단자 및 배선 등의 전위 변화를 이해하기 쉽게 하기 위하여, 전위가 변화된 단자 및 배선 등에 부기하는 전위 기호를 원으로 둘러싸서 기재하는 경우가 있다. 또한 오프 상태의 트랜지스터에 걸쳐 "×" 기호를 부여하는 경우가 있다.

[0123] [데이터 기록 동작]

[0124] 데이터 기록 동작이 시작되기 전에는, 단자(WW1) 및 단자(WW2)의 전위는 L전위이고, 단자(PS1), 단자(PS2), 단자(IN1), 단자(IN2), 노드(SN1), 노드(SN2), 및 단자(OUT)의 전위는 VSS인 것으로 한다. 또한 본 명세서 등에 있어서, 트랜지스터를 오프 상태로 할 수 있는 전위를 L전위라고 한다. L전위는 예를 들어 VSS이어도 좋지만 특정의 전위를 뜻하는 것이 아니다. 또한 본 명세서 등에 있어서, 트랜지스터를 온 상태로 할 수 있는 전위를 H전위라고 한다. H전위는 예를 들어 VDD이어도 좋지만 특정의 전위를 뜻하는 것이 아니다.

[0125] 예를 들어 2개의 배선에 있어서, 각각에 대하여 "L전위가 공급된다"고 기재된 경우, 2개의 배선에 공급되는 각 L전위는 동등하지 않아도 된다. 또한 마찬가지로, 2개의 배선에 있어서, 각각에 대하여 "H전위가 공급된다"고 기재된 경우, 2개의 배선에 공급되는 각 H전위는 동등하지 않아도 된다.

[0126] 기간(T31)에서, 단자(WW1) 및 단자(WW2)에 H전위를 공급하여, 트랜지스터( $Tr11$ ) 및 트랜지스터( $Tr21$ )를 온 상태로 한다(도 7의 (A) 참조). 또한 단자(IN1) 및 트랜지스터( $Tr11$ )를 통하여, 데이터( $Vdata$ )에 참조 전압( $Vref$ )(참조 전위)을 가산한 전압( $Vdata+Vref$ )을 노드(SN1)에 공급한다.

[0127] 또한 단자(IN2) 및 트랜지스터( $Tr21$ )를 통하여,  $Vin2$ 로서 참조 전압( $Vref$ )을 노드(SN2)에 공급한다. 트랜지스터( $Tr22$ )는 판독 동작 시에 포화 영역에서 동작할 필요가 있기 때문에, 참조 전압( $Vref$ )은 트랜지스터( $Tr22$ )의 문턱 전압( $Vth2$ ) 이하인 것이 바람직하다. 또한 트랜지스터( $Tr12$ )와 트랜지스터( $Tr22$ )의 트랜지스터 특성이 같은 경우에는  $Vref=Vth1=Vth2$ 이다.

[0128] 기간(T32)에서, 단자(WW1) 및 단자(WW2)에 L전위를 공급하여, 트랜지스터( $Tr11$ ) 및 트랜지스터( $Tr21$ )를 오프 상태로 한다(도 7의 (B) 참조). 트랜지스터( $Tr11$ )가 오프 상태가 됨으로써 노드(SN1)가 플로팅 상태가 되고 노드(SN1)의 전위(전하)가 유지된다. 트랜지스터( $Tr21$ )가 오프 상태가 됨으로써 노드(SN2)가 플로팅 상태가 되고 노드(SN2)의 전위(전하)가 유지된다.

[0129] [데이터 판독 동작]

[0130] 기간(T41)에서, 단자(PS1)에 VDD를 공급한다. 이에 따라 단자(PS1)로부터 트랜지스터( $Tr12$ )를 통하여 전류가 흘러, 노드(BN)에 전하가 공급된다. 도 8의 (A)에는 기간(T41) 시작 직후의 상태를 나타내었다.

[0131] 노드(BN)에 전하가 공급됨으로써 노드(BN)의 전위가 상승된다. 기간(T41)에서, 노드(SN1)는 플로팅 상태이고, 노드(SN1)는 용량 소자( $Cb1$ )를 통하여 노드(BN)와 용량 결합되어 있기 때문에, 부트스트랩 효과에 의하여 노드(SN1)의 전위("Vsn1"이라고도 함)도 상승된다. 마찬가지로 기간(T41)에서, 노드(SN2)는 플로팅 상태이고, 노드(SN2)는 용량 소자( $Cb2$ )를 통하여 노드(BN)와 용량 결합되어 있기 때문에, 부트스트랩 효과에 의하여 노드(SN

2)의 전위("Vsn2"라고도 함)도 상승된다(도 8의 (B) 참조).

[0132] 이와 같이, 반도체 장치(100)는 트랜지스터(Tr12) 및 용량 소자(Cb1)를 포함하는 부트스트랩 회로(120a)를 가진다. 부트스트랩 회로(120a)는 노드(SN1)의 전위를 승압하는 기능을 가진다. 또한 반도체 장치(100)는 트랜지스터(Tr22) 및 용량 소자(Cb2)를 포함하는 부트스트랩 회로(120b)를 가진다. 부트스트랩 회로(120b)는 노드(SN2)의 전위를 승압하는 기능을 가진다.

[0133] 반도체 장치(100)에 있어서, 노드(BN)의 전위는 출력 전압(Vout)으로 바뀌 읽을 수 있다. 노드(BN)(출력 전압(Vout))의 전위는 노드(SN1)와 노드(SN2)의 전위차에 상당하는 전위가 된다. 또한 노드(BN)(출력 전압(Vout))의 전위는 상술한 수학적 식 5를 만족시킬 때까지 변화된다. 구체적으로는 Vsn1-Vsn2가 될 때까지 변화된다. 따라서 최종적으로 노드(BN)(출력 전압(Vout))의 전위는 Vdata가 된다.

[0134] 이때 트랜지스터(Tr22)는 포화 영역에서 동작한다고 할 수 있다. 또한 트랜지스터(Tr12)를 포화 영역에서 동작시키기 위하여, 기록 동작 시에 단자(IN1)에 공급하는 전위 Vin1은 수학적 식 6을 만족시킬 필요가 있다.

[0135] [수학적 식 6]

$$V_{th1} \leq V_{in1} \leq \frac{1}{2}V_{DD} + V_{th1} \quad \dots \quad (6)$$

[0136]

[0137] 또한 단자(IN2)에 공급하는 전위를 VSS로 함으로써, Vin1=Vdata로 할 수 있다. 예를 들어 도 9에 나타낸 바와 같이, 단자(IN2)와 전기적으로 접속되는 트랜지스터(Tr21)의 소스 및 드레인 중 한쪽을 단자(IN2)가 아니라 단자(PS2)와 전기적으로 접속하여도 좋다. 단자(IN2)에 공급하는 전위를 VSS로 함으로써, Vin1에 Vref를 더할 필요가 없어지기 때문에, 반도체 장치(100)의 구동 회로를 작게 할 수 있다. 따라서 반도체 장치(100)를 포함하는 반도체 장치의 점유 면적을 축소시킬 수 있다. 또한 상기 반도체 장치의 설계 자유도가 향상된다. 또한 상기 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0138] 단자(IN2)에 공급하는 전위를 VSS로 한 경우, Vdata는 수학적 식 7을 만족시킬 필요가 있다.

[0139] [수학적 식 7]

$$V_{th1} \leq V_{data} \leq \frac{1}{2}(V_{DD} + V_{th1}) \quad \dots \quad (7)$$

[0140]

[0141] 이와 같이, 본 발명의 일 형태에 따른 반도체 장치(100)는 아날로그 데이터를 유지하는 기능과, 유지된 아날로그 데이터를 전력 증폭하여 출력하는 기능을 가진다. 유지된 데이터는 판독 시에 전력 증폭되기 때문에, 데이터 판독 후에 사용되는 전력 증폭 회로 등이 불필요해질 수 있다. 또는 상기 전력 증폭 회로의 개수 또는 규모 등을 저감할 수 있다.

[0142] 또한 본 발명의 일 형태에 따른 반도체 장치(100)는 출력 단자(단자(OUT))에 접속되는 부하의 임피던스가 변동하여도, 유지된 데이터를 안정적으로 출력(판독)할 수 있다. 또한 본 발명의 일 형태에 따른 반도체 장치(100)는 아날로그 데이터에 한정되지 않고, 디지털 데이터도 유지할 수 있다.

[0143] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.

[0144] (실시형태 2)

[0145] 본 실시형태에서는 본 발명의 일 형태에 따른 기억 장치 또는 반도체 장치를 가지는 반도체 장치(400)에 대하여 설명한다.

[0146] 도 10의 (A)는 반도체 장치(400)의 구성예를 나타낸 블록도이다. 도 10의 (A)에 나타낸 반도체 장치(400)는 구동 회로(410)와 메모리 어레이(420)를 가진다. 메모리 어레이(420)는 복수의 반도체 장치(100)를 가진다. 반도체 장치(100)는 메모리 셀로서 기능한다. 도 10의 (A)에는 메모리 어레이(420)가 매트릭스상으로 배치된 복수의 반도체 장치(100)를 가지는 예를 나타내었다.

[0147] 구동 회로(410)는 PSW(파워 스위치)(241), PSW(242), 및 주변 회로(415)를 가진다. 주변 회로(415)는 주변 회로(411), 제어 회로(Control Circuit)(412), 및 전압 생성 회로(428)를 가진다.

[0148] 반도체 장치(400)에서 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취소선택할 수 있다. 또는 다른 회로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR),

신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부로의 출력 신호이다. 신호(CLK)는 클럭 신호이다.

- [0149] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 제어 회로(412)에서 생성하여도 좋다.
- [0150] 제어 회로(412)는 반도체 장치(400)의 동작 전반을 제어하는 기능을 가지는 논리 회로이다. 예를 들어 제어 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 반도체 장치(400)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 제어 회로(412)는 이 동작 모드가 실행되도록 주변 회로(411)의 제어 신호를 생성한다.
- [0151] 전압 생성 회로(428)는 음의 전압을 생성하는 기능을 가진다. WAKE는 전압 생성 회로(428)에 대한 CLK의 입력을 제어하는 기능을 가진다. 예를 들어 WAKE에 H레벨의 신호가 인가되면, 신호(CLK)가 전압 생성 회로(428)에 입력되고, 전압 생성 회로(428)는 음의 전압을 생성한다.
- [0152] 주변 회로(411)는 반도체 장치(100)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 주변 회로(411)는 행 디코더(441)(Row Decoder), 열 디코더(442)(Column Decoder), 행 드라이버(423)(Row Driver), 열 드라이버(424)(Column Driver), 입력 회로(425)(Input Cir.), 출력 회로(426)(Output Cir.)를 가진다. 필요에 따라 감지 증폭기 등을 제공하여도 좋다.
- [0153] 행 디코더(441) 및 열 디코더(442)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(441)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(442)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(423)는 행 디코더(441)가 지정하는 배선을 선택하는 기능을 가진다. 열 드라이버(424)는 데이터를 반도체 장치(100)에 기록하는 기능, 반도체 장치(100)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.
- [0154] 입력 회로(425)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(425)가 유지하는 데이터는 열 드라이버(424)에 출력된다. 입력 회로(425)의 출력 데이터는 반도체 장치(100)에 기록되는 데이터(Din)이다. 열 드라이버(424)가 반도체 장치(100)로부터 판독한 데이터(Dout)는 출력 회로(426)에 출력된다. 출력 회로(426)는 Dout를 유지하는 기능을 가진다. 또한 출력 회로(426)는 Dout를 반도체 장치(400)의 외부에 출력하는 기능을 가진다. 출력 회로(426)로부터 출력되는 데이터는 신호(RDA)이다.
- [0155] PSW(241)는 주변 회로(415)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(242)는 행 드라이버(423)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 반도체 장치(400)의 고전원 전압이 VDD이고, 저전원 전압이 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(241)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(242)의 온/오프가 제어된다. 도 10의 (A)에서는 주변 회로(415)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 파워 스위치를 제공하면 좋다.
- [0156] 반도체 장치(400)가 가지는 구동 회로(410)와 메모리 어레이(420)는 동일 평면상에 제공되어도 좋다. 또한 도 10의 (B)에 나타낸 바와 같이, 구동 회로(410)와 메모리 어레이(420)를 중첩시켜 제공하여도 좋다. 구동 회로(410)와 메모리 어레이(420)를 중첩시켜 제공함으로써, 신호 전반 거리를 짧게 할 수 있다.
- [0157] 또한 반도체 장치(400)에서는, 구동 회로(410)가 가지는 제어 회로(412)로서 CPU(Central Processing Unit) 및/또는 GPU(Graphics Processing Unit) 등의 연산 처리 장치를 사용하여도 좋다. CPU 및/또는 GPU 등을 사용함으로써, 연산 처리 기능을 가지는 반도체 장치(400)를 실현할 수 있다.
- [0158] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0159] (실시형태 3)
- [0160] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치를 포함할 수 있는 연산 처리 장치의 일례에 대하여 설명한다.
- [0161] 도 11은 연산 처리 장치(1100)의 블록도이다. 도 11에서는, 연산 처리 장치(1100)에 사용할 수 있는 CPU의 구성예를 나타내었다.

- [0162] 도 11에 나타낸 연산 처리 장치(1100)는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 캐시(1199), 및 캐시 인터페이스(1189)를 가진다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. 재기록 가능한 ROM 및 ROM 인터페이스를 가져도 좋다. 또한 캐시(1199) 및 캐시 인터페이스(1189)는 다른 칩에 제공되어도 좋다.
- [0163] 캐시(1199)는 캐시 인터페이스(1189)를 통하여 다른 칩에 제공된 메인 메모리와 접속된다. 캐시 인터페이스(1189)는 메인 메모리에 유지되는 데이터의 일부를 캐시(1199)에 공급하는 기능을 가진다. 캐시(1199)는 상기 데이터를 유지하는 기능을 가진다.
- [0164] 도 11에 나타낸 연산 처리 장치(1100)는, 그 구성을 간략화하여 나타낸 일례일 뿐이고, 실제의 연산 처리 장치(1100)는 그 용도에 따라 다양한 구성을 가진다. 예를 들어 도 11에 나타낸 연산 처리 장치(1100) 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고, 각 코어가 병렬로 동작하는 구성, 즉 GPU와 같은 구성으로 하여도 좋다. 또한 연산 처리 장치(1100)가 내부 연산 회로 및 데이터 버스에서 취급할 수 있는 비트 수는, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.
- [0165] 버스 인터페이스(1198)를 통하여 연산 처리 장치(1100)에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되고 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0166] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 수행한다. 구체적으로, ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한 인터럽트 컨트롤러(1194)는 연산 처리 장치(1100)가 프로그램을 실행하고 있을 때 외부의 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 그 우선도 및 마스크 상태로부터 판단하고 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, 연산 처리 장치(1100)의 상태에 따라 레지스터(1196)의 판독 및 기록을 수행한다.
- [0167] 또한 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 내부 클럭 생성부를 포함하고, 내부 클럭 신호를 상기 각종 회로에 공급한다.
- [0168] 도 11에 나타낸 연산 처리 장치(1100)에서는, 레지스터(1196) 및 캐시(1199)에 기억 장치가 제공되어 있다. 상기 기억 장치로서는, 예를 들어 앞의 실시형태에서 설명한 반도체 장치(100) 등을 사용하여도 좋다.
- [0169] 도 11에 나타낸 연산 처리 장치(1100)에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작을 선택한다. 즉 레지스터(1196)가 가지는 메모리 셀에서, 플립플롭에 의하여 데이터를 유지할지, 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되면, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에 의한 데이터의 유지가 선택되면, 용량 소자에 데이터가 재기록되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0170] 또한 연산 처리 장치(1100)는 CPU에 한정되지 않고, GPU, DSP(Digital Signal Processor), FPGA(Field-Programmable Gate Array) 등이어도 좋다.
- [0171] 앞의 실시형태에서 설명한 반도체 장치(400)와 연산 처리 장치(1100)는 중첩시켜 제공할 수 있다. 도 12의 (A) 및 (B)는 반도체 장치(1150A)의 사시도이다. 반도체 장치(1150A)는 기억 장치로서 기능하는 반도체 장치(400)를 연산 처리 장치(1100) 위에 가진다. 연산 처리 장치(1100)와 반도체 장치(400)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150A)의 구성을 명확하게 하기 위하여, 도 12의 (B)에서는 연산 처리 장치(1100)와 반도체 장치(400)를 분리하여 나타내었다.
- [0172] 반도체 장치(400)와 연산 처리 장치(1100)를 중첩시켜 제공함으로써, 이들 사이의 접속 거리를 짧게 할 수 있다. 따라서 이들 사이의 통신 속도를 높일 수 있다. 또한 접속 거리가 짧기 때문에 소비 전력을 저감할 수 있다.
- [0173] 또한 연산 처리 장치(1100)와 중첩시켜 복수의 반도체 장치(400)를 제공하여도 좋다. 도 13의 (A) 및 (B)는 반도체 장치(1150B)의 사시도이다. 반도체 장치(1150B)는 반도체 장치(400a) 및 반도체 장치(400b)를 연산 처리

장치(1100) 위에 가진다. 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150B)의 구성을 명확하게 하기 위하여, 도 13의 (B)에서는 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)를 분리하여 나타내었다.

- [0174] 반도체 장치(400a) 및 반도체 장치(400b)는 기억 장치로서 기능한다. 예를 들어 반도체 장치(400a) 및 반도체 장치(400b) 중 한쪽으로서 NOR형 기억 장치를 사용하고, 다른 쪽으로서 NAND형 기억 장치를 사용하여도 좋다. 반도체 장치(400a) 및 반도체 장치(400b)의 양쪽이 NAND형 기억 장치이어도 좋고, NOR형 기억 장치이어도 좋다. NOR형 기억 장치로서는 DRAM 또는 SRAM 등이 있다. NOR형 기억 장치는 NAND형 기억 장치보다 고속으로 동작할 수 있기 때문에, 예를 들어 반도체 장치(400a)의 일부를 메인 메모리 및/또는 캐시(1199)로서 사용할 수도 있다. 또한 반도체 장치(400a)와 반도체 장치(400b)를 적층하는 순서는 반대이어도 좋다.
- [0175] 도 14의 (A) 및 (B)는 반도체 장치(1150C)의 사시도이다. 반도체 장치(1150C)에서는, 반도체 장치(400a)와 반도체 장치(400b) 사이에 연산 처리 장치(1100)가 제공되어 있다. 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150C)의 구성을 명확하게 하기 위하여, 도 14의 (B)에서는 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)를 분리하여 나타내었다.
- [0176] 반도체 장치(1150C)의 구성으로 함으로써, 반도체 장치(400a)와 연산 처리 장치(1100) 사이의 통신 속도와, 반도체 장치(400b)와 연산 처리 장치(1100) 사이의 통신 속도를 모두 높일 수 있다. 또한 소비 전력을 반도체 장치(1150B)보다 저감할 수 있다.
- [0177] 본 발명의 일 형태에 따른 반도체 장치는 인공 신경망에 사용할 수 있다. 이하에서 인공 신경망의 구성예에 대하여 설명한다.
- [0178] 도 15의 (A)에 신경망(NN)의 구성예를 나타내었다. 신경망(NN)은 입력층(IL), 출력층(OL), 중간층(은닉층)(HL)에 의하여 구성할 수 있다. 입력층(IL), 출력층(OL), 중간층(HL)은 각각 하나 또는 복수의 뉴런(유닛)을 가진다. 또한 중간층(HL)은 1층이어도 좋고 2층 이상이어도 좋다. 2층 이상의 중간층(HL)을 가지는 신경망은 DNN(심층 신경망)이라고 부를 수도 있고, 심층 신경망을 사용한 학습은 딥 러닝이라고 부를 수도 있다.
- [0179] 입력층(IL)의 각 뉴런에는 입력 데이터가 입력되고, 중간층(HL)의 각 뉴런에는 앞의 층 또는 뒤의 층의 뉴런의 출력 신호가 입력되고, 출력층(OL)의 각 뉴런에는 앞의 층의 뉴런의 출력 신호가 입력된다. 또한 각 뉴런은 앞 뒤의 층의 모든 뉴런과 연결되어 있어도 좋고(완전 연결), 일부의 뉴런과 연결되어 있어도 좋다.
- [0180] 도 15의 (B)에 뉴런에 의한 연산의 예를 나타내었다. 여기서는 뉴런 N과, 뉴런 N에 신호를 출력하는 앞의 층의 2개의 뉴런을 나타내었다. 뉴런 N에는 앞의 층의 뉴런의 출력  $x_1$ 과, 앞의 층의 뉴런의 출력  $x_2$ 가 입력된다. 그리고 뉴런 N에서 출력  $x_1$ 과 가중치  $w_1$ 의 승산 결과( $x_1w_1$ )와, 출력  $x_2$ 와 가중치  $w_2$ 의 승산 결과( $x_2w_2$ )의 총합  $x_1w_1+x_2w_2$ 가 계산된 후, 필요에 따라 바이어스  $b$ 가 가산되어, 값  $a=x_1w_1+x_2w_2+fb$ 가 얻어진다. 그리고 값  $a$ 는 활성화 함수  $h$ 에 의하여 변환되고, 뉴런 N으로부터 출력 신호  $y=h(a)$ 가 출력된다.
- [0181] 이와 같이, 뉴런에 의한 연산에는, 앞의 층의 뉴런의 출력과 가중치의 곱을 더하는 연산, 즉 적화 연산(product-sum operation)이 포함된다(상기  $x_1w_1+x_2w_2$ ). 이 적화 연산은 프로그램을 사용하여 소프트웨어 상에서 수행하여도 좋고, 하드웨어에 의하여 수행되어도 좋다. 적화 연산을 하드웨어에 의하여 수행하는 경우에는 적화 연산 회로를 사용할 수 있다. 이 적화 연산 회로로서는 디지털 회로를 사용하여도 좋고, 아날로그 회로를 사용하여도 좋다. 적화 연산 회로로서 아날로그 회로를 사용하는 경우, 적화 연산 회로의 회로 규모 축소, 또는 메모리에 대한 액세스 횟수의 감소로 인한 처리 속도 향상 및 소비 전력 저감을 도모할 수 있다.
- [0182] 또한 적화 연산 회로에 아날로그 회로를 사용하는 경우, 가중치 정보로서 아날로그 데이터를 사용한다. 본 발명의 일 형태에 따른 반도체 장치(100)는 아날로그 데이터를 디지털값으로 변환하지 않고 유지할 수 있다. 따라서 DAC(Digital to Analog Converter) 및/또는 ADC(Analog to Digital Converter) 등의 변환 회로를 삭제할 수 있고, 소비 전력 및 점유 면적의 저감이 실현될 수 있다.
- [0183] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0184] (실시형태 4)
- [0185] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치에 적용할 수 있는 트랜지스터의 구성예에 대하여 설명한다. 일례로서, 서로 다른 전기 특성을 가지는 트랜지스터를 적층하여 제공하는 구성에 대하여 설명한다. 상기 구성으로 함으로써, 반도체 장치의 설계 자유도를 높일 수 있다. 또한 서로 다른 전기 특성을 가지는 트

랜지스터를 적층하여 제공함으로써, 반도체 장치의 집적도를 높일 수 있다.

- [0186] 반도체 장치의 단면 구조의 일부를 도 16에 나타내었다. 도 16에 나타낸 반도체 장치는 트랜지스터(550)와, 트랜지스터(500)와, 용량 소자(600)를 포함한다. 도 17의 (A)는 트랜지스터(500)의 상면도이다. 도 17의 (B)는 도 17의 (A)에 일점쇄선으로 나타낸 부분 L1-L2에서의 단면도이고, 트랜지스터(500)의 채널 길이 방향의 단면도이다. 도 17의 (C)는 도 17의 (A)에 일점쇄선으로 나타낸 부분 W1-W2에서의 단면도이고, 트랜지스터(500)의 채널 폭 방향의 단면도이다. 예를 들어 트랜지스터(500)는 앞의 실시형태에서 설명한 반도체 장치(100)에 포함되는 OS 트랜지스터, 즉 채널 형성 영역에 산화물 반도체를 포함한 트랜지스터에 상당한다. 또한 트랜지스터(550)는 앞의 실시형태에서 설명한 구동 회로(410)에 포함되는 Si 트랜지스터, 즉 채널 형성 영역에 실리콘을 포함한 트랜지스터에 상당한다.
- [0187] 트랜지스터(500)는 OS 트랜지스터이다. OS 트랜지스터는 오프 전류가 매우 낮다. 따라서 트랜지스터(500)를 통하여 기억 노드에 기록한 데이터 전압 또는 전하가 장기간 유지될 수 있다. 즉 기억 노드의 리프래시 동작의 빈도가 저감되거나 리프래시 동작이 불필요하기 때문에, 반도체 장치의 소비 전력을 절감할 수 있다.
- [0188] 도 16에서 트랜지스터(500)는 트랜지스터(550)의 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(550) 및 트랜지스터(500)의 위쪽에 제공되어 있다.
- [0189] 트랜지스터(550)는 기판(371)에 제공된다. 기판(371)은 예를 들어 p형 실리콘 기판이다. 기판(371)은 n형 실리콘 기판이어도 좋다. 산화물층(374)은 기판(371)에 매립 산화물(Burried oxide)에 의하여 형성된 절연층(BOX 층이라고도 함), 예를 들어 산화 실리콘인 것이 바람직하다. 트랜지스터(550)는 산화물층(374)을 개재하여 기판(371)에 제공된 단결정 실리콘, 소위 SOI(Silicon On Insulator) 기판에 제공된다.
- [0190] SOI 기판에서의 기판(371)에는 소자 분리층으로서 기능하는 절연체(373)가 제공된다. 또한 기판(371)은 웰 영역(372)을 포함한다. 웰 영역(372)은 트랜지스터(550)의 도전형에 따라 n형 또는 p형의 도전성이 부여된 영역이다. SOI 기판에서의 단결정 실리콘에는 반도체 영역(375), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(376a), 저저항 영역(376b)이 제공된다. 또한 웰 영역(372) 위에는 저저항 영역(376c)이 제공된다.
- [0191] 트랜지스터(550)는 도전성을 부여하는 불순물 원소가 첨가된 웰 영역(372)에 중첩시켜 제공할 수 있다. 저저항 영역(376c)의 전위를 독립적으로 변화시킴으로써, 웰 영역(372)은 트랜지스터(550)의 보텀 게이트 전극으로서 기능할 수 있다. 그러므로 트랜지스터(550)의 문턱 전압을 제어할 수 있다. 특히 웰 영역(372)에 음의 전위를 인가함으로써, 트랜지스터(550)의 문턱 전압을 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 웰 영역(372)에 음의 전위를 인가함으로써, Si 트랜지스터의 게이트 전극에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다. 그 결과, 트랜지스터(550)를 포함한 연산 회로에서의 관통 전류 등에 기초한 소비 전력을 절감할 수 있고, 연산 효율을 향상시킬 수 있다.
- [0192] 트랜지스터(550)는 반도체층의 상면 및 채널 폭 방향에서의 측면이 절연체(377)를 개재하여 도전체(378)로 덮인, 소위 Fin형인 것이 바람직하다. 트랜지스터(550)를 Fin형으로 하면 실질적인 채널 폭이 증대되기 때문에, 트랜지스터(550)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(550)의 오프 특성을 향상시킬 수 있다.
- [0193] 또한 트랜지스터(550)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 쪽이어도 좋다.
- [0194] 도전체(378)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 웰 영역(372)은 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 웰 영역(372)에 인가하는 전위는 저저항 영역(376c)을 통하여 제어할 수 있다.
- [0195] 반도체 영역(375)에서 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(376a) 및 저저항 영역(376b), 웰 영역(372)의 전위를 제어하는 전극에 접속되는 저저항 영역(376c) 등은, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 포함한 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(550)를 HEMT로 하여도 좋다.
- [0196] 웰 영역(372), 저저항 영역(376a), 저저항 영역(376b), 및 저저항 영역(376c)은 반도체 영역(375)에 적용되는 반도체 재료에 더하여, 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.

- [0197] 게이트 전극으로서 기능하는 도전체(378)에는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 또한 도전체(378)에는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0198] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써, 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄 또는 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐 또는 알루미늄 등의 금속 재료의 적층을 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0199] 저저항 영역(376a), 저저항 영역(376b), 및 저저항 영역(376c)은 다른 도전체, 예를 들어 니켈 실리사이드 등의 실리사이드를 적층하여 제공하여도 좋다. 상기 구성으로 함으로써, 전극으로서 기능하는 영역의 도전성을 높일 수 있다. 또한 이때, 게이트 전극으로서 기능하는 도전체(378)의 측면 및 게이트 절연막으로서 기능하는 절연체의 측면에는 사이드 월 스페이서(측벽 절연층이라고도 함)로서 기능하는 절연체를 제공하여도 좋다. 상기 구성으로 함으로써, 도전체(378)와 저저항 영역(376a) 및 저저항 영역(376b)이 도통 상태가 되는 것을 방지할 수 있다.
- [0200] 트랜지스터(550)를 덮어 절연체(379), 절연체(381), 절연체(383), 및 절연체(385)가 순차적으로 적층되어 제공되어 있다.
- [0201] 절연체(379), 절연체(381), 절연체(383), 및 절연체(385)에는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0202] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0203] 절연체(381)는 그 아래쪽에 제공되는 트랜지스터(550) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(381)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0204] 또한 절연체(383)에는, 기판(371) 또는 트랜지스터(550) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소 및 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0205] 수소에 대한 배리어성을 가지는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0206] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(383)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(383)의 면적당으로 환산하여  $10 \times 10^{15} \text{ atoms/cm}^2$  이하, 바람직하게는  $5 \times 10^{15} \text{ atoms/cm}^2$  이하이면 좋다.
- [0207] 또한 절연체(385)는 절연체(383)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(385)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(385)의 비유전율은 절연체(383)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0208] 또한 절연체(379), 절연체(381), 절연체(383), 및 절연체(385)에는 용량 소자(600) 또는 트랜지스터(500)에 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구성을 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

다.

- [0209] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐 또는 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄 또는 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.
- [0210] 절연체(385) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 16에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0211] 또한 예를 들어 절연체(350)로서는, 절연체(383)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히 수소에 대한 배리어성을 가지는 절연체(350)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0212] 또한 수소에 대한 배리어성을 가지는 도전체에는, 예를 들어 질화 탄탈륨 등을 사용하는 것이 좋다. 또한 질화 탄탈륨과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(550)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈륨층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구성이 바람직하다.
- [0213] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어 도 16에서는 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성되어 있다. 도전체(366)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0214] 또한 예를 들어 절연체(360)로서는, 절연체(383)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(366)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히 수소에 대한 배리어성을 가지는 절연체(360)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0215] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 16에서는 절연체(370), 절연체(369), 및 절연체(368)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(370), 절연체(369), 및 절연체(368)에는 도전체(376)가 형성되어 있다. 도전체(376)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0216] 또한 예를 들어 절연체(370)로서는, 절연체(383)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(376)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히 수소에 대한 배리어성을 가지는 절연체(370)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0217] 절연체(368) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 16에서는 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성되어 있다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0218] 또한 예를 들어 절연체(380)로서는, 절연체(383)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(386)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히 수소에 대한 배리어성을 가지는 절연체(380)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.

- [0219] 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 앞에서 설명하였지만, 본 실시형태에 따른 반도체 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.
- [0220] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공되어 있다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것에는, 산소 및 수소에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다.
- [0221] 예를 들어 절연체(510) 및 절연체(514)에는, 기판(371) 또는 트랜지스터(550)가 제공되는 영역 등으로부터 트랜지스터(500)를 제공하는 영역으로의 수소 및 불순물에 대한 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서 절연체(383)와 같은 재료를 사용할 수 있다.
- [0222] 수소에 대한 배리어성을 가지는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다.
- [0223] 또한 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0224] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호 막으로서 사용하는 것에 적합하다.
- [0225] 또한 예를 들어 절연체(512) 및 절연체(516)에는 절연체(379)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512) 및 절연체(516)로서 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.
- [0226] 또한 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518), 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도전체(503)) 등이 매립되어 있다. 또한 도전체(518)는 용량 소자(600) 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(518)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0227] 특히 절연체(510) 및 절연체(514)와 접한 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0228] 절연체(516) 위쪽에는 트랜지스터(500)가 제공되어 있다.
- [0229] 도 17의 (A) 내지 (C)에 나타낸 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(520)와, 절연체(520) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩하여 개구가 형성된 절연체(580)와, 개구의 밑면 및 측면에 배치된 절연체(545)와, 절연체(545)의 형성면에 배치된 도전체(560)를 포함한다.
- [0230] 또한 도 17의 (B) 및 (C)에 나타낸 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 17의 (A) 내지 (C)에 나타낸 바와 같이, 도전체(560)는 절연체(545)의 내측에 제공된 도전체(560a)와, 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 포함하는 것이 바람직하다. 또한 도 17의 (B) 및 (C)에 나타낸 바와 같이, 절연체(580), 도전체(560), 및 절연체(545) 위에 절연체(574)가 배치되는 것이 바람직하다.

- [0231] 또한 본 명세서 등에서 산화물(530a) 및 산화물(530b)을 통틀어 산화물(530)이라고 하는 경우가 있다.
- [0232] 또한 채널이 형성되는 영역과 그 근방에서 산화물(530a) 및 산화물(530b)의 2층이 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(530b)의 단층 또는 3층 이상의 적층 구성을 제공하는 구성으로 하여도 좋다.
- [0233] 또한 트랜지스터(500)에서 도전체(560)는 2층의 적층 구성을 가지지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구성을 가져도 좋고, 3층 이상의 적층 구성을 가져도 좋다. 또한 도 16, 도 17의 (A) 내지 (C)에 나타낸 트랜지스터(500)는 일례이고, 그 구성에 한정되지 않고, 회로 구성 및/또는 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0234] 여기서, 도전체(560)는 트랜지스터(500)의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서 위치를 맞추기 위한 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 축소할 수 있다. 이로써 반도체 장치의 미세화, 고집적화를 도모할 수 있다.
- [0235] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 가지지 않는다. 이로써 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서 트랜지스터(500)는 스위칭 속도가 향상되고, 높은 주파수 특성을 가질 수 있다.
- [0236] 도전체(560)는 제 1 게이트(게이트 또는 톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(503)는 제 2 게이트(백 게이트 또는 보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(503)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.
- [0237] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이로써 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되므로, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0238] 본 명세서 등에서는, 한 쌍의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구성을 surrounded channel(S-channel) 구성이라고 부른다. 또한 본 명세서 등에 개시되는 S-channel 구성은 Fin형 구성 및 플레이너형 구성과는 다르다. S-channel 구성을 채용하면, 단 채널 효과에 대한 내성이 높은, 즉 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.
- [0239] 또한 도전체(503)는 도전체(518)와 같은 구성을 가지고, 절연체(514) 및 절연체(516)의 개구의 내벽과 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성되어 있다. 또한 도전체(503a) 및 도전체(503b)가 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(503)를 단층 또는 3층 이상의 적층 구성으로 하여도 좋다.
- [0240] 여기서 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능이다.
- [0241] 예를 들어 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다.
- [0242] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 또한 본 실시형태에서는 도전체(503)는 도전체(503a)와 도전체(503b)의 적층으로 도시하였지만, 도전체(503)는 단층 구성이어도 좋다.

- [0243] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 가진다.
- [0244] 여기서, 산화물(530)과 접하는 절연체(524)로서는, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 상기 산소는 가열에 의하여 막 내로부터 방출되기 쉽다. 본 명세서 등에서, 가열에 의하여 방출되는 산소를 "과잉 산소"라고 부르는 경우가 있다. 즉 절연체(524)에는 과잉 산소를 포함하는 영역("과잉 산소 영역"이라고도 함)이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)과 접하여 제공함으로써, 산화물(530) 내의 산소 결손( $V_O$ : oxygen vacancy라고도 함)을 저감하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다. 또한 산화물(530) 내의 산소 결손에 수소가 들어간 경우, 상기 결합(이하  $V_OH$ 라고 부르는 경우가 있음)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다. 본 발명의 일 형태에서는, 산화물(530) 내의  $V_OH$ 를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이,  $V_OH$ 가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 수분, 수소 등의 불순물을 제거하는 것("탈수" 또는 "탈수소화 처리"라고도 함)과, 산화물 반도체에 산소를 공급하여 산소 결손을 보전하는 것("가산소화 처리"라고도 함)이 중요하다.  $V_OH$  등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0245] 과잉 산소 영역을 포함하는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 더 바람직하게는  $2.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이상 또는  $3.0 \times 10^{20}$  atoms/cm<sup>3</sup> 이상인 산화물막이다. 또한 상기 TDS 분석시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0246] 또한 상기 과잉 산소 영역을 포함하는 절연체와, 산화물(530)이 접한 상태로 가열 처리, 마이크로파 처리, 및 RF 처리 중 어느 하나 또는 복수가 수행되어도 좋다. 상기 처리를 수행함으로써, 산화물(530) 내의 물 또는 수소를 제거할 수 있다. 예를 들어 산화물(530)에서,  $V_OH$ 의 결합이 절단되는 반응, 즉 " $V_OH \rightarrow V_O + H$ "라는 반응이 일어나, 탈수소화될 수 있다. 이때 발생한 수소의 일부는, 산소와 결합하여  $H_2O$ 가 되고, 산화물(530) 또는 산화물(530) 근방의 절연체로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(542a) 및 도전체(542b)에 게터링되는 경우가 있다.
- [0247] 또한 상기 마이크로파 처리에는, 예를 들어 고밀도 플라즈마를 발생시키는 전원을 가지는 장치 또는 기관 측에 RF를 인가하는 전원을 가지는 장치를 사용하는 것이 적합하다. 예를 들어 산소를 포함하는 가스와 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 산화물(530) 또는 산화물(530) 근방의 절연체 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리에서는, 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입되는 가스로서는, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비( $O_2/(O_2+Ar)$ )가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다.
- [0248] 또한 트랜지스터(500)의 제작 공정에서는, 산화물(530)의 표면이 노출된 상태로 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는, 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 산화물(530)에 산소를 공급함으로써, 산소 결손( $V_O$ )을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행하여도 좋다.

- [0249] 또한 산화물(530)에 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(530) 내의 산소 결손을 수복(修復)하는, 바꿔 말하면 "Vo+O→null"이라는 반응을 촉진시킬 수 있다. 또한 공급된 산소와 산화물(530) 내에 잔존한 수소가 반응함으로써, 상기 수소를 H<sub>2</sub>O로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(530) 내에 잔존한 수소가 산소 결손과 재결합하여 V<sub>OH</sub>가 형성되는 것을 억제할 수 있다.
- [0250] 또한 절연체(524)가 과잉 산소 영역을 포함하는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다.
- [0251] 절연체(522)가 산소 및 불순물의 확산을 억제하는 기능을 가지면, 산화물(530)에 포함되는 산소가 절연체(520) 측으로 확산되지 않기 때문에 바람직하다. 또한 도전체(503)가 절연체(524) 및/또는 산화물(530)에 포함되는 산소와 반응하는 것을 억제할 수 있다.
- [0252] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르코산 연(PZT), 타이타늄산 스트론튬(SrTiO<sub>3</sub>), 또는 (Ba,Sr)TiO<sub>3</sub>(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.
- [0253] 특히 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체에는, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출 및 트랜지스터(500)의 주변부로부터 산화물(530)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.
- [0254] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.
- [0255] 또한 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체를 산화 실리콘 또는 산화질화 실리콘과 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구성의 절연체(520)를 얻을 수 있다.
- [0256] 또한 도 17의 (A) 내지 (C)의 트랜지스터(500)에서는, 3층의 적층 구성을 가지는 제 2 게이트 절연막으로서 절연체(520), 절연체(522), 및 절연체(524)가 도시되어 있지만, 제 2 게이트 절연막은 단층, 2층, 또는 4층 이상의 적층 구성을 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구성에 한정되지 않고, 서로 다른 재료로 이루어지는 적층 구성을 가져도 좋다.
- [0257] 트랜지스터(500)에서는, 채널 형성 영역을 포함하는 산화물(530)로서, 산화물 반도체로서 기능하는 금속 산화물을 사용한다. 예를 들어 산화물(530)로서, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다.
- [0258] 산화물 반도체로서 기능하는 금속 산화물의 형성은 스퍼터링법에 의하여 수행하여도 좋고, ALD(Atomic Layer Deposition)법에 의하여 수행하여도 좋다. 또한 산화물 반도체로서 기능하는 금속 산화물에 대해서는, 다른 실시형태에서 자세히 설명한다.
- [0259] 또한 산화물(530)에서 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 바람직하게는 2eV 이상, 더 바람직하게는 2.5eV 이상의 금속 산화물을 사용하는 것이 바람직하다. 이와 같이 밴드 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0260] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 포함함으로써, 산화물(530a)보다 아래쪽에 형성된 구성물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.
- [0261] 또한 산화물(530)은 각 금속 원자의 원자수비가 다른 복수의 산화물층의 적층 구성을 가지는 것이 바람직하다. 구체적으로는, 산화물(530a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에

사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530a)에 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530b)에 사용하는 금속 산화물에서, 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다.

- [0262] 또한 산화물(530a)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 바꿔 말하면 산화물(530a)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.
- [0263] 여기서, 산화물(530a) 및 산화물(530b)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 산화물(530a) 및 산화물(530b)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화되거나 연속 접합한다고 바꿔 말할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0264] 구체적으로는 산화물(530a)과 산화물(530b)이 산소 이외에 공통의 원소를 포함함으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.
- [0265] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 따라서 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지므로, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.
- [0266] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물 막은 수소 또는 산소에 대한 배리어성을 가지기 때문에 바람직하다.
- [0267] 또한 도 17의 (B)에서는 도전체(542a) 및 도전체(542b)를 단층 구성으로 나타내었지만, 2층 이상의 적층 구성으로 하여도 좋다. 예를 들어 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구성, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구성, 타이타늄막 위에 구리막을 적층하는 2층 구성, 텅스텐막 위에 구리막을 적층하는 2층 구성으로 하여도 좋다.
- [0268] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구성, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구성 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.
- [0269] 또한 도 17의 (B)에 나타낸 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b))의 계면과 그 근방에는 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이의 영역에 채널 형성 영역이 형성된다.
- [0270] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 밀도가 증가되어 영역(543a)(영역(543b))은 저저항 영역이 된다.
- [0271] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제

한다. 이때 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.

- [0272] 절연체(544)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)에는 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수도 있다.
- [0273] 특히 절연체(544)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로 추후의 공정에서의 열처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 가지는 재료이거나, 또는 산소를 흡수하여도 도전성이 크게 저하하지 않는 재료인 경우에는, 절연체(544)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.
- [0274] 절연체(544)를 포함함으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 과잉 산소에 의하여 도전체(542)가 산화되는 것을 억제할 수 있다.
- [0275] 절연체(545)는 제 1 게이트 절연막으로서 기능한다. 절연체(545)는 상술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하고 또한 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다.
- [0276] 구체적으로는 과잉 산소를 포함하는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.
- [0277] 과잉 산소를 포함하는 절연체를 절연체(545)로서 제공함으로써, 절연체(545)로부터 산화물(530b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(524)와 마찬가지로 절연체(545) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(545)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다. 또한 절연체(545)의 형성 전 및/또는 형성 후에 상술한 마이크로파 처리를 수행하여도 좋다.
- [0278] 또한 절연체(545)에 포함되는 과잉 산소를 산화물(530)에 효율적으로 공급하기 위하여, 절연체(545)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(545)로부터 도전체(560)로의 산소의 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(545)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물에는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.
- [0279] 또한 절연체(545)는 제 2 게이트 절연막과 마찬가지로 적층 구성으로 하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있기 때문에, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구성으로 함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구성으로 할 수 있다.
- [0280] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 17의 (B) 및 (C)에서는 2층 구성으로 나타내었지만, 단층 구성이어도 좋고, 3층 이상의 적층 구성이어도 좋다.
- [0281] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(545)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법에 의하여 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.
- [0282] 또한 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다.

예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)를 적층 구성으로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구성으로 하여도 좋다.

- [0283] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 포함하는 것이 바람직하다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히 산화 실리콘, 공공을 가지는 산화 실리콘은 추후의 공정에서 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0284] 절연체(580)는 과잉 산소 영역을 포함하는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 제공함으로써, 절연체(580) 내의 산소를 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0285] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다.
- [0286] 반도체 장치를 미세화하기 위하여 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 저하되지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 중형비가 높은 형상을 가질 수 있다. 본 실시형태에서는 절연체(580)의 개구에 매립되도록 도전체(560)를 제공하기 때문에, 도전체(560)를 중형비가 높은 형상으로 하여도, 공정 중에 무너지는 일 없이 도전체(560)를 형성할 수 있다.
- [0287] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(545)의 상면에 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법에 의하여 성막함으로써, 절연체(545) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.
- [0288] 예를 들어 절연체(574)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.
- [0289] 특히 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법에 의하여 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.
- [0290] 또한 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0291] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 사이에 두고 마주 보고 제공된다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성을 가진다.
- [0292] 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)에는 산소 및 수소에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다. 따라서 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0293] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0294] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(379)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(586)로서 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.
- [0295] 또한 절연체(520), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.

- [0296] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0297] 또한 트랜지스터(500)를 형성한 후, 트랜지스터(500)를 둘러싸도록 개구를 형성하고, 상기 개구를 덮도록 수소 또는 물에 대한 배리어성이 높은 절연체를 형성하여도 좋다. 상술한 배리어성이 높은 절연체로 트랜지스터(500)를 감싸므로써, 외부로부터 수분 및 수소가 들어가는 것을 방지할 수 있다. 또는 복수의 트랜지스터(500)를 함께 수소 또는 물에 대한 배리어성이 높은 절연체로 감싸도 좋다. 또한 트랜지스터(500)를 둘러싸도록 개구를 형성하는 경우, 예를 들어 절연체(522) 또는 절연체(514)에 도달하는 개구를 형성하고, 절연체(522) 또는 절연체(514)와 접하도록 상술한 배리어성이 높은 절연체를 형성하면, 트랜지스터(500)의 제작 공정의 일부를 겸할 수 있기 때문에 적합하다. 또한 수소 또는 물에 대한 배리어성이 높은 절연체에는, 예를 들어 절연체(522) 또는 절연체(514)와 같은 재료를 사용하면 좋다.
- [0298] 다음으로, 트랜지스터(500) 위쪽에는 용량 소자(600)가 제공되어 있다. 용량 소자(600)는 도전체(610)와, 도전체(620)와, 절연체(630)를 포함한다.
- [0299] 또한 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 가진다. 또한 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.
- [0300] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0301] 본 실시형태에서는 도전체(612) 및 도전체(610)를 단층 구성으로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구성으로 하여도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0302] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한 도전체(620)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐 또는 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리) 또는 Al(알루미늄) 등을 사용하면 좋다.
- [0303] 도전체(620) 및 절연체(630) 위에는 절연체(640)가 제공되어 있다. 절연체(640)는 절연체(379)와 같은 재료를 사용하여 제공할 수 있다. 또한 절연체(640)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.
- [0304] 본 구성을 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서, 미세화 또는 고집적화를 도모할 수 있다.
- [0305] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0306] (실시형태 5)
- [0307] 본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하 산화물 반도체라고도 함)에 대하여 설명한다.
- [0308] 금속 산화물은 인듐 및 아연 중 한쪽을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0309] <결정 구조의 분류>
- [0310] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 18의 (A)를 사용하여 설명한다. 도 18의 (A)는 산화

물 반도체, 대표적으로는 IGZO(In과, Ga와, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

- [0311] 도 18의 (A)에 나타난 바와 같이, 산화물 반도체는 'Amorphous(무정형)'와, 'Crystalline(결정성)'과, 'Crystal(결정)'로 크게 분류된다. 또한 'Amorphous'의 범주에는 completely amorphous가 포함된다. 또한 'Crystalline'의 범주에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(Cloud-Aligned Composite)가 포함된다. 또한 'Crystalline'의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 'Crystal'의 범주에는 single crystal 및 poly crystal이 포함된다.
- [0312] 또한 도 18의 (A)에 나타난 굵은 테두리 내의 구조는 'Amorphous(무정형)'와 'Crystal(결정)'의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 에너지적으로 불안정한 'Amorphous(무정형)', 또는 'Crystal(결정)'과는 전혀 다른 구조라고 할 수 있다.
- [0313] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서 'Crystalline'으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정으로 얻어지는 XRD 스펙트럼을 도 18의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이후, 도 18의 (B)에 나타난 GIXD 측정으로 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 18의 (B)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 18의 (B)에 나타난 CAAC-IGZO막의 두께는 500nm이다.
- [0314] 도 18의 (B)에 나타난 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는  $2\theta=31^\circ$  근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 18의 (B)에 나타난 바와 같이,  $2\theta=31^\circ$  근방의 피크는 피크 강도가 검출된 각도를 축으로 좌우 비대칭이다.
- [0315] 또한 막 또는 기판의 결정 구조는 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 18의 (C)에 나타내었다. 도 18의 (C)는 전자선을 기판에 대하여 평행하게 입사시키는 NBED에 의하여 관찰되는 회절 패턴이다. 또한 도 18의 (C)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 나노빔 전자 회절법에서는 프로브 직경을 1nm로 하여 전자 회절이 수행된다.
- [0316] 도 18의 (C)에 나타난 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.
- [0317] <<산화물 반도체의 구조>>
- [0318] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 18의 (A)와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.
- [0319] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.
- [0320] [CAAC-OS]
- [0321] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로서는 명확한 배향을 가지지 않는 산화물 반도체이다.
- [0322] 또한 상기 복수의 결정 영역 각각은 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가

있다.

- [0323] 또한 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하 In층)과, 원소 M, 아연(Zn), 및 산소를 가지는 층(이하 (M,Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.
- [0324] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는 c축 배향을 나타내는 피크가  $2\theta=31^\circ$  또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치( $2\theta$ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.
- [0325] 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 회절(스팟)이 관측된다. 또한 어떤 스팟과 다른 스팟은 시료를 투과한 입사 전자선의 스팟(다이렉트 스팟이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.
- [0326] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는 CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.
- [0327] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는 Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.
- [0328] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입 및 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 넓힐 수 있다.
- [0329] [nc-OS]
- [0330] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면 nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서 막 전체에서 배향성이 보이지 않는다. 그러므로 nc-OS는 분석 방법에 따라서는 a-like OS 및 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 수행하면, 다이렉트 스팟을 중심으로 하는 링 형상의 영역 내에 복수의 스팟이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.
- [0331] [a-like OS]
- [0332] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉 a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like

OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

- [0333] <<산화물 반도체의 구성>>
- [0334] 다음으로 상세한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.
- [0335] [CAC-OS]
- [0336] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 아래에서는 금속 산화물에 하나 또는 복수의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0337] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.
- [0338] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비 각각을 [In], [Ga], 및 [Zn]으로 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에 있어서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.
- [0339] 구체적으로는 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역으로 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역으로 바꿔 말할 수 있다.
- [0340] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0341] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0342] CAC-OS를 트랜지스터에 사용하는 경우에는 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상호적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성 기능을 가지고, 재료의 다른 일부에서는 절연성 기능을 가지고, 재료의 전체로서는 반도체로서의 기능을 가진다. 도전성 기능과 절연성 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류( $I_{on}$ ), 높은 전계 효과 이동도( $\mu$ ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0343] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0344] <산화물 반도체를 가지는 트랜지스터>
- [0345] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0346] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0347] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는  $1 \times 10^{17} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{13} \text{ cm}^{-3}$  이하, 더욱 바람직하게는  $1 \times 10^{11} \text{ cm}^{-3}$  이하, 더욱더 바람직하게는  $1 \times 10^{10} \text{ cm}^{-3}$  미만이고,  $1 \times 10^{-9} \text{ cm}^{-3}$  이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화

물 반도체라고 부르는 경우가 있다.

- [0348] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0349] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0350] 따라서 트랜지스터의 전기 특성을 안정시키기 위해서는 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0351] <불순물>
- [0352] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0353] 산화물 반도체에 14족 원소 중 하나인 실리콘 또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘 및 탄소의 농도와, 산화물 반도체와의 계면 근방의 실리콘 및 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0354] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0355] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0356] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더욱 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 한다.
- [0357] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0358] 또한 본 실시형태는 본 명세서에서 설명하는 다른 실시형태와 적절히 조합할 수 있다.
- [0359] (실시형태 6)
- [0360] 본 실시형태에서는 앞의 실시형태에서 설명한 반도체 장치 등이 형성된 반도체 웨이퍼, 및 상기 반도체 장치를 포함한 전자 부품의 일례를 설명한다.
- [0361] <반도체 웨이퍼>
- [0362] 우선, 반도체 장치 등이 형성된 반도체 웨이퍼의 일례를 도 19의 (A)를 사용하여 설명한다.
- [0363] 도 19의 (A)에 나타난 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 가진다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱

용 영역이다.

- [0364] 반도체 웨이퍼(4800)는, 전공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후에, 웨이퍼(4801)에서 복수의 회로부(4802)가 형성된 면의 반대 측의 면을 연삭하여 웨이퍼(4801)를 박막화하여도 좋다. 이 공정을 통하여, 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.
- [0365] 다음으로, 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타낸 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.
- [0366] 다이싱 공정을 수행함으로써, 도 19의 (B)에 나타낸 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a)와, 회로부(4802)와, 공간(4803a)을 가진다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 커프 폭 또는 스크라이브 라인(SCL2)의 커프 폭과 거의 같은 길이면 좋다.
- [0367] 또한 본 발명의 일 형태의 소자 기관의 형상은, 도 19의 (A)에 도시한 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기관의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.
- [0368] <전자 부품>
- [0369] 도 19의 (C)는 전자 부품(4700) 및 전자 부품(4700)이 실장된 기관(실장 기관(4704))의 사시도이다. 도 19의 (C)에 나타낸 전자 부품(4700)은 몰드(4711) 내에 칩(4800a)을 가진다. 칩(4800a)으로서는, 본 발명의 일 형태에 따른 기억 장치 등을 사용할 수 있다.
- [0370] 도 19의 (C)에서는, 전자 부품(4700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(4700)은 몰드(4711)의 외측에 랜드(4712)를 가진다. 랜드(4712)는 전극 패드(4713)에 전기적으로 접속되고, 전극 패드(4713)는 와이어(4714)를 통하여 칩(4800a)에 전기적으로 접속되어 있다. 전자 부품(4700)은 예를 들어 인쇄 기관(4702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고, 각각이 인쇄 기관(4702) 위에서 전기적으로 접속됨으로써, 실장 기관(4704)이 완성된다.
- [0371] 도 19의 (D)는 전자 부품(4730)의 사시도이다. 전자 부품(4730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(4730)에서는 패키지 기관(4732)(인쇄 기관) 위에 인터포저(4731)가 제공되고, 인터포저(4731) 위에 반도체 장치(4735) 및 복수의 반도체 장치(4710)가 제공되어 있다.
- [0372] 반도체 장치(4710)로서는, 예를 들어 칩(4800a), 앞의 실시형태에서 설명한 반도체 장치, 광대역 메모리(HBM: High Bandwidth Memory) 등으로 할 수 있다. 또한 반도체 장치(4735)로서는 CPU, GPU, FPGA, 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0373] 패키지 기관(4732)으로서는 세라믹 기관, 플라스틱 기관, 또는 유리 에폭시 기관 등을 사용할 수 있다. 인터포저(4731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.
- [0374] 인터포저(4731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(4731)는 인터포저(4731) 위에 제공된 집적 회로를 패키지 기관(4732)에 제공된 전극에 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기관" 또는 "중간 기관"이라고 하는 경우가 있다. 또한 인터포저(4731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기관(4732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.
- [0375] 인터포저(4731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자가 제공될 필요가 없기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있기 때문에, 수지 인터포저에서는 어려운 미세 배선의 형성이 쉽다.
- [0376] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘

인터포저를 사용하는 것이 바람직하다.

- [0377] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접촉 불량에 발생하기 어렵다. 특히 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0378] 또한 전자 부품(4730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(4731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(4730)에서는, 반도체 장치(4710)와 반도체 장치(4735)의 높이를 일치시키는 것이 바람직하다.
- [0379] 전자 부품(4730)을 다른 기판에 실장하기 위하여, 패키지 기판(4732)의 바닥 부분에 전극(4733)을 제공하여도 좋다. 도 19의 (D)에서는, 전극(4733)을 뿔뿔로 형성하는 예를 나타내었다. 패키지 기판(4732)의 바닥 부분에 뿔뿔 볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(4733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(4732)의 바닥 부분에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.
- [0380] 전자 부품(4730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.
- [0381] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0382] [실시형태 7]
- [0383] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치의 응용예에 대하여 설명한다.
- [0384] 본 발명의 일 형태에 따른 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 스틸 카메라, 비디오 카메라, 녹화 재생 장치, 내비게이션 시스템, 게임기 등)의 기억 장치에 적용할 수 있다. 또한 이미지 센서, IoT(Internet of Things), 헬스케어 등에 사용할 수도 있다. 또한 여기서 컴퓨터란, 태블릿형 컴퓨터, 노트북형 컴퓨터, 및 데스크톱형 컴퓨터뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함하는 것이다.
- [0385] 본 발명의 일 형태에 따른 반도체 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 20의 (A) 내지 (J), 도 21의 (A) 내지 (E)에서는, 상기 반도체 장치를 가지는 전자 부품(4700) 또는 전자 부품(4730)이 각 전자 기기에 포함되어 있다.
- [0386] [휴대 전화]
- [0387] 도 20의 (A)에 나타난 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.
- [0388] 본 발명의 일 형태에 따른 반도체 장치를 적용함으로써, 정보 단말기(5500)는 애플리케이션 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.
- [0389] [웨어러블 단말기]
- [0390] 또한 도 20의 (B)에는 웨어러블 단말기의 일례인 정보 단말기(5900)를 도시하였다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 스위치(5903), 조작 스위치(5904), 밴드(5905) 등을 가진다.
- [0391] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태에 따른 반도체 장치를 적용함으로써, 웨어러블 단말기는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.
- [0392] [정보 단말기]
- [0393] 또한 도 20의 (C)에는 데스크톱형 정보 단말기(5300)를 도시하였다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와, 표시부(5302)와, 키보드(5303)를 가진다.
- [0394] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태에 따른 반도체 장치를 적용함으로써, 데스크톱형 정보 단

말기(5300)는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

- [0395] 또한 전자 기기로서 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기를 예로 들어 각각 도 20의 (A) 내지 (C)에 도시하였지만, 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 외의 정보 단말기를 적용할 수도 있다. 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.
- [0396] [전자 제품]
- [0397] 또한 도 20의 (D)에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 도시하였다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다. 예를 들어 전기 냉동 냉장고(5800)는 IoT(Internet of Things)에 대응한 전기 냉동 냉장고이다.
- [0398] 본 발명의 일 형태에 따른 반도체 장치를 전기 냉동 냉장고(5800)에 적용할 수 있다. 전기 냉동 냉장고(5800)는, 전기 냉동 냉장고(5800)에 보관되는 식재료, 그 식재료의 소비 기한 등의 정보를 인터넷 등을 통하여 정보 단말기 등에 송신하거나 정보 단말기 등으로부터 수신할 수 있다. 전기 냉동 냉장고(5800)에서는 상기 정보를 송신하는 경우에 생성되는 일시적인 파일을 상기 반도체 장치가 유지할 수 있다.
- [0399] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서, 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼(audio visual) 기기 등이 있다.
- [0400] [게임기]
- [0401] 또한 도 20의 (E)는 게임기의 일례인 휴대 게임기(5200)를 도시한 것이다. 휴대 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.
- [0402] 또한 도 20의 (F)에는 게임기의 일례인 거치형 게임기(7500)를 도시하였다. 거치형 게임기(7500)는 본체(7520)와 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 20의 (F)에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 외의 입력 인터페이스로서 기능하는 터치 패널이나 스틱, 회전식 손잡이, 슬라이드식 손잡이 등을 포함할 수 있다. 또한 컨트롤러(7522)의 형상은 도 20의 (F)에 나타난 것에 한정되지 않고, 게임의 장르에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크로폰 등을 포함하고, 게임 플레이어의 제스처 및/또는 음성으로 조작되어도 좋다.
- [0403] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 헤드마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.
- [0404] 앞의 실시형태에서 설명한 반도체 장치를 휴대 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 저소비 전력의 휴대 게임기(5200) 또는 저소비 전력의 거치형 게임기(7500)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0405] 또한 앞의 실시형태에서 설명한 반도체 장치를 휴대 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 게임 중에 발생하는 연산에 필요한 일시적인 파일 등을 유지할 수 있다.
- [0406] 게임기의 일례로서 도 20의 (E)에 휴대 게임기를 나타내었다. 또한 도 20의 (F)에는 가정용 거치형 게임기를 나타내었다. 또한 본 발명의 일 형태의 전자 기기는 이들에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는, 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.
- [0407] [이동체]
- [0408] 앞의 실시형태에서 설명한 반도체 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0409] 도 20의 (G)에는 이동체의 일례인 자동차(5700)를 도시하였다.
- [0410] 자동차(5700)의 운전석 주변에는, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정

등을 표시함으로써 다양한 정보를 제공하는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.

- [0411] 특히 상기 표시 장치는, 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)가 찍은 영상을 표시함으로써, 필터 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있어 안전성을 높일 수 있다. 즉 자동차(5700)의 외측에 제공된 촬상 장치가 찍은 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다.
- [0412] 앞의 실시형태에서 설명한 반도체 장치는 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 자동차(5700)의 자동 운전 시스템이나, 도로 안내, 위험 예측 등을 실행하는 시스템 등에서 필요한 일시적인 정보 유지에 상기 컴퓨터를 사용할 수 있다. 상기 표시 장치에 도로 안내, 위험 예측 등의 일시적인 정보를 표시하는 구성으로 하여도 좋다. 또한 자동차(5700)에 제공된 블랙박스가 찍은 영상을 유지하는 구성으로 하여도 좋다.
- [0413] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있다.
- [0414] [카메라]
- [0415] 앞의 실시형태에서 설명한 반도체 장치는 카메라에 적용할 수 있다.
- [0416] 도 20의 (H)에는 촬상 장치의 일례로서 디지털 카메라(6240)를 도시하였다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 스위치(6243), 셔터 버튼(6244) 등을 가지고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프, 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.
- [0417] 앞의 실시형태에서 설명한 반도체 장치를 디지털 카메라(6240)에 적용함으로써, 저소비 전력의 디지털 카메라(6240)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0418] [비디오 카메라]
- [0419] 앞의 실시형태에서 설명한 반도체 장치는 비디오 카메라에 적용할 수 있다.
- [0420] 도 20의 (I)에는 촬상 장치의 일례로서 비디오 카메라(6300)를 도시하였다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 스위치(6304), 렌즈(6305), 접속부(6306) 등을 가진다. 조작 스위치(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에서의 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.
- [0421] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코드를 수행할 필요가 있다. 상술한 반도체 장치를 이용함으로써, 비디오 카메라(6300)는 인코드를 할 때 발생하는 일시적인 파일을 유지할 수 있다.
- [0422] [ICD]
- [0423] 앞의 실시형태에서 설명한 반도체 장치는 삽입형 제세동기(ICD)에 적용할 수 있다.
- [0424] 도 20의 (J)는 ICD의 일례를 나타낸 단면 모식도이다. ICD 본체(5400)는 배터리(5401)와, 전자 부품(4700)과, 레귤레이터와, 제어 회로와, 안테나(5404)와, 우심방에 연결되는 와이어(5402)와, 우심실에 연결되는 와이어(5403)를 적어도 가진다.
- [0425] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.
- [0426] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(심실 빈맥이 또는 심실세동 등이 일어나는 경우)에는, 전기 충격에 의한 치료가 수행된다.
- [0427] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다.

그러므로 ICD 본체(5400)는 심박수를 검지하기 위한 센서를 가진다. 또한 ICD 본체(5400)에서는, 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조절에 의한 치료를 수행한 횟수, 시간 등을 전자 부품(4700)에 기억할 수 있다.

[0428] 또한 안테나(5404)는 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한 ICD 본체(5400)가 복수의 배터리를 가짐으로써, 안전성을 높일 수 있다. 구체적으로는, ICD 본체(5400)의 일부의 배터리를 사용할 수 없어도, 나머지 배터리가 기능할 수 있기 때문에, 보조 전원으로서도 기능한다.

[0429] 또한 전력을 수신할 수 있는 안테나(5404)에 더하여, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.

[0430] [PC용 확장 디바이스]

[0431] 앞의 실시형태에서 설명한 반도체 장치는 PC(Personal Computer) 등의 계산기, 정보 단말기용 확장 디바이스에 적용할 수 있다.

[0432] 도 21의 (A)에는, 상기 확장 디바이스의 일례로서, 정보의 저장이 가능한 칩을 포함하고, PC 외부에 장착되는 포터블 확장 디바이스(6100)를 나타내었다. 확장 디바이스(6100)는 예를 들어 USB(Universal Serial Bus) 등으로 PC에 접속되면, 상기 칩에 정보를 저장할 수 있다. 또한 도 21의 (A)에는 포터블 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태에 따른 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬 등이 탑재된 비교적 큰 확장 디바이스이어도 좋다.

[0433] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기관(6104)을 가진다. 기관(6104)은 하우징(6101)에 수납된다. 기관(6104)에는, 앞의 실시형태에서 설명한 반도체 장치 등을 구동하는 회로가 제공되어 있다. 예를 들어 기관(6104)에는 전자 부품(4700), 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[0434] [SD 카드]

[0435] 앞의 실시형태에서 설명한 반도체 장치는, 정보 단말기 및 디지털 카메라 등의 전자 기기에 장착할 수 있는 SD 카드에 적용할 수 있다.

[0436] 도 21의 (B)는 SD 카드의 외관을 나타낸 모식도이고, 도 21의 (C)는 SD 카드의 내부 구조를 나타낸 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기관(5113)을 가진다. 커넥터(5112)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다. 기관(5113)은 하우징(5111)에 수납된다. 기관(5113)에는 반도체 장치 및 반도체 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기관(5113)에는 전자 부품(4700), 컨트롤러 칩(5115)이 장착되어 있다. 또한 전자 부품(4700)과 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 전자 부품에 제공되는 기록 회로, 행 드라이버, 판독 회로 등은 전자 부품(4700)이 아니라 컨트롤러 칩(5115)에 제공되어도 좋다.

[0437] 기관(5113)의 뒷면 측에도 전자 부품(4700)을 제공함으로써, SD 카드(5110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기관(5113)에 제공하여도 좋다. 이에 의하여, 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있기 때문에, 전자 부품(4700)의 데이터의 판독 및 기록이 가능하게 된다.

[0438] [SSD]

[0439] 앞의 실시형태에서 설명한 반도체 장치는, 정보 단말기 등의 전자 기기에 장착할 수 있는 SSD(Solid State Drive)에 적용할 수 있다.

[0440] 도 21의 (D)는 SSD의 외관을 나타낸 모식도이고, 도 21의 (E)는 SSD의 내부 구조를 나타낸 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기관(5153)을 가진다. 커넥터(5152)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다. 기관(5153)은 하우징(5151)에 수납된다. 기관(5153)에는 반도체 장치 및 반도체 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기관(5153)에는 전자 부품(4700), 메모리 칩(5155), 컨트롤러 칩(5156)이 장착되어 있다. 기관(5153)의 뒷면 측에도 전자 부품(4700)을 제공함으로써, SSD(5150)의 용량을 늘릴 수 있다. 메모리 칩(5155)에는 작업 메모리가 포함되어 있다. 예를 들어 메모리 칩(5155)으로서는 DRAM 칩을 사용하면 좋다. 컨트롤러 칩(5156)에는 프로세서, ECC 회로 등이 포함되어 있다. 또한 전자 부품(4700)과, 메모리 칩(5155)과, 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라

적절히 변경하여도 좋다. 예를 들어 컨트롤러 칩(5156)에도 작업 메모리로서 기능하는 메모리를 제공하여도 좋다.

- [0441] [계산기]
- [0442] 도 22의 (A)에 나타낸 계산기(5600)는 대형 계산기의 예이다. 계산기(5600)에서는, 랙(5610)에 랙 마운트형 계산기(5620)가 복수로 격납되어 있다.
- [0443] 계산기(5620)는 예를 들어 도 22의 (B)의 사시도의 구성을 가질 수 있다. 도 22의 (B)에서 계산기(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.
- [0444] 도 22의 (C)에 나타낸 PC 카드(5621)는 CPU, GPU, 반도체 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623)와, 접속 단자(5624)와, 접속 단자(5625)와, 반도체 장치(5626)와, 반도체 장치(5627)와, 반도체 장치(5628)와, 접속 단자(5629)를 가진다. 또한 도 22의 (C)에는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 도시하였지만, 이들 반도체 장치에 대해서는, 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)의 설명을 참조하면 좋다.
- [0445] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.
- [0446] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.
- [0447] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시하지 않았음)를 가지고, 상기 단자를 보드(5622)의 소켓(도시하지 않았음)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.
- [0448] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA(Field Programmable Gate Array), GPU, CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(4730)을 사용할 수 있다.
- [0449] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서는 예를 들어 반도체 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(4700)을 사용할 수 있다.
- [0450] 계산기(5600)는 병렬 계산기로서 기능할 수도 있다. 계산기(5600)를 병렬 계산기로서 사용함으로써, 예를 들어 인공지능의 학습 및 추론에 필요한 대규모의 계산을 수행할 수 있다.
- [0451] 상기 각종 전자 기기 등에 본 발명의 일 형태의 반도체 장치를 사용함으로써, 전자 기기의 소형화, 고속화, 또는 저소비 전력화를 도모할 수 있다. 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에, 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 전자 기기를 실현할 수 있다. 따라서 전자 기기의 신뢰성을 높일 수 있다.
- [0452] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.
- [0453] (실시예)
- [0454] 도 1의 (A)에 기재된 반도체 장치(100)의 동작을 회로 시뮬레이터로 검증하였다. 회로 시뮬레이터로서는 SILVACO사의 SmartSpice를 사용하였다.

- [0455] 검증 조건으로서, 트랜지스터(Tr11) 및 트랜지스터(Tr21)를 채널 길이와 채널 폭이 각각 60nm의 OS 트랜지스터로 가정하였다. 또한 트랜지스터(Tr12) 및 트랜지스터(Tr22)를 채널 길이와 채널 폭이 각각 1 $\mu$ m의 Si 트랜지스터로 가정하였다. 또한 용량 소자(Cb1) 및 용량 소자(Cb2)의 용량값을 각각 1pF로 하였다. 또한 VSS를 0.0V, VDD를 6.0V로 하였다.
- [0456] 노드(SN1)에 유지되는 Vin1을 5수준(0.9V, 1.1V, 1.3V, 1.5V, 1.7V), 노드(SN2)에 유지되는 Vref를 2수준(0.0V, 0.7V) 가정하고, 모든 조합의 출력 전압(Vout)을 회로 시뮬레이터로 계산하였다. 또한 Vin1의 5수준 각각은 상기 실시형태에서 제시한 수학적 식 6 및 수학적 식 7을 만족시킨다.
- [0457] 계산 결과를 도 23의 (A) 및 (B)에 나타내었다. 도 23의 (A) 및 (B)의 세로축은 출력 전압(Vout)을 나타내고, 가로축은 시간(Time)을 나타낸다. 본 실시예에서는 시간 0.0 $\mu$ s에서 앞의 실시형태에서 설명한 기록 동작이 종료되어 있는 것으로 한다. 더 구체적으로는, 앞의 실시형태에서 설명한 시간(T32)이 종료되고 노드(SN1) 및 노드(SN2)의 전위가 유지되어 있는 것으로 한다.
- [0458] 도 23의 (A)에는 Vref가 0.7V일 때의 Vin1의 수준들 각각의 출력 전압(Vout)을 나타내었다. 도 23의 (B)에는 Vref가 0.0V일 때의 Vin1의 수준들 각각의 출력 전압(Vout)을 나타내었다.
- [0459] 반도체 장치(100)에서는 시간 0.5 $\mu$ s까지는 단자(PS1) 및 단자(PS2)에 VSS가 공급되어 있다. 시간 0.5 $\mu$ s가 되면 판독 동작이 시작된다. 판독 동작 중에는 단자(PS1)에 VDD가 공급되고, 단자(OUT)에 출력 전압(Vout)이 공급된다.
- [0460] 판독 동작 시작 후의, 트랜지스터(Tr12)의 소스와 드레인 사이 전압(Vds\_Tr12)의 계산 결과를 도 24에 나타내었다. 판독 동작의 시작 직전까지 노드(BN)의 전위는 VSS(0.0V)이기 때문에, 단자(PS1)의 전위가 VSS에서 VDD(6.0V)로 변화된 직후의 Vds\_Tr12는 약 6V이다.
- [0461] 또한 Vin1은 트랜지스터(Tr12)의 문턱 전압 이상이기 때문에, 단자(PS1)의 전위가 VDD가 되면, 트랜지스터(Tr12)의 소스와 드레인 사이에 전류가 흐르고, 노드(BN)의 전위가 상승된다. 트랜지스터(Tr12)의 소스와 드레인 사이에 흐르는 전류는 Vin1이 클수록 많다. 따라서 Vin1이 클수록 노드(BN)의 전위가 상승된다. 즉 Vds\_Tr12는 Vin1이 클수록 작아진다. 결과적으로, Vref가 일정한 경우, Vin1이 클수록 Vout도 커진다.
- [0462] 또한 도 23의 (A) 및 (B)에는 출력 전압(Vout)으로서 앞의 실시형태에서 설명한 수학적 식 5에 상당하는 전압이 얻어지는 것을 나타내었다. 또한 본 실시예에서는 수학적 식 5에 포함되는 Vin2가 Vref에 상당한다.
- [0463] 도 25는 회로 시뮬레이터로 계산한 Vin1과 Vout의 관계를 나타내는 그래프이다. 도면에서, 동그라미("○")는 Vref가 0.0V일 때의 Vin1과 Vout의 관계를 나타내고, 사각("□")은 Vref가 0.7V일 때의 Vin1과 Vout의 관계를 나타낸다.
- [0464] 또한 도 25에서는 근사 직선(851) 및 근사 직선(852)을 부기하였다. 근사 직선(851)은 상술한 동그라미("○")의 근사 직선이고, Vref가 0.0V일 때의 Vin1과 Vout의 관계를 근사한 것이다. 또한 근사 직선(852)은 상술한 사각("□")의 근사 직선이고, Vref가 0.7V일 때의 Vin1과 Vout의 관계를 근사한 것이다. 근사 직선(851)의 결정 계수 R<sup>2</sup>(기여율)은 0.9966이고, 근사 직선(852)의 결정 계수 R<sup>2</sup>(기여율)은 0.9955이었다. 이로부터, Vref가 일정할 때, Vin1의 변화에 따라 출력 전압(Vout)도 변화되는 것을 알 수 있다.
- [0465] 회로 시뮬레이터를 이용한 검증에 의하여, 본 발명의 일 형태에 따른 반도체 장치(100)는 Vref가 일정할 때, Vin1의 변화에 따라 출력 전압(Vout)도 변화되는 것을 알 수 있었다. 또한 본 발명의 일 형태에 따른 반도체 장치(100)는 유지된 아날로그 데이터를 정확하게 판독할 수 있다는 것을 알 수 있었다.

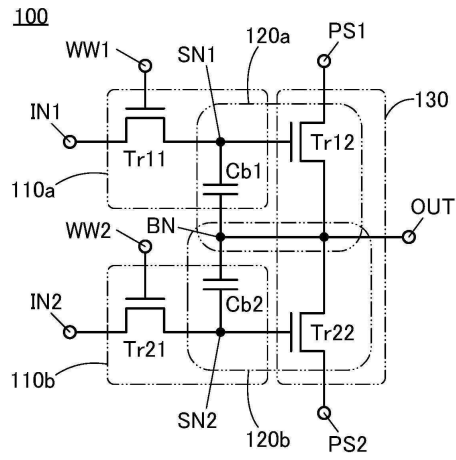
**부호의 설명**

- [0466] 100: 반도체 장치, 110a: 유지 회로, 110b: 유지 회로, 120a: 부트스트랩 회로, 120b: 부트스트랩 회로, 130: 소스 폴로어 회로, Tr11: 트랜지스터, Tr12: 트랜지스터, Tr21: 트랜지스터, Tr22: 트랜지스터, SN1: 노드, SN2: 노드, BN: 노드, Cb1: 용량 소자, Cb2: 용량 소자, IN1: 단자, IN2: 단자, PS1: 단자, PS2: 단자, WW1: 단자, WW2: 단자

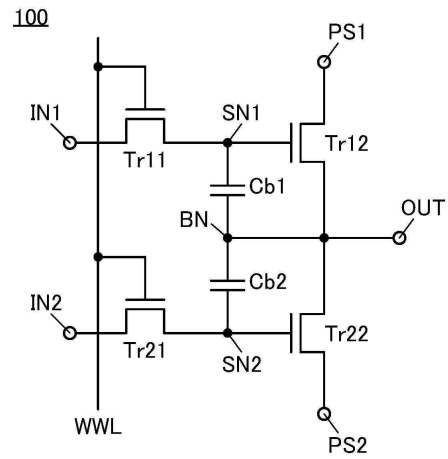
도면

도면1

(A)

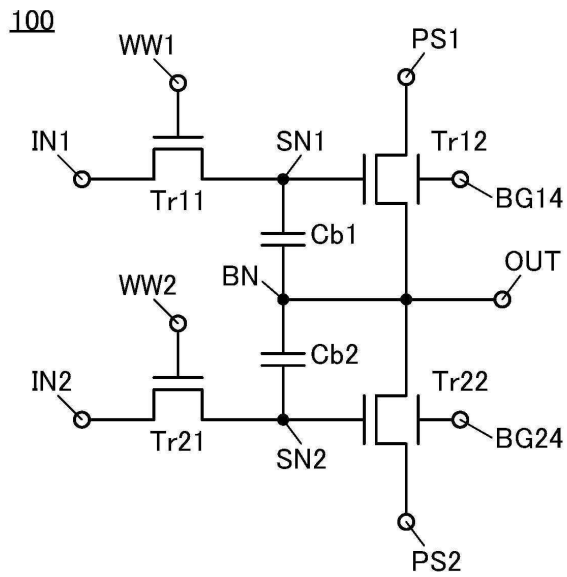


(B)

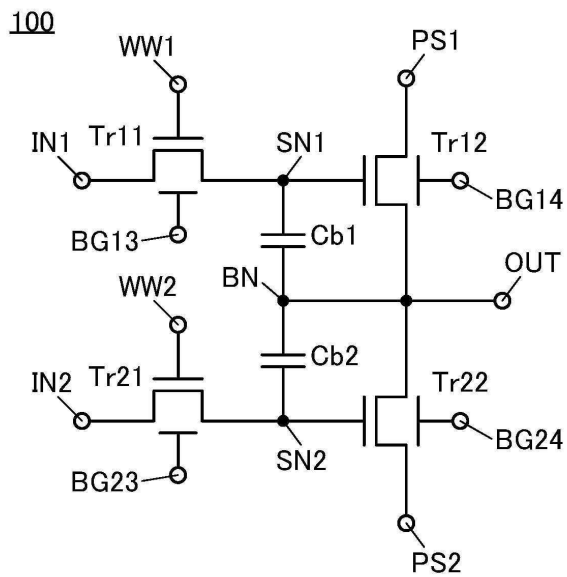


도면2

(A)

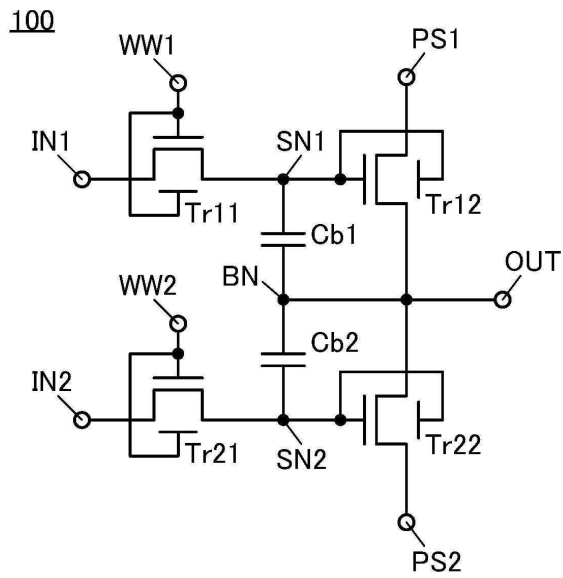


(B)

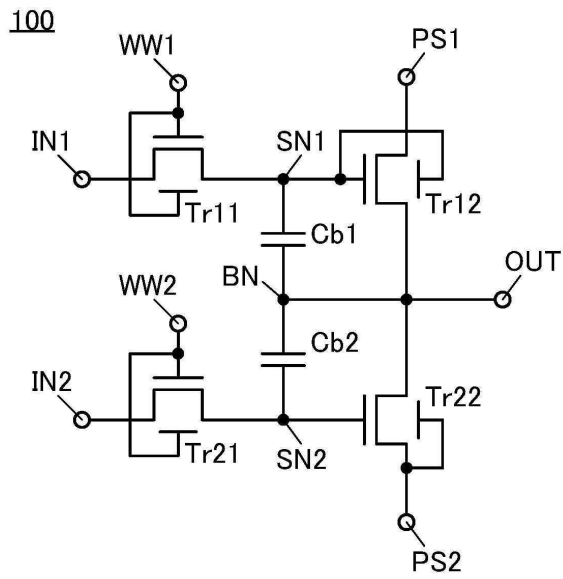


도면3

(A)

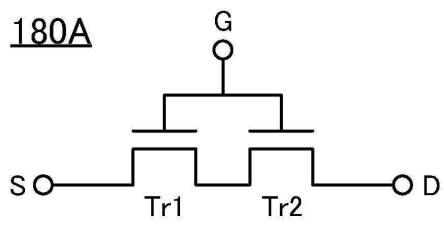


(B)

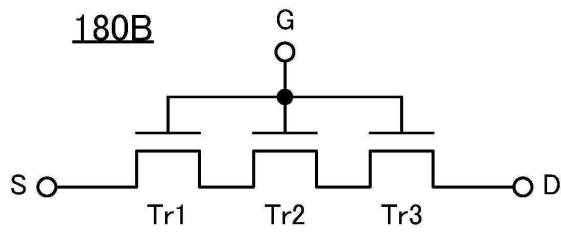


도면4

(A)

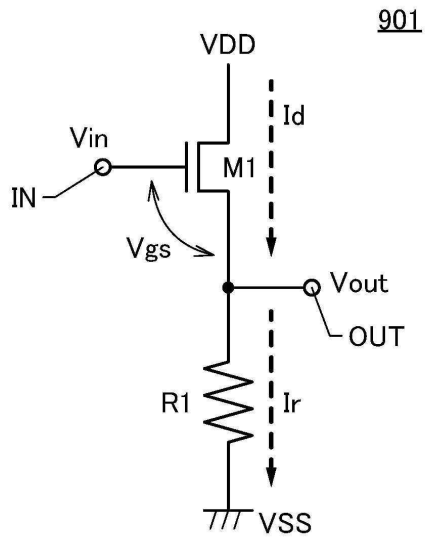


(B)

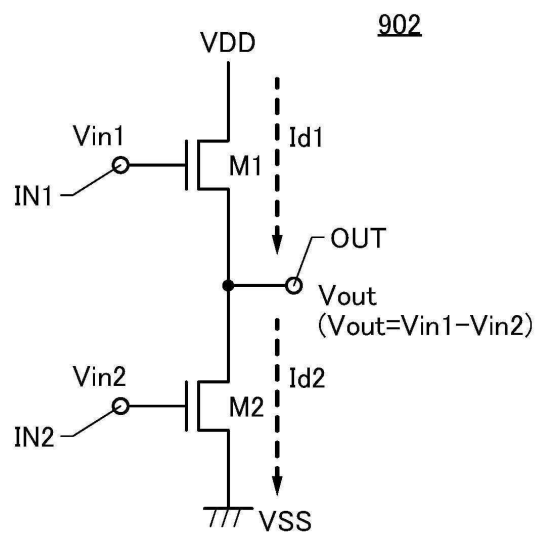


도면5

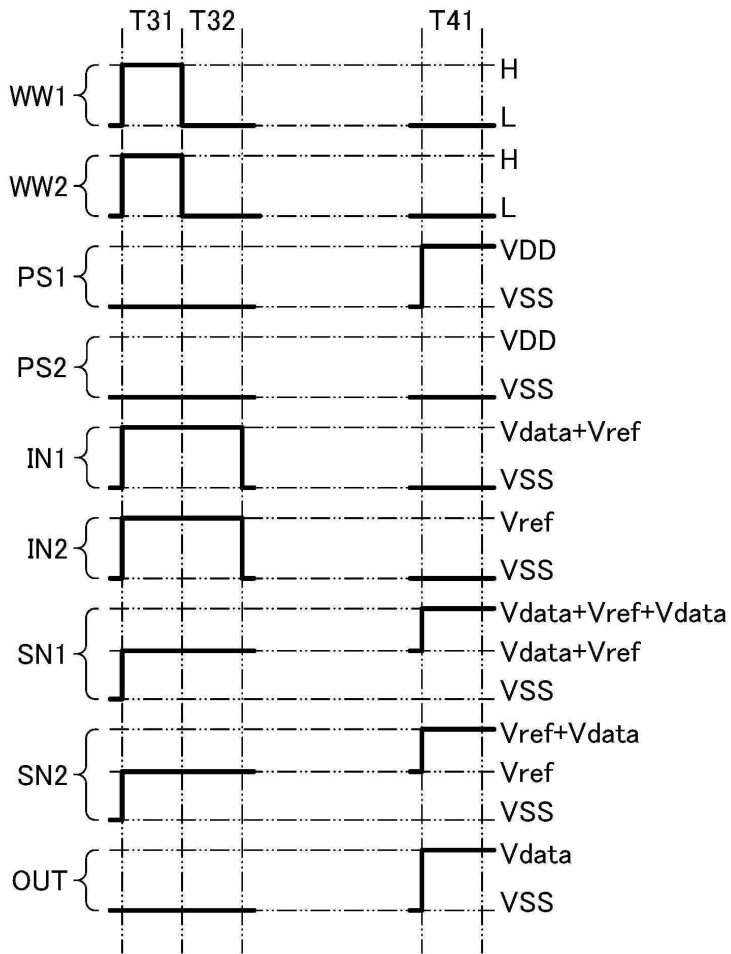
(A)



(B)



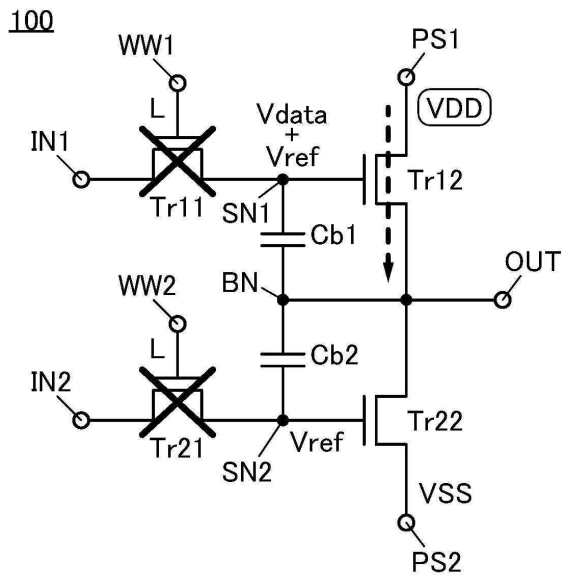
도면6



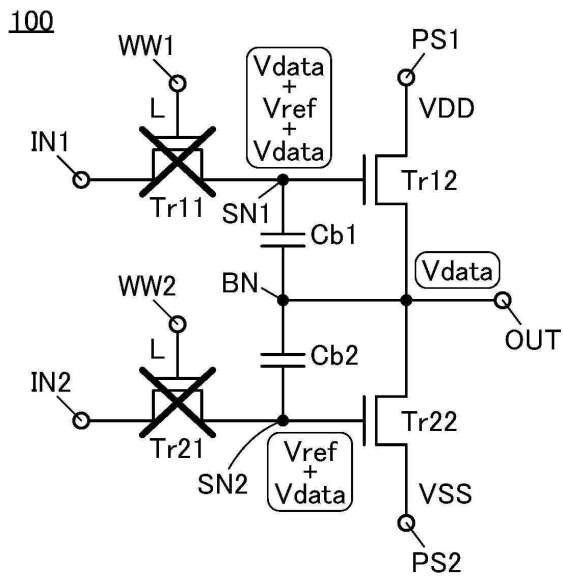


도면8

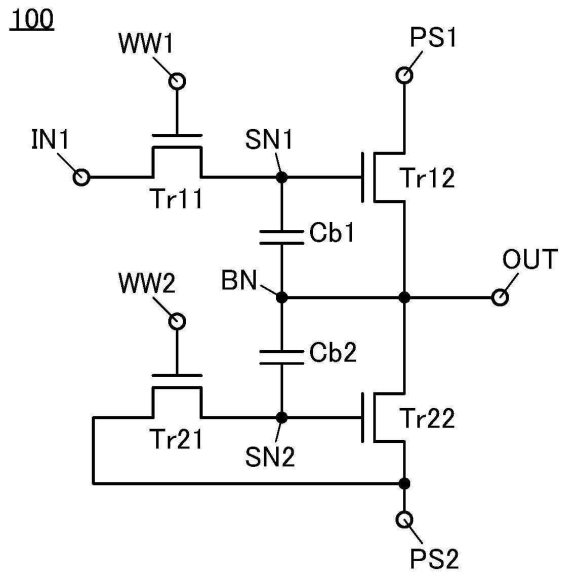
(A)



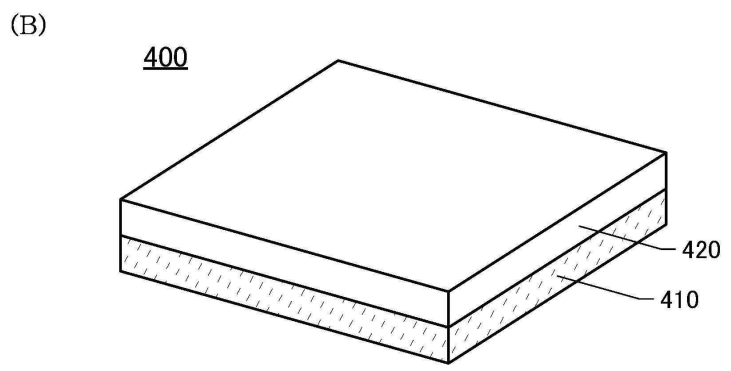
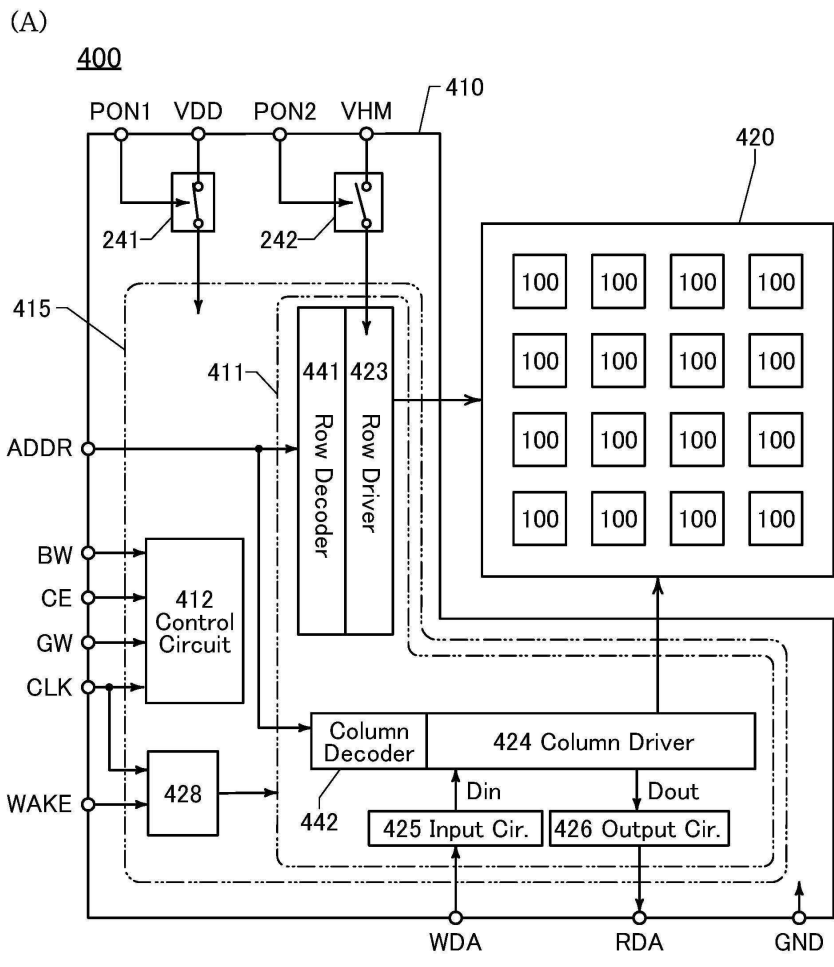
(B)



도면9

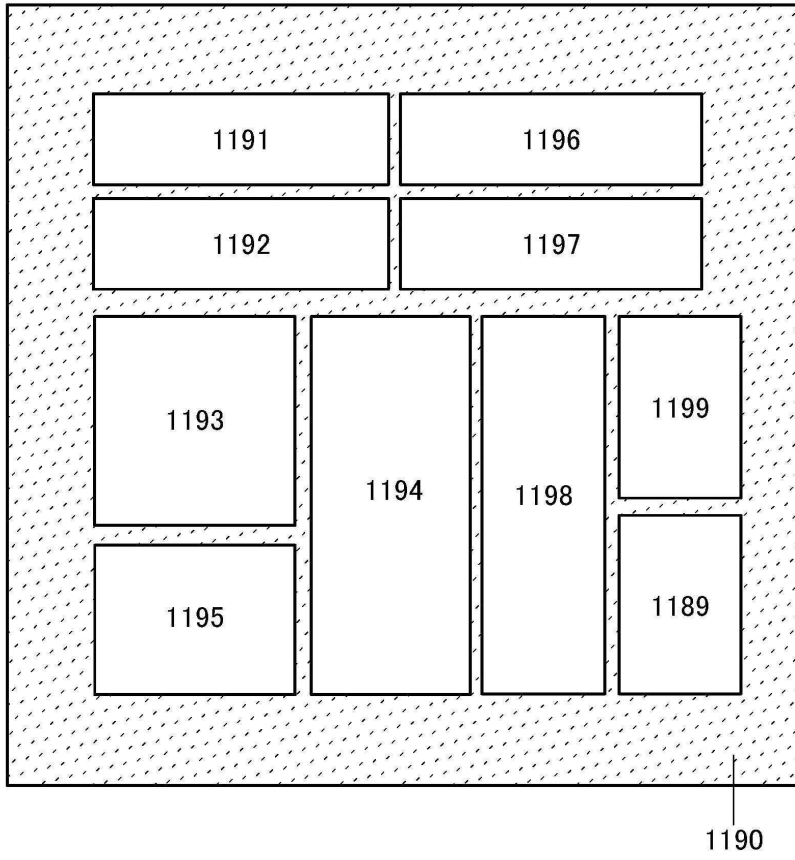


도면10



도면11

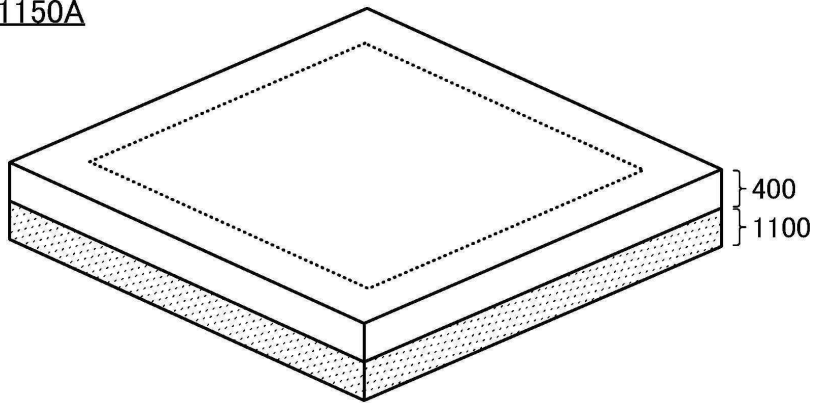
1100



도면12

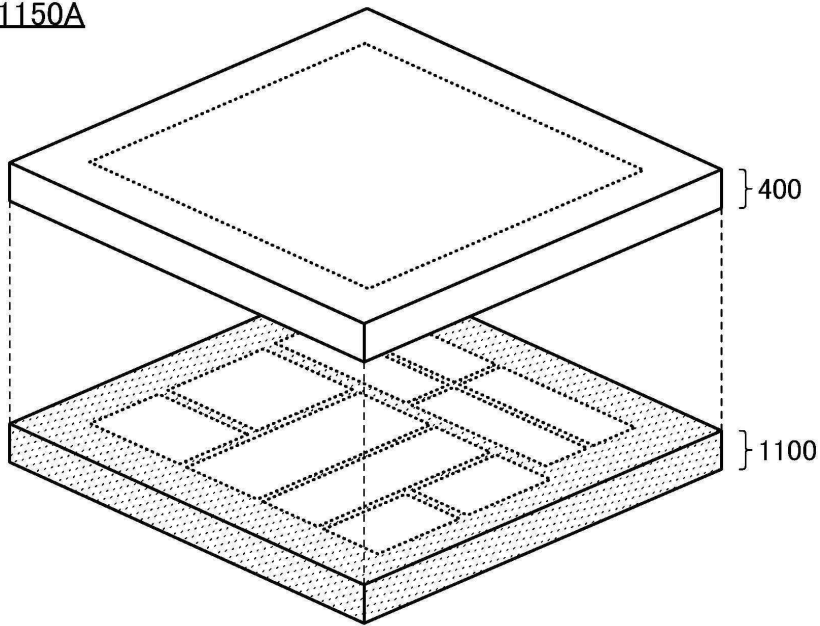
(A)

1150A



(B)

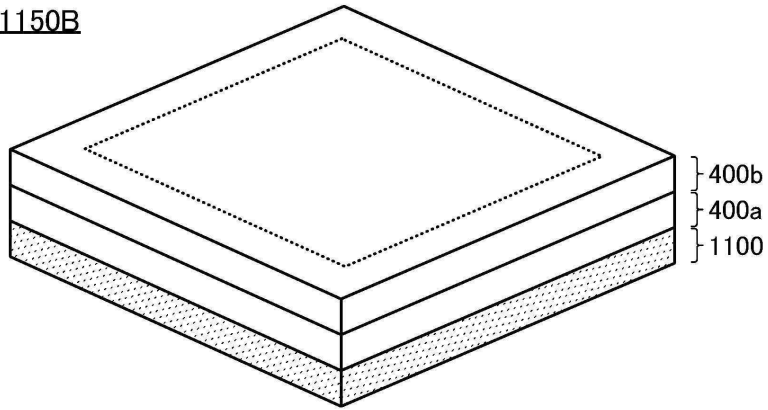
1150A



도면13

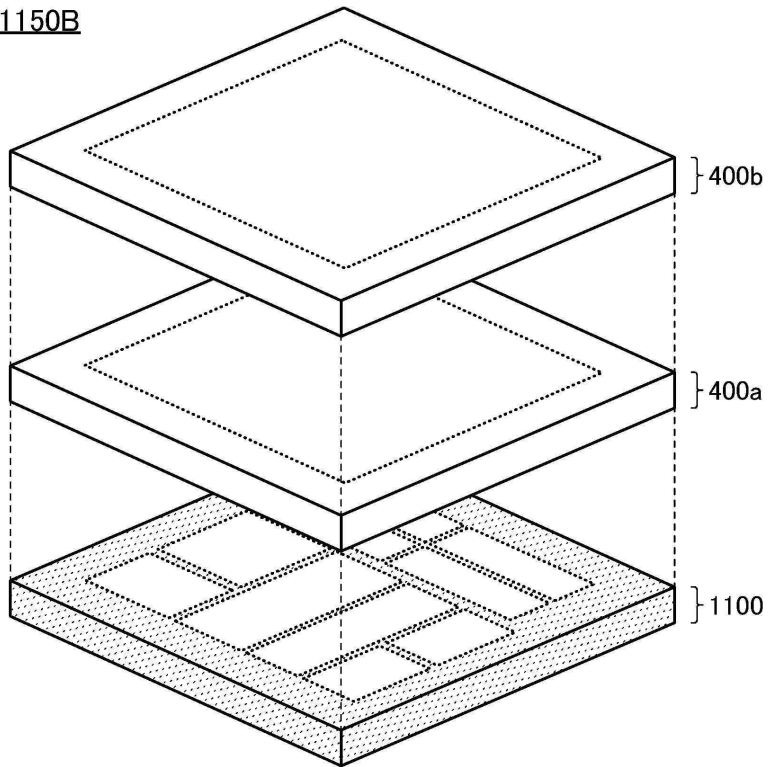
(A)

1150B



(B)

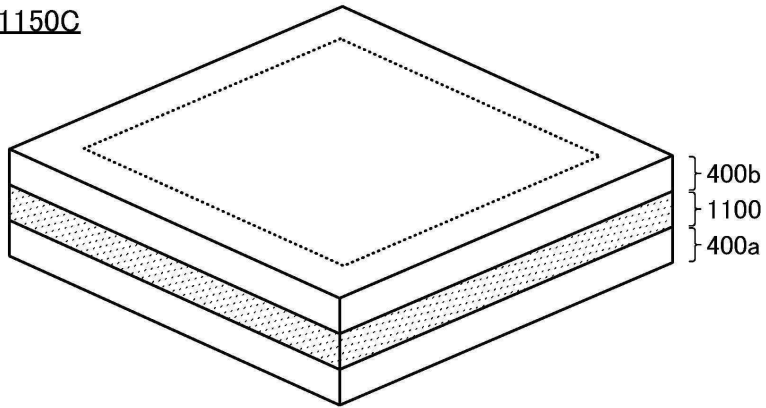
1150B



도면14

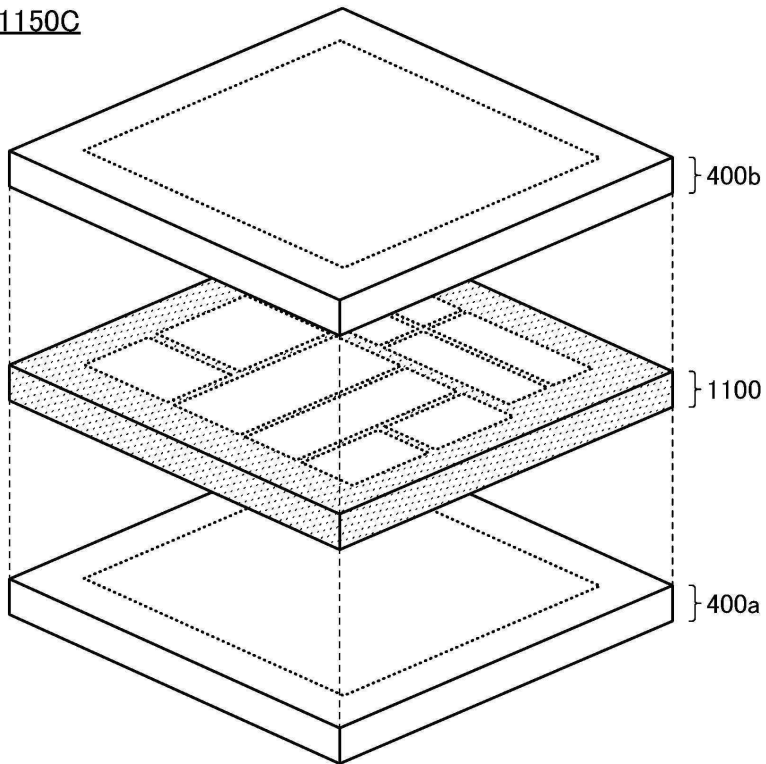
(A)

1150C



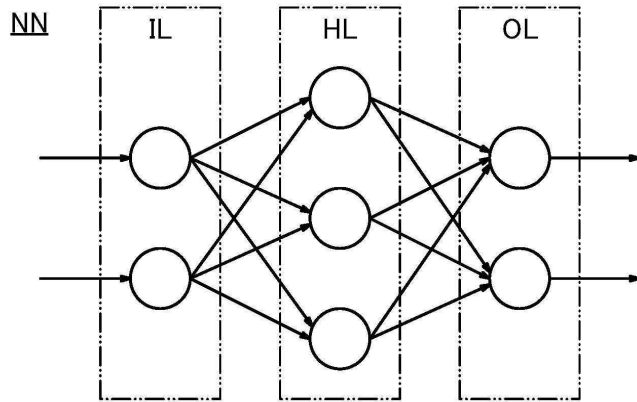
(B)

1150C

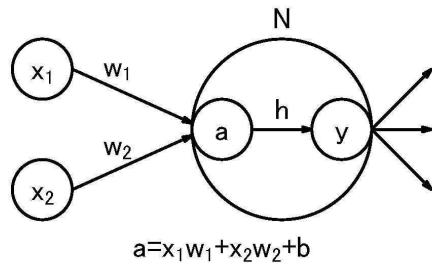


도면15

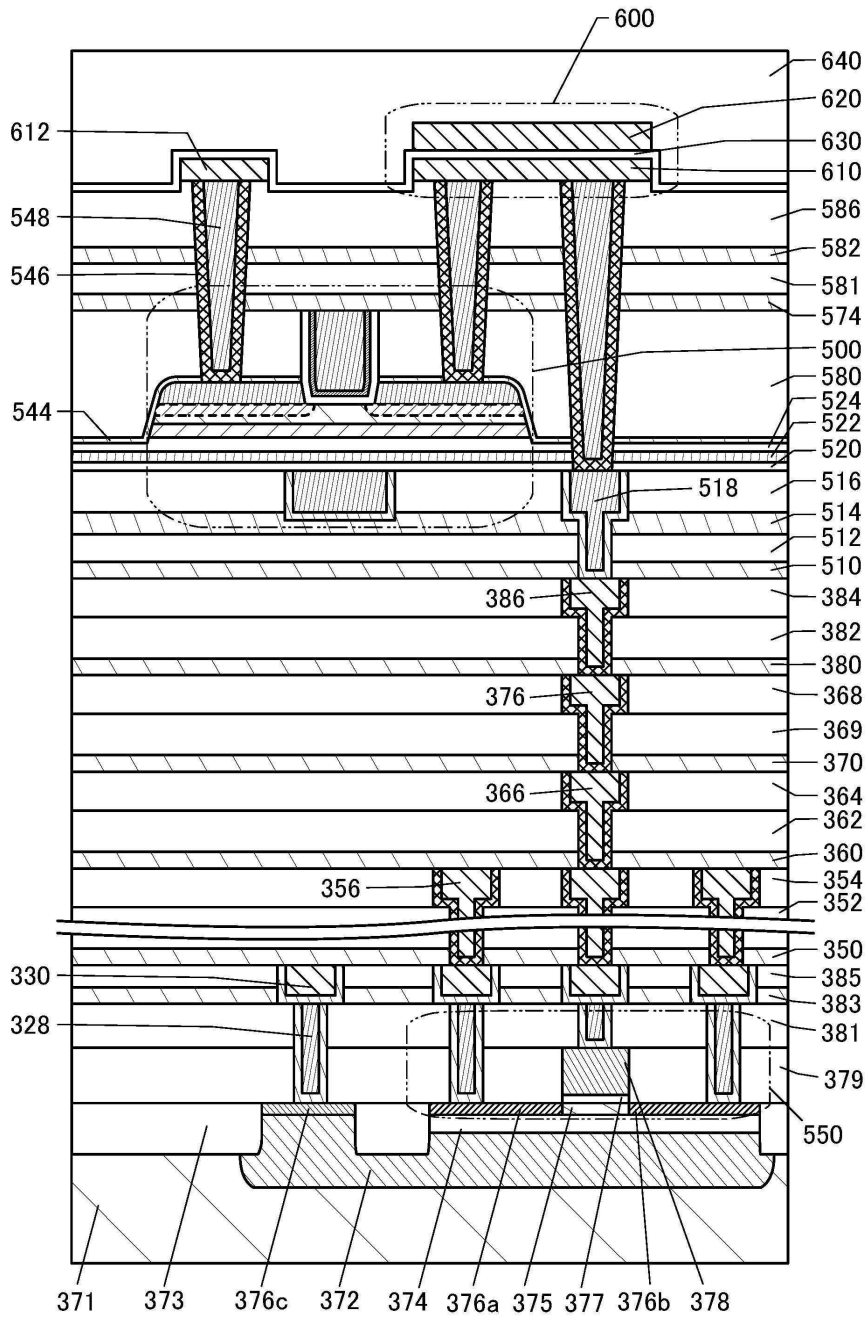
(A)



(B)

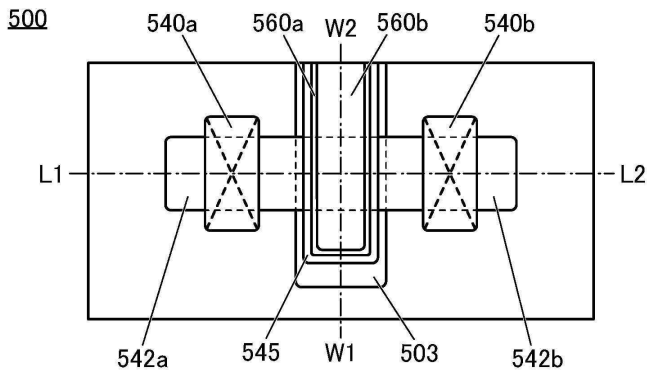


도면16

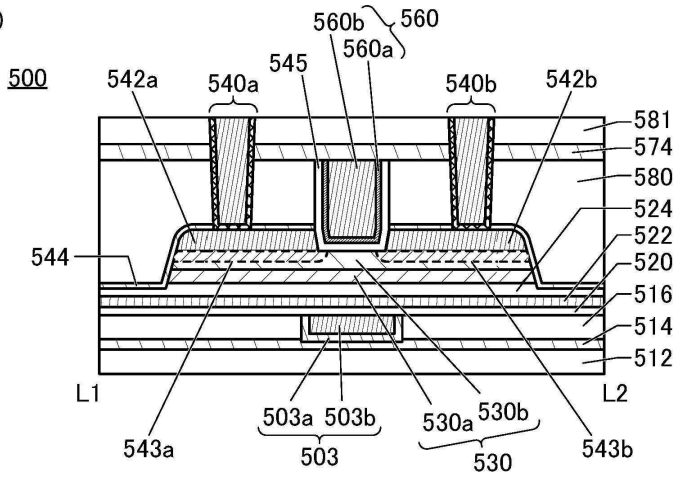


도면17

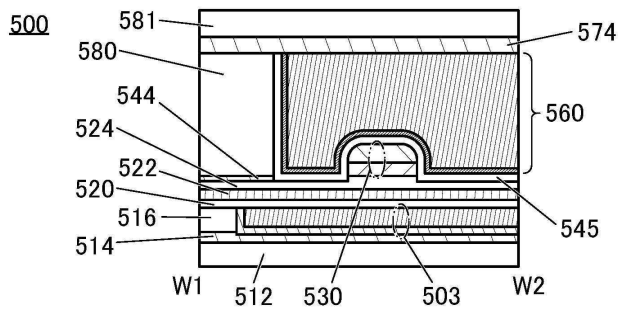
(A)



(B)



(C)



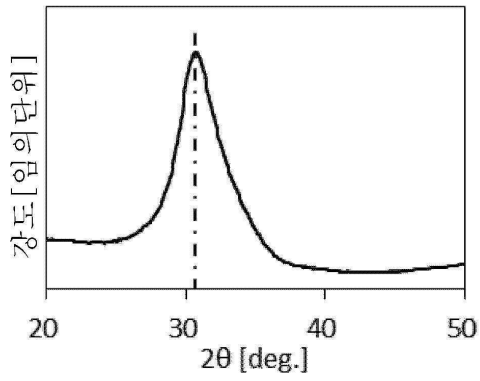
도면18

(A)

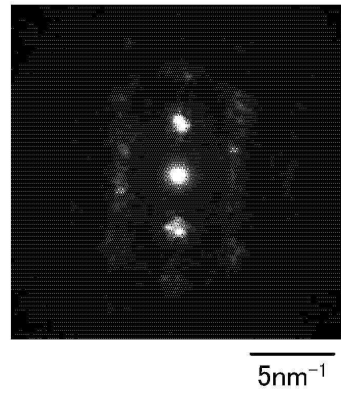
중간 상태  
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
<ul style="list-style-type: none"> <li>• completely amorphous</li> </ul>	<ul style="list-style-type: none"> <li>• CAAC</li> <li>• nc</li> <li>• CAC</li> </ul> <p>Single crystal과 poly crystal은 제외함</p>	<ul style="list-style-type: none"> <li>• single crystal</li> <li>• poly crystal</li> </ul>

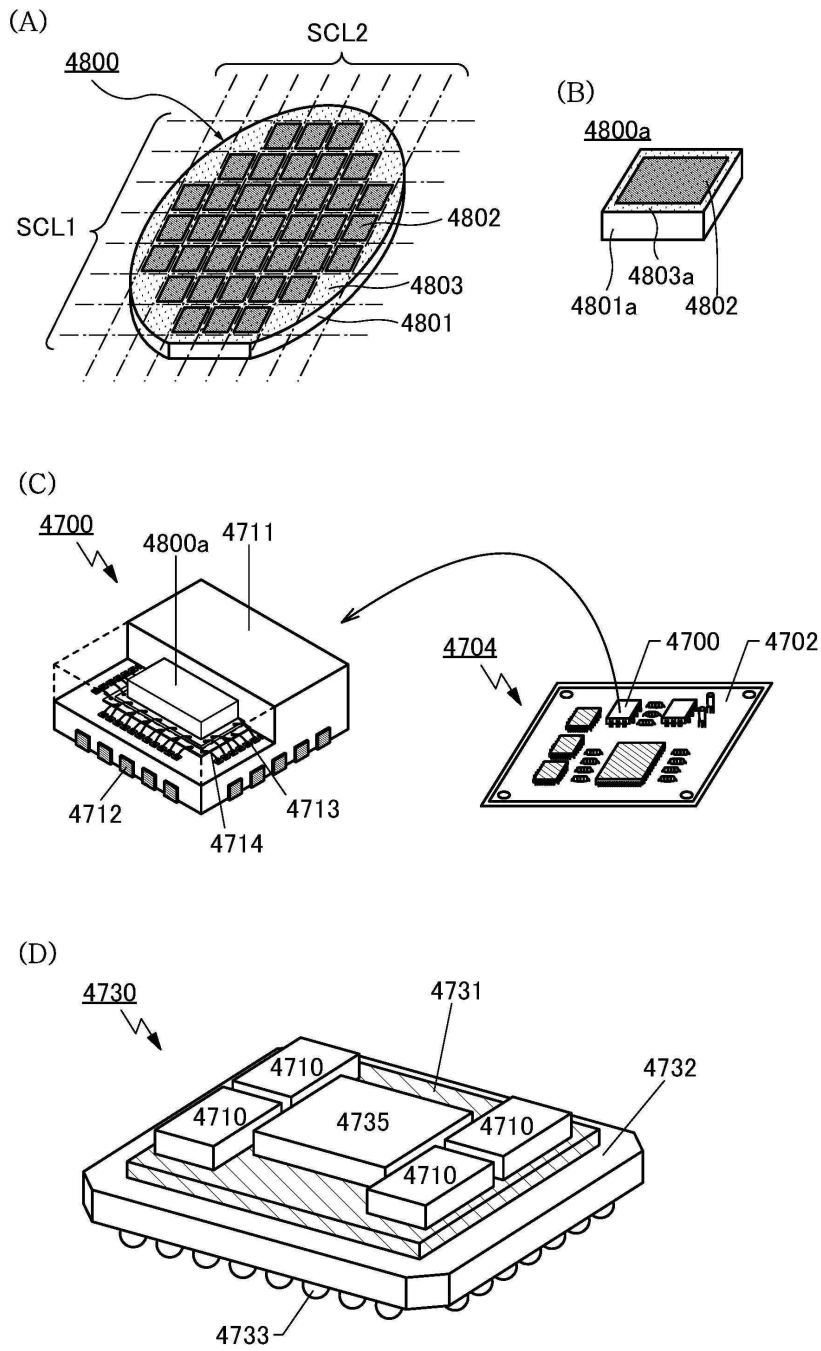
(B)



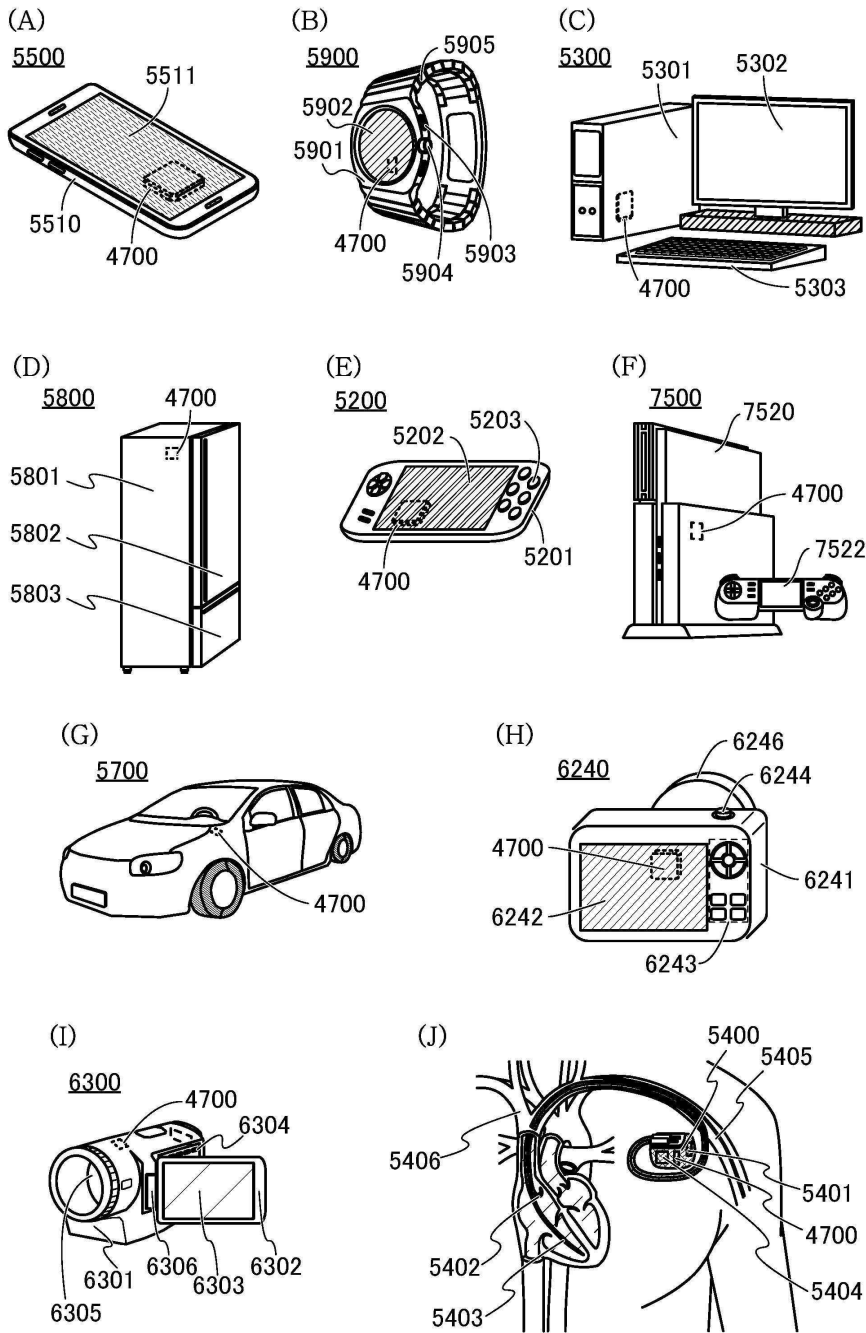
(C)



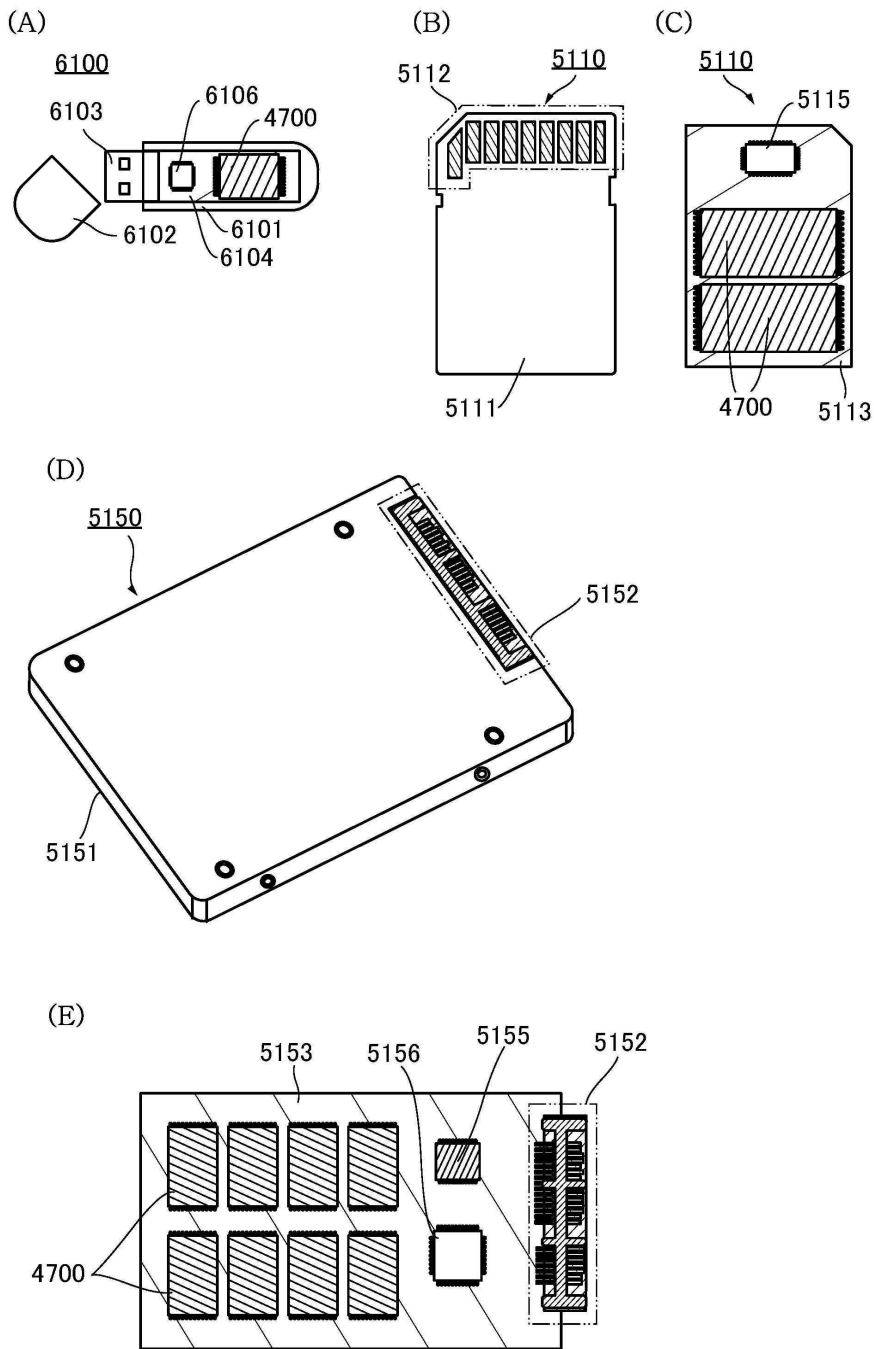
도면19



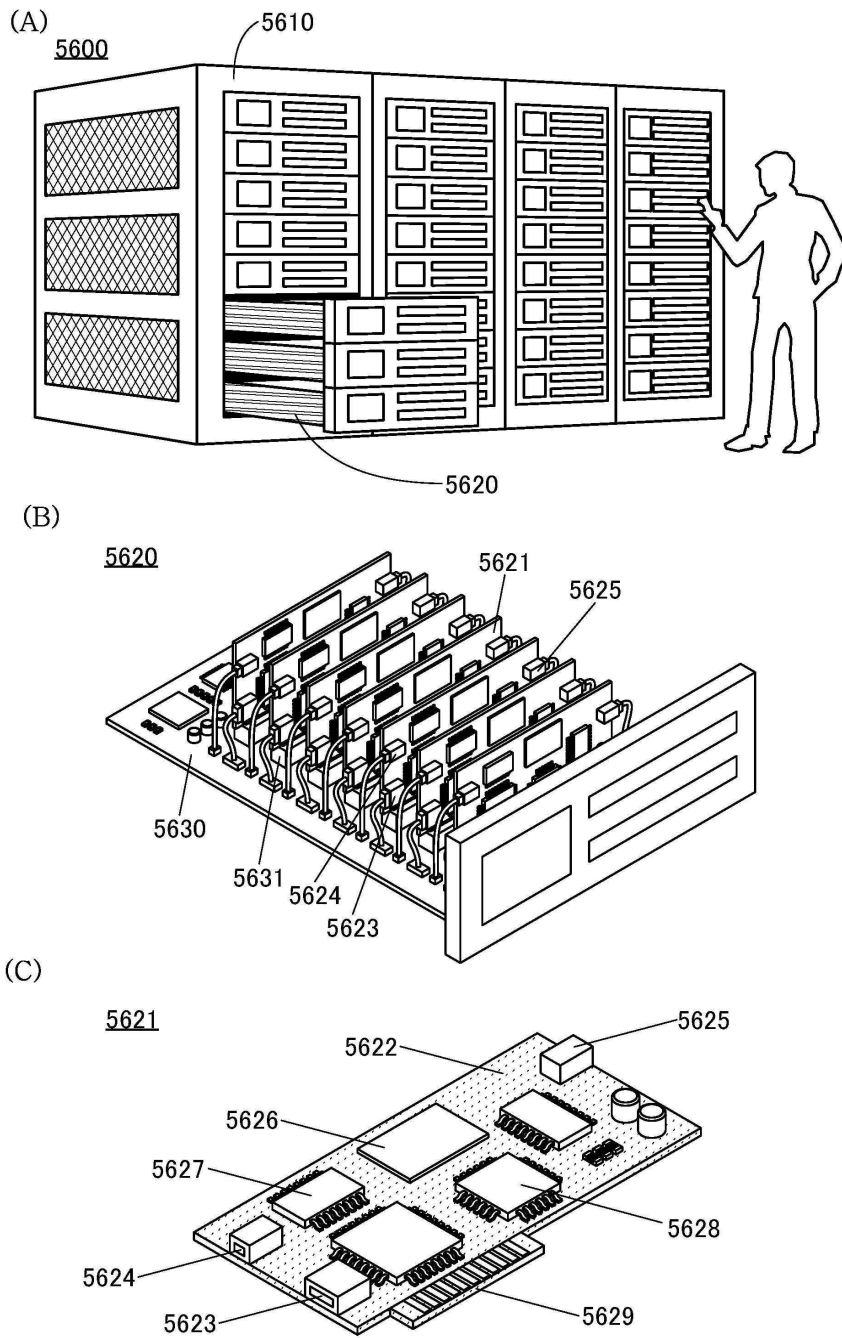
도면20



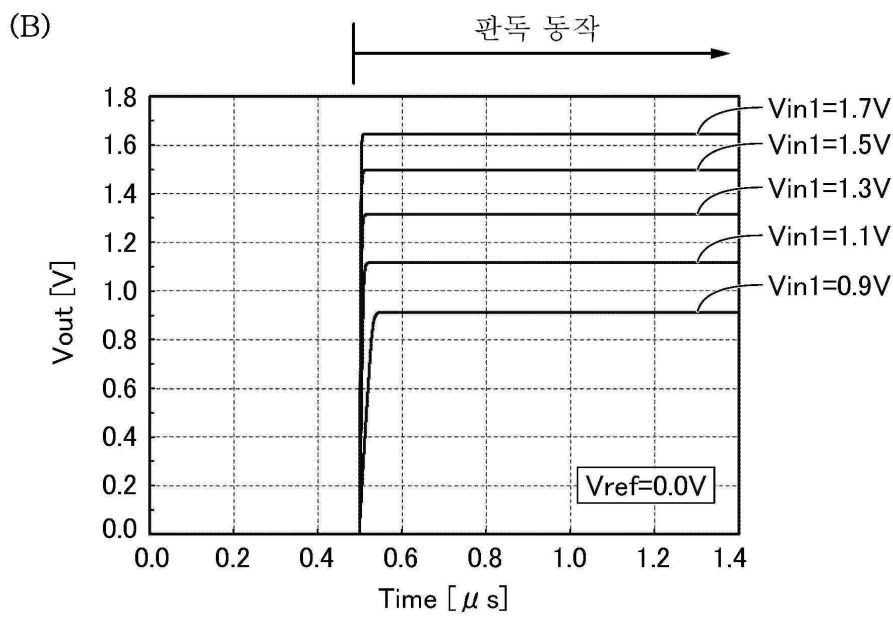
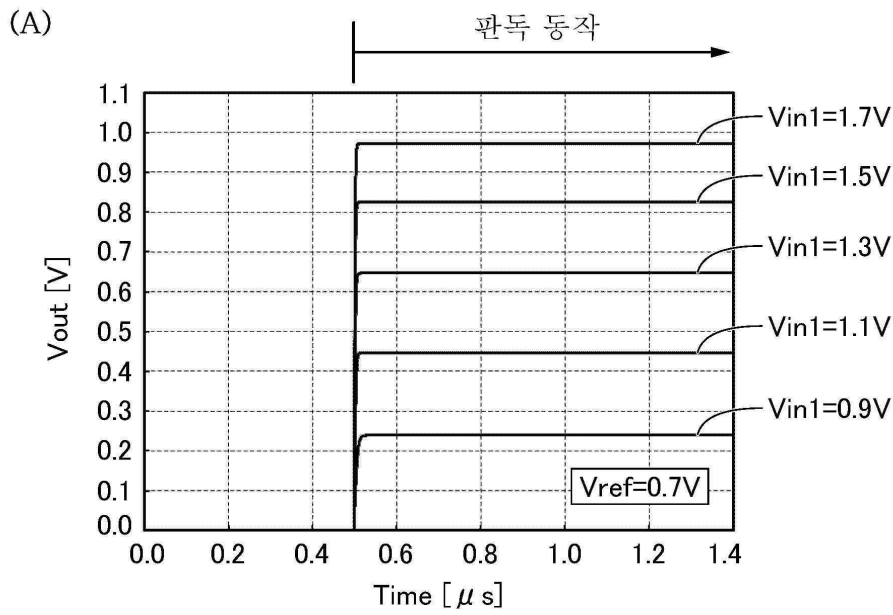
도면21



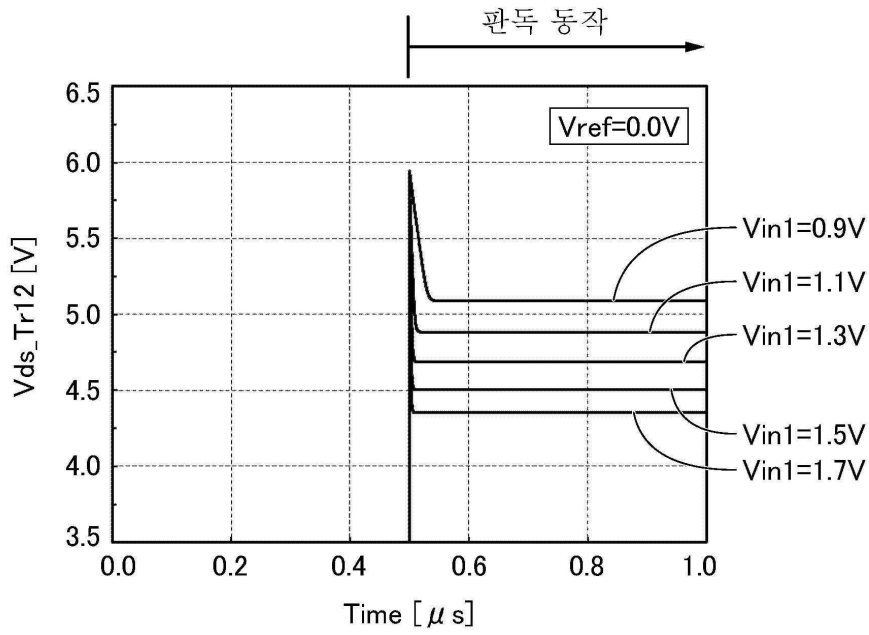
도면22



도면23



도면24



도면25

