

WO 2015/041304 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：記憶回路

技術分野

[0001] この発明は、記憶回路に関する。

背景技術

[0002] 高速性と高書換耐性が得られる次世代不揮発メモリとして、抵抗変化型の記憶素子である磁気トンネル接合素子（Magnetic Tunneling Junction素子：MTJ素子）を使用したメモリが注目されている。

[0003] MTJ素子をメモリ素子として使用する場合、MTJ素子とこれを選択するための選択デバイスとを組み合わせる必要がある。選択デバイスとしては、N型MOSFET（Metal Oxide Semiconductor field-effect transistor）、P型MOSFET、CMOS（Complementary MOS）等が使用される。

[0004] 図23に、N型MOSFET10aが選択デバイスとされた場合の単位セルの回路構成を示す。ここでは、MTJ素子50のピン層53にN型MOSFET10aが接続されているボトムピン構造が採用されている。端子1と端子2の一方の端子には所定の電圧が印加され、他方の端子は接地される。N型MOSFET10aのゲートに、選択信号として電圧 V_{on} が印加され、N型MOSFET10aがオンすると、MTJ素子50に電流が流れ、MTJ素子50に流れる電流の向きに応じたデータが書き込まれる。

[0005] しかし、端子1が接地され、端子2に正の電圧がかけられた場合、N型MOSFET10aは飽和領域で動作するため、MTJ素子50を書き換えるために十分な電流がピン層53からフリー層51へ向かう方向へ流れない。一般的に、MTJ素子を平行状態から反平行状態へスイッチさせるためにピン層53からフリー層51へ流すことが必要な電流は、反平行状態から平行状態へスイッチさせるためにフリー層51からピン層53へ流すことが必要な電流よりも大きい。従って、上記の状況はMTJスイッチングの観点から

非常に不利な状況となる。

[0006] ボトムピン構造ではなくトップピン構造を採用することも考えられるが、トップピン構造を作ること自体が困難である。このため、N型MOSFET 10a、P型MOSFET 10bのいずれの場合においてもトップピン構造を採用することは難しい。

[0007] また、図24には、P型MOSFET 10bが選択デバイスとされた場合の回路構成を示す。ここでは、ボトムピン構造が採用されている。P型MOSFET 10bのゲートは接地され、P型MOSFET 10bのゲートのオン／オフが切り替えられることで、MTJ素子50への電流の供給の有無が切り替えられる。

[0008] しかし、端子3がグランド電位に設定され、端子2が接地されて、端子1に正の電圧がかけられた場合、P型MOSFET 10bは飽和領域で動作するため、MTJ素子50の記憶データを書き換えるために十分な電流がフリー層51からピン層53へ向かう方向へ流れない。この状況は、N型MOSFETの場合とは異なり、MTJ素子のスイッチに必要な電流の非対称性とMOSFETに流し得る電流の非対称性との間の整合性は良い。しかし、P型MOSFETはもともとN型MOSFETに比べて電流供給能力が低いという問題がある。

[0009] また、CMOSが選択デバイスとして採用された例として、非特許文献1には、MTJ素子を含む不揮発性フリップ・フロップ回路が開示されている。CMOSは、N型のMOSFETとP型のMOSFETを組み合わせるため、MTJ素子に対して双方向の対称な電流を流すことが可能である。

先行技術文献

非特許文献

[0010] 非特許文献1：K. Ryu et al., IEEE Trans. VLSI Systems, vol. 20, no. 11, pp. 2044-2053, Nov. 2012.

発明の概要

発明が解決しようとする課題

[0011] このように、N型MOSFET、P型MOSFET、CMOSのそれぞれの性質を考慮すると、磁気トンネル接合素子に必要な電流を両方向から流すことが可能な選択デバイスとして最適と思われるのはCMOSである。しかし、非特許文献1にも記載されているように、CMOSは、N型MOSFETとP型MOSFETの計2つのMOSFETを含む。さらに、CMOSは、ウエルを形成する必要がある等、単位セルのサイズをコンパクトにできず、占有面積が大きく、高集積化できないという問題がある。

[0012] 本発明は、上記実情に鑑みてなされたものであり、小型で双方向に書き込み電流を流すことができる、磁気トンネル接合素子を用いた記憶回路を提供することを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するために、本発明の記憶回路は、

磁気トンネル接合素子と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備え、

前記第1の電界効果トランジスタのゲートに前記第2の電界効果トランジスタの電流路の一端が接続され、前記第1の電界効果トランジスタの電流路の一端に前記磁気トンネル接合素子の一端が接続され、前記第1の電界効果トランジスタの電流路の他端に第1の制御端子が接続され、前記磁気トンネル接合素子の他端に第2の制御端子が接続され、前記第2の電界効果トランジスタの電流路の他端に第3の制御端子が接続され、

前記第1の電界効果トランジスタの電流路は、前記第1の制御端子と前記第2の制御端子と前記第3の制御端子とのそれぞれに一定の電圧が印加されると、前記第1の制御端子に印加される電圧と前記第2の制御端子に印加される電圧との大小関係に応じた方向に一定の電流が流れる定常状態に達する。

[0014] 前記第3の制御端子に接続された選択回路と、前記第1の制御端子と前記第2の制御端子とに接続されたリード／ライト回路と、をさらに備えてもよ

い。この場合、前記第2の電界効果トランジスタのゲートには、電源電圧あるいはグランド電位レベルの電圧が印加され、前記磁気トンネル接合素子へのデータの書き込み時に、前記選択回路は、前記第3の制御端子に電源電圧あるいはグランド電位レベルの電圧を印加し、前記リード／ライト回路は、前記第1の制御端子と前記第2の制御端子との間に、書き込み電流を流すための電圧を印加して、前記磁気トンネル接合素子を低抵抗状態と高抵抗状態とのうちのいずれかに設定し、前記磁気トンネル接合素子からのデータの読み出し時に、前記選択回路は、前記第3の制御端子に電源電圧あるいはグランド電位レベルの電圧を印加し、前記リード／ライト回路は、前記第1の制御端子と前記第2の制御端子との間の抵抗を直接又は間接的に測定する。

[0015] 例えば、前記選択回路が前記第3の制御端子に電源電圧あるいはグランド電位レベルの電圧を印加し、続いて、前記リード／ライト回路が前記第1の制御端子と前記第2の制御端子との間に電圧をかけることにより、前記第2の電界効果トランジスタをカットオフさせる。

[0016] 前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとが、例えば、それぞれN型MOSFET又はP型MOSFETから構成される。

[0017] 前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとは、例えば、テクノロジーノード90nm以降の世代の素子サイズを有し、電源電圧は、1.05V以下である。

[0018] 例えば、前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとは、テクノロジーノード90nmから32nm世代の素子である。

[0019] 前記第1の電界効果トランジスタのチャンネル幅と前記磁気トンネル接合素子の直径の比 ($W_{n1}/MTJ\phi$) および前記第1の電界効果トランジスタと前記第2の電界効果トランジスタのチャンネル幅の比 (W_{n1}/W_{n2}) は、

$$4 \leq W_{n1}/MTJ\phi \leq 15, \quad 2 \leq W_{n1}/W_{n2} \leq 5$$

を満たすことが望ましい。

発明の効果

[0020] 本発明によれば、簡易で小型の選択デバイスで、磁気トンネル接合素子に必要な電流を双方向に流すことができる。

図面の簡単な説明

[0021] [図1]実施形態1に係る記憶回路（メモリ装置）の構成を示す図である。

[図2A]M T J素子のスイッチングを説明するための図である。

[図2B]M T Jのスイッチングを説明するための図である。

[図3]M T J素子の抵抗特性を示す図である。

[図4]M T J素子のスイッチングの特性を示す図である。

[図5]実施形態1に係る記憶回路（メモリ装置）の動作を説明するための図である。

[図6A]実施形態1に係る記憶回路の各ノードの電圧の変化を示す図であり、図5に示す書き込み電流I₁を流すときの電圧変化を示す図である。

[図6B]実施形態1に係る記憶回路の各ノードの電圧の変化を示す図であり、図5に示す書き込み電流I₂を流すときの電圧変化を示す図である。

[図7]実施形態2に係る記憶回路の構成を示す図である。

[図8A]実施形態2に係る記憶回路の各ノードの電圧の変化を示す図であり、書き込み電流を流すときの電圧変化を示す図である。

[図8B]実施形態2に係る記憶回路の各ノードの電圧の変化を示す図であり、逆方向の書き込み電流を流すときの電圧変化を示す図である。

[図9]実施形態1に係る記憶回路の各ノードの電位差の時間変化を示す図である。

[図10]M T Jモデルのスイッチング特性を示す図である。

[図11]複数種の選択デバイスのチャンネル幅のシミュレーション結果を示す図である。

[図12]M T J素子のスイッチングのシミュレーション結果を示す図である。

[図13]M T J素子のスイッチングのシミュレーション結果を示す図である。

[図14A]シミュレーションで使用したN F E Tのレイアウトを示す図である。

[図14B]シミュレーションで使⽤したP F E Tのレイアウトを示す図である。

[図14C]シミュレーションで使⽤したC M O Sのレイアウトを示す図である。

[図14D]シミュレーションで使⽤したB o o s t e d N F E Tのレイアウトを示す図である。

[図15]テクノロジーノード90nmにおける、電源電圧と各種選択デバイスの素子面積の⽮係を示す図である。

[図16]テクノロジーノード90nm以降における、M T Jのスケーリングを示す図である。

[図17]テクノロジーノード90nm以降における、選択素子の素子面積を示す図である。

[図18]テクノロジーノード90nm以降における、M T Jのスケーリングと選択素子のチャネル幅との⽮係を示す図である。

[図19]実施形態に係る記憶回路の応⽤例を示す回路図であり、F P G Aのクロスバースイッチに適⽤した例を示す図である。

[図20]実施形態に係る記憶回路の応⽤例を示す回路図である。

[図21]実施形態に係る記憶回路の応⽤例を示す回路図である。

[図22]実施形態に係る記憶回路の応⽤例を示す回路図である。

[図23]N型のM O S F E Tを選択デバイスとした場合の回路構成を示す図である。

[図24]P型のM O S F E Tを選択デバイスとした場合の回路構成を示す図である。

発明を実施するための形態

[0022] 以下、図面を参照しながら本発明の実施形態を説明する。

(実施形態1)

図1に、実施形態1に係る記憶回路100の構成を示す。

[0023] 記憶回路100は、選択デバイス10と磁気トンネル接合素子(以下、M T J素子)50を含む。選択デバイス10は2個のN型M O S F E T 11、12から構成される。

- [0024] N形MOSFET 12のドレイン（電流路の一端）は、MTJ素子50のピン層53に接続されている。MTJ素子50のフリー層51（MTJ素子50の一端）は、制御端子70aに接続されている。また、N形MOSFET 12のソース（電流路の他端）は、制御端子70bに接続されている。
- [0025] N形MOSFET 12のゲートは、N形MOSFET 11のドレイン（電流路の一端）に接続されている。N形MOSFET 11のゲートには、正極性の電源電圧V_{dd}が印加されている。N形MOSFET 11のソース（電流路の他端）は、選択制御端子70cに接続されている。
- [0026] なお、N形MOSFET 12は、MTJ素子50に比較的大きな書き込み電流を流すドライバ・トランジスタである。N形MOSFET 11は、N形MOSFET 12を制御するためのバリヤ・トランジスタであり、N形MOSFET 11には、電流がほとんど流れない。N形MOSFET 11のチャネル幅（素子サイズ）は、N形MOSFET 12のチャネル幅（素子サイズ）に比べて小さい。
- [0027] 次に、MTJ素子50は、図2A、図2Bに示すように、フリー層51、絶縁層52、ピン層53の3層から構成されている。絶縁層52は、MgOやAl₂O₃の薄膜から形成され、フリー層51及びピン層53は、鉄（Fe）やコバルト（Co）等の強磁性体、またはこれらの合金からなる単層や複数の層で形成される。さらに、ピン層51には電極51a、フリー層53には電極53aが形成されている。
- [0028] フリー層51は二点破線矢印で示す磁化の向きが固定されておらず、電流が供給されると、その磁化の向きは変化する。また、ピン層53は磁化の向きが固定されている。図2Aは、フリー層51とピン層53の磁化の向きが揃っている状態（平行状態）を示し、図2Bは、フリー層51とピン層53の磁化の向きが逆である状態（反平行状態）を示す。
- [0029] MTJ素子50は、平行状態と反平行状態とで、その抵抗値が異なるという性質を有する。図3にMTJ素子50の電流－抵抗特性を示す。ここで、縦軸は抵抗Rを示し、横軸はMTJ素子50に供給される電流Iを示す。M

MTJ素子50の抵抗値は、フリー層51とピン層53の磁化方向の相対的な向きによって変化する。この抵抗変化は、トンネル磁気抵抗効果と呼ばれている。フリー層51とピン層53の磁化の向きが互いに平行の場合、MTJ素子50の磁気抵抗は小さくなる。この状態は低抵抗状態 R_P と呼ばれている。一方、磁化の向きが互いに逆の場合、磁気抵抗は大きくなる。この状態は高抵抗状態 R_{AP} と呼ばれている。

[0030] MTJ素子50は、図2Bに示すように反平行状態のとき、フリー層51からピン層53へ向かう方向へ電流（順方向電流 I_{c0} ）が供給されると、ピン層53からフリー層51に注入される多数スピンの電子により、フリー層51の磁化が反転し、平行状態（低抵抗状態 R_P ）となる。一方、MTJ素子50は、図2Aに示すように平行状態のとき、ピン層53からフリー層51へ向かう電流（逆方向電流 I_{c1} ）が供給されると、スピンの電子がフリー層51からピン層53に注入される。しかしながら、ピン層53の磁化と平行でないスピンの電子は、絶縁層52で反射される。これにより、MTJ素子50は、フリー層51の磁化が反転し、反平行状態（高抵抗状態 R_{AP} ）となる。

[0031] MTJ素子50は、反平行状態のときに逆方向電流 I_{c1} が供給された場合、その状態は変化せずに維持される。また、MTJ素子50は、平行状態のときに順方向電流 I_{c0} が供給された場合もその状態は維持される。

[0032] なお、図3に示すように、平行状態（低抵抗状態 R_P ）から反平行状態（高抵抗状態 R_{AP} ）へのスイッチするための逆方向電流 I_{c1} は、反平行状態（高抵抗状態 R_{AP} ）から平行状態（低抵抗状態 R_P ）へスイッチするための順方向電流 I_{c0} より大きいことが知られている。

[0033] 平行状態と反平行状態とを、例えば”0”、“1”と対応付け、平行状態と反平行状態とを制御することで、MTJ素子50を記憶素子として利用することができる。

[0034] さらに、図4に、MTJ素子50のスイッチングの特性を示す。ここで、縦軸は書き込みに必要な閾値電流を示し、横軸は書き込みのパルス幅（時間

）を示す。曲線Aは、平行状態（低抵抗状態 R_P ）から反平行状態（高抵抗状態 R_{AP} ）にスイッチするための逆方向電流 I_{c1} の大きさと時間の特性を示す。また、曲線Bは、反平行状態（高抵抗状態 R_{AP} ）から平行状態（低抵抗状態 R_P ）へスイッチするための順方向電流 I_{c0} の大きさと時間の特性を示す。

[0035] 図4に示すように、順方向電流 I_{c0} 、逆方向電流 I_{c1} のいずれの場合も、書き込みのパルス幅が短い程、書き込みに必要な電流は大きくなっている。つまり、MTJ素子50を高速にスイッチさせ、高速デバイスとして機能させるためには、ある程度大きな電流を流すことが必要である。従って、選択デバイス10を構成するN形MOSFET12もある程度大きな電流を流すことが要求される。

[0036] 次に、記憶回路100の動作について、図5、図6A及び図6Bを参照して説明する。なお、以下の説明では、テクノロジーノードとして90nmを採用することとし、記憶回路100の電源電圧は1Vを基準とする。また、N形MOSFET11、12のしきい値電圧 $V_{th}=0.2V$ とする。

[0037] 記憶回路100を使用する場合、図5に示すように、制御端子70aと70bは、リード／ライト回路101に接続され、選択制御端子70cは、選択回路102に接続される。N形MOSFET11のゲートには、電源電圧 $V_{dd}(\div 1V)$ が印加される。記憶回路100が非選択状態では、選択回路102は、図6A、図6Bに示すように、選択制御端子70cに0Vの電圧 V_{on} を印加し、リード／ライト回路101は、制御端子70aと70bに0Vの電圧 V_{in1} と V_{in2} とを印加する。この時、N形MOSFET12はオフしており、N形MOSFET12に電流が流れることはない。従って、MTJ素子50にも電流は流れない。

[0038] MTJ素子50に電流 I_1 を流す場合、まず、選択回路102が、図6Aに示すように、選択制御端子70cにオン電圧 $V_{on}(1V)$ を印加する。これによりN形MOSFET11を介してN形MOSFET12に印加されるゲート電圧 V_g は、 $V_{on}-V_{th}\div 1V-0.2V\div 0.8V$ となる。

[0039] その後、リード／ライト回路101が、電圧 V_{in2} を0Vレベルに維持したまま、電圧 V_{in1} をハイレベル（ $\div 1V$ ）とする。これにより、N形MOSFET12を通して、電流 I_1 が流れ始める。

[0040] N形MOSFET12のチャネルとゲートの間の容量結合により、ゲート電圧 V_g は、おおよそ、 $V_{in1} + V_{on} - V_{th} \div 1.35V$ 程度まで上昇する。併行して、N形MOSFET12のドレイン電圧 V_d も上昇した。従って、N形MOSFET12の電流駆動能力が高くなり、MOSFET12は、MTJ素子50の平行状態と反平行状態とをスイッチするために必要で十分な電流 I_1 を供給できる。なお、ゲート電圧 V_g の上昇により、カットオフされたN形MOSFET11がオフする。これにより、N形MOSFET12のソースゲート間の電荷は維持され、ゲート電圧 V_g が電源電圧まで低下する、という事態は発生しない。

[0041] 書き込み完了後、リード／ライト回路101は電圧 V_{in1} を0Vに下げ、続いて、選択回路102が、オン電圧 V_{on} を0Vとする。

[0042] 一方、MTJ素子50に電流 I_2 を流す場合、選択回路102が、図6Bに示すように、まず、選択制御端子70cにオン電圧 V_{on} （ $\div 1V$ ）を印加する。これにより、ゲート電圧 $V_g \div V_{on} - V_{th1} = 1V - 0.2V \div 0.8V$ となる。

[0043] 続いて、リード／ライト回路101は、 $V_{in1} = 0$ を維持したまま、 V_{in2} をハイレベル（ $\div 1V$ ）とする。これにより、電流 I_2 が流れ始める。チャネルとゲートの間の容量結合により、ゲート電圧 V_g は、上昇し、1V程度まで上昇する。従って、N形MOSFET12はMTJ素子50に十分な電流 I_2 を供給することができる。なお、ゲート電圧 V_g の上昇により、カットオフされたN形MOSFET11がオフする。これにより、N形MOSFET12のソースゲート間の電荷は維持され、ゲート電圧 V_g が電源電圧まで低下する、という事態は発生しない。

[0044] その後、制御端子70c、制御端子70aからの電圧の供給が停止されると、ノードG、ノードDにかかる電圧も下降し、最終的には0Vとなった。

[0045] このようにして、記憶回路100にあっては、選択デバイス10が十分な電流を双方向にMTJ素子50に流し、MTJ素子50の平行状態と反平行状態とをスイッチさせることができる。

[0046] 一方、読み出し動作の際には、選択回路102が、 V_{on} をハイレベルとして、記憶素子100を選択し、続いて、リード／ライト回路101が、直接又は間接的に、MTJ素子50の抵抗値（高又は低）を測定する。リード／ライト回路101は、測定した抵抗値に対応するデータを特定する。

[0047] （実施形態2）

上記実施形態1では、選択デバイスをN形MOSFETから構成したが、選択デバイスをP型MOSFETから構成した場合であっても、両方向の電流を供給することが可能である。

[0048] 図7に、P形MOSFETから構成された選択デバイス110とMTJ素子50を含む記憶回路200の構成を示す。実施形態1との違いは、選択デバイス110として、2個のP型のMOSFET111、112を使用することである。また、P型MOSFET111のゲートは、グラウンドGND（0V）と接続されている。

[0049] 以下、記憶回路200の動作について、図8A、図8Bを参照して説明する。なお、図示はしないが、図5と同様に、リード／ライト回路101、選択回路102等が接続される。記憶回路200が非選択状態では、図8A、図8Bに示すように、選択制御端子70cに0Vの電圧 V_{on} が印加され、制御端子70aと70bに1Vの電圧 V_{in1} と V_{in2} とが印加されている。この時、P形MOSFET112はオフしており、P型MOSFET112に電流が流れることはない。従って、MTJ素子50にも電流は流れない。

[0050] MTJ素子50に電流 I_1 を流す場合、図8Aに示すように、選択制御端子70cに、オン電圧 V_{on} として0Vの電圧が印加される。P形MOSFET111のゲート側のノードGは、1Vから $|V_{th1}|$ の電圧まで低下する。ここで、 V_{th1} はP形MOSFET111の閾値電圧でありマイナス

の値を取る。

[0051] ここで、制御端子70bに印可される電圧 V_{in1} は1Vから0Vに下げられる。なお、制御端子70aの電位は1Vである。ノードGにかかる電圧はP形MOSFET112のしきい値電圧 V_{th2} を超えているので、P形MOSFET112にチャネルが形成されており、P形MOSFET112のソースドレイン間に電流が流れる。

[0052] チャネルとゲートの間の容量結合によりノードGにかかる電圧はさらに下降する。従って、P形MOSFET112は線形領域にバイアスされる。

[0053] このように、P形MOSFET112のソースドレイン間に電流が流れると、MTJ素子50とMOSFET112を含む電流パスが形成され、MTJ素子50のピン層53からフリー層51に向かう方向へ電流が流れる。また、P形MOSFET111を介して、P形MOSFET112がオフされると、MTJ素子50とP形MOSFET112を含む電流パスは切断されるため、MTJ素子50への電流の供給が停止される。

[0054] 一方、MTJ素子50に逆方向に電流を流す場合、記憶回路200は以下のように動作する。

[0055] 図8Bに示すように、選択制御端子70cから、オン電圧 V_{on} として0Vの電圧が印加される。MOSFET111のゲート側のノードGは、1Vから $|V_{th1}|$ の電圧まで低下する。

[0056] ここで、制御端子70aに印加する電圧 V_{in2} は1Vから0Vに引き下げられる。なお、制御端子70bの電位は1Vとなっているものとする。このときノードGにかかる電圧はP形MOSFET112のしきい値電圧 V_{th2} を超えているので、P形MOSFET112にチャネルが形成されている。従って、P形MOSFET112のドレインからソースに向かって電流が流れる。つまり先ほどとは逆方向の電流が流れる。

[0057] チャネルとゲートの間の容量結合によりノードGにかかる電圧はさらに下降し、P形MOSFET112は線形領域に逆バイアスされる。

[0058] 従って、MTJ素子50とP形MOSFET112を含む電流パスが形成

され、MTJ素子50のフリー層51からピン層53に向かう方向へ電流が流れる。また、P形MOSFET111を介して、P形MOSFET112がオフされると、MTJ素子50とP形MOSFET112を含む電流パスは切断され、MTJ素子50へは電流の供給が停止される。

[0059] このようにして、記憶回路200にあっても、実施形態1と同様に、選択デバイス120が十分な電流を双方向にMTJ素子50に流し、MTJ素子50の平行状態と反平行状態とをスイッチさせることができる。

[0060] なお、図1に示す記憶回路100のMOSFET12のノードGにかかる電圧 V_g は、図6A、図6Bに示すように、1V以上の電位となる。図9に、図6A、図6Bに示した各ノードの電圧変化波形に対応した、 V_g と V_d 、 V_g と V_{in1} 、 V_g と V_{in2} の電位差の時間変化を示す。図9に示すように、 V_g と V_d 、 V_g と V_{in1} 、 V_g と V_{in2} の電位差のいずれも1Vを超えることはない。従って、図1に示す記憶回路100のMOSFET12の絶縁膜の信頼性について問題はない。また、図7に示す記憶回路200のMOSFET112のゲート絶縁膜についても同様である。

[0061] 次に、実施形態に係る選択デバイスの優位性の1つを説明するため、選択デバイスのチャンネル幅について考察する。ここでは、選択デバイスとして、N型MOSFET、P型MOSFET、CMOS、上述の実施形態1で説明した2個のN型MOSFETから構成される選択デバイス10（以下、Boosted NFETと呼ぶ）をそれぞれ採用した場合を比較する。なお、いずれの回路も、10ナノ秒以内に双方向のスイッチングが完了するように構成されている。

[0062] 図10に、比較検討に使用したMTJ素子のモデル（以下、MTJモデルと呼ぶ）のスイッチング特性を示す。このMTJモデルは、図10に示すようなスイッチング特性を有し、平行状態での抵抗値 R_p は1.2k Ω であり、反平行状態での抵抗値 R_{AP} は2.56k Ω である。

[0063] 選択デバイスをそれぞれ、N型MOSFET（以下、適宜NFETとよぶ）、P型MOSFET（以下、適宜PFETと呼ぶ）、CMOSとして、M

MTJ素子をボトムピン構造で接続した回路の、電源電圧 V_{dd} を0.8V～1.2Vまで、0.05Vずつ変化させた場合について、それぞれ電源電圧について選択デバイスのチャンネル幅を測定した。なお、CMOSとBoosted NFE Tについては、2つのチャンネル幅の合計をチャンネル幅とした。

[0064] 図11にシミュレーション結果を示す。縦軸は、チャンネル幅を示し、横軸は、電源電圧 V_{dd} を示す。図11に示すように、Boosted NFE Tのトータルチャンネル幅が最も小さい。従って、小型化、高集積化に有利である。

[0065] 次に、90nmテクノロジーで、選択デバイスを製造し、電源電圧を1Vとした場合に、MTJ素子が平行状態から反平行状態へスイッチするのに要する印加電圧とスイッチングに要する時間とをシミュレーションした。選択デバイスは、NFE T、PFET、CMOS、Boosted NFE Tであり、MTJ素子をボトムピン構造で接続した。MTJ素子として前述のMTJモデルを使用する。

[0066] 図12に示すように、NFE Tを使用した場合、スイッチングに必要な電圧は0.422Vであり、スイッチングに要した時間は、6.5ナノ秒である。PFETを使用した場合、スイッチングに必要な電圧は0.577Vであり、スイッチングに要した時間は、2.6ナノ秒である。CMOSを使用した場合、スイッチングに必要な電圧は0.428Vであり、スイッチングに要した時間は、6.3ナノ秒である。Boosted NFE Tを使用した場合、スイッチングに必要な電圧は0.413Vであり、スイッチングに要した時間は、7.9ナノ秒である。いずれの場合も、10ナノ秒未満でスイッチングさせることが可能であった。

[0067] 同様の構成で、MTJが反平行状態から平行状態へスイッチするのに要する印加電圧とスイッチングに要する時間とをシミュレーションした。

[0068] 図13にシミュレーション結果を示す。NFE Tを使用した場合、スイッチングに必要な電圧は0.920Vであり、スイッチングに要した時間は、

0.9ナノ秒である。P F E Tを使用した場合、スイッチングに必要な電圧は0.331Vであり、スイッチングに要した時間は、8.7ナノ秒である。C M O Sを使用した場合、スイッチングに必要な電圧は0.464Vであり、スイッチングに要した時間は、1.3ナノ秒である。B o o s t e d N F E Tを使用した場合、スイッチングに必要な電圧は0.506Vであり、スイッチングに要した時間は、1.2ナノ秒である。いずれの場合も、10ナノ秒未満でスイッチングさせることが可能であった。このように、実施形態1にかかるB o o s t e d N F E Tを使用した場合、十分なスイッチング速度を得られる。

[0069] 図14A、図14B、図14C、図14Dに、これらのシミュレーションで使用したそれぞれの選択デバイスのレイアウトを示す。各選択デバイスとも、幅は同じく0.74マイクロメートルであるが、B o o s t e d N F E Tを使用した場合、選択デバイスの長さは、2.03マイクロメートルであり、他のデバイスより小さい。つまり、B o o s t e d N F E Tを使用した場合、選択デバイスの面積を最も小さくできる。

[0070] さらに、テクノロジーノード90nmにおける電源電圧とデバイス面積との関係を図15に示す。図示するように、テクノロジーノード90nmにおいて、電源電圧が1.05V以下の場合には、占有面積の点では、B o o s t e d N F E Tが最も優れている。

[0071] さらに、90nmテクノロジーからM O S F E TとともにM T J素子もスケーリングを行う場合のデバイスサイズとパラメータがどのように変化してゆくのかを図16に示す。ここでも、M T J素子は双方向のスイッチングを10ns未満に行えるということを前提にした。なお、M g O（絶縁層）の膜厚は一定とした。

[0072] このときの、スケーリングしたM T J素子を駆動するために必要となるテクノロジーノード別の選択デバイスの占有面積を図17に示す。図17から、テクノロジーノードの90nm世代から32nm世代においては、B o o s t e d N F E Tが最も優れている事が分かる。

[0073] さらに、テクノロジーノードの90nm世代から32nm世代において、MTJ及び選択デバイスを最適化したときの、MTJ素子の直径と選択デバイスのサイズの比を、図18に示す。ここで、MTJ ϕ 、 W_{n1} および W_{n2} は、MTJ素子の直径、本提案のMTJ選択デバイスのドライバ・トランジスタ（大きい方のトランジスタ；図1ではMOSFET12、図7ではMOSFET112）のチャンネル幅および本提案のMTJ選択デバイスのバリア・トランジスタ（小さい方のトランジスタ；図1ではMOSFET11、図7ではMOSFET111）のチャンネル幅をそれぞれ示す。

[0074] この表等から、テクノロジーノードの90nm世代から32nm世代においては、MTJ選択デバイスのドライバ・トランジスタのチャンネル幅とMTJの直径の比（ $W_{n1}/MTJ\phi$ ）およびMTJ選択デバイスのドライバ・トランジスタとバリア・トランジスタのチャンネル幅の比（ W_{n1}/W_{n2} ）が次式を満たすことが望ましいことが分かる。

$$4 \leq W_{n1}/MTJ\phi \leq 15, \quad 2 \leq W_{n1}/W_{n2} \leq 5$$

なお、望ましくは、 $6 \leq W_{n1}/MTJ\phi \leq 12$ 、 $4 \leq W_{n1}/W_{n2} \leq 5$ である。この範囲を外れると、テクノロジーノードの90nm世代から32nm世代において、メモリ素子を構成する各デバイスのサイズ比のバランスが悪化し、無駄が生じ、効率が低下する。

[0075] 次に、上述の実施形態で説明したBoostedNFETの応用例について説明する。図19～図22にBoostedNFETを応用した回路の例を示す。破線で囲まれた部分がBoostedNFETである。

[0076] 図19に示す回路では、BoostedNFETを不揮発性FPGAのクロスバースイッチの一部として使用する例を示す。このような構成とすることにより、不揮発性のFPGAのメモリセルとしてMTJを使用することができる。

[0077] 図20に示す回路では、MTJのフリー層とビットラインBLが接続され、MTJのピン層と接続されている方のMOSFETの一方の端子とソースラインSLが接続され、MTJに直接接続されていない方のMOSFETの

一方の端子とワードラインWLが接続されている。ワードラインWLによりMTJが選択され、ビットラインBLとソースラインSLの間の抵抗値から記憶データが読み出され、ビットラインBLとソースラインSLに印加する電圧が調整されることにより、MTJに流れる電流が制御されて、データが書き込まれる。

[0078] 図21に示す回路は、1個のMTJと1個のMTJの駆動用のMOSFETとから構成されるインバータを2個有し、それぞれのインバータの出力端子とビットライン（またはビットラインバー）BL、／BLとの間に、BoostedNFETが設けられている。

[0079] 図22には、不揮発性ラッチ回路に、BoostedNFETを採用した例を示す。

なお、図19～図22の回路は何れも、機能的には、図5に例示した選択回路102とリード／ライト回路101として動作する部分に接続されている。

[0080] 以上説明したように、本実施の形態によれば、小型でMTJ素子に十分な書き込み電流を流すことができる占有面積の小さい選択デバイスを提供でき、テクノロジーノード90nm以降の選択デバイスとして利用できる。

[0081] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。つまり、本発明の範囲は、実施形態ではなく、請求の範囲によって示される。そして、請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

[0082] 本出願は、2013年9月20日に出願された日本国特許出願2013-196202号に基づく。本明細書中に、この明細書、特許請求の範囲、図面全体を参照として取り込むものとする。

産業上の利用可能性

[0083] 本発明は、磁気トンネル接合素子を用いた記憶回路に適用可能である。

符号の説明

- [0084] 10、110 選択デバイス
- 10a N型のMOSFET
- 10b P型のMOSFET
- 11、12 N型MOSFET
- 50 MTJ素子
- 51 フリー層
- 51a 電極
- 52 絶縁層
- 53 ピン層
- 53a 電極
- 70a、70b、70c 制御端子
- 100、200 記憶回路
- 111、112 P型MOSFET

請求の範囲

[請求項1] 磁気トンネル接合素子と、第1の電界効果トランジスタと、第2の電界効果トランジスタとを備え、

前記第1の電界効果トランジスタのゲートに前記第2の電界効果トランジスタの電流路の一端が接続され、前記第1の電界効果トランジスタの電流路の一端に前記磁気トンネル接合素子の一端が接続され、前記第1の電界効果トランジスタの電流路の他端に第1の制御端子が接続され、前記磁気トンネル接合素子の他端に第2の制御端子が接続され、前記第2の電界効果トランジスタの電流路の他端に第3の制御端子が接続され、

前記第1の電界効果トランジスタの電流路は、前記第1の制御端子と前記第2の制御端子と前記第3の制御端子とのそれぞれに一定の電圧が印加されると、前記第1の制御端子に印加される電圧と前記第2の制御端子に印加される電圧との大小関係に応じた方向に一定の電流が流れる定常状態に達する、

記憶回路。

[請求項2] 前記第3の制御端子に接続された選択回路と、
前記第1の制御端子と前記第2の制御端子とに接続されたリード／ライト回路と、を備え、

前記第2の電界効果トランジスタのゲートには、電源電圧あるいはグラウンド電位レベルの電圧が印加され、

前記磁気トンネル接合素子へのデータの書き込み時に、前記選択回路は、前記第3の制御端子に電源電圧あるいはグラウンド電位レベルの電圧を印加し、前記リード／ライト回路は、前記第1の制御端子と前記第2の制御端子との間に、書き込み電流を流すための電圧を印加して、前記磁気トンネル接合素子を低抵抗状態と高抵抗状態とのうちのいずれかに設定し、

前記磁気トンネル接合素子からのデータの読み出し時に、前記選択

回路は、前記第3の制御端子に電源電圧あるいはグラウンド電位レベルの電圧を印加し、前記リード／ライト回路は、前記第1の制御端子と前記第2の制御端子との間の抵抗を直接又は間接的に測定する、

請求項1に記載の記憶回路。

[請求項3] 前記選択回路が前記第3の制御端子に電源電圧あるいはグラウンド電位レベルの電圧を印加し、続いて、前記リード／ライト回路が前記第1の制御端子と前記第2の制御端子との間に電圧をかけることにより、前記第2の電界効果トランジスタをカットオフさせる、

請求項2に記載の記憶回路。

[請求項4] 前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとが、それぞれN型MOSFET又はP型MOSFETから構成される、

請求項1から3の何れか1項に記載の記憶回路。

[請求項5] 前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとは、テクノロジーノード90nm以降の世代の素子サイズを有し、

電源電圧は、1.05V以下である、

請求項1から4の何れか1項に記載の記憶回路。

[請求項6] 前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとは、テクノロジーノード90nmから32nm世代の素子である、

請求項1から5の何れか1項に記載の記憶回路。

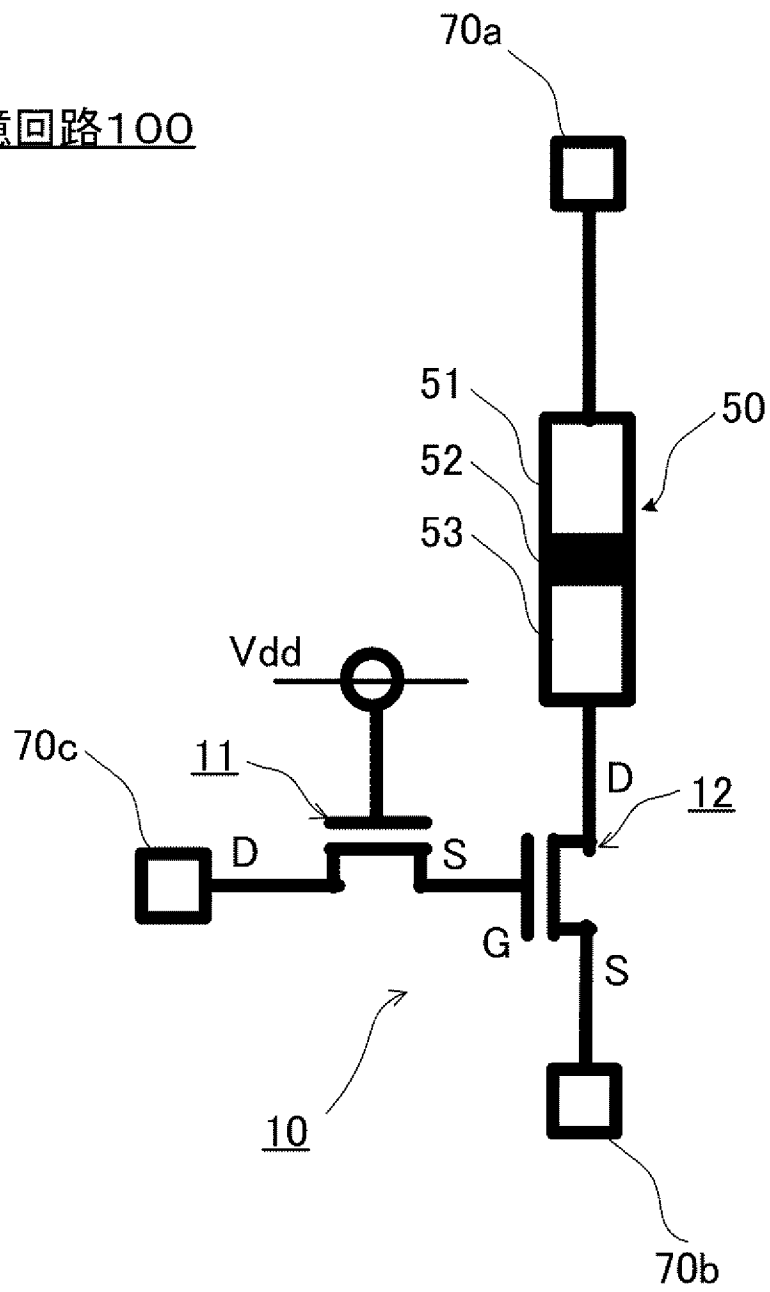
[請求項7] 前記第1の電界効果トランジスタのチャンネル幅と前記磁気トンネル接合素子の直径の比 ($W_{n1} / MTJ\Phi$) および前記第1の電界効果トランジスタと前記第2の電界効果トランジスタのチャンネル幅の比 (W_{n1} / W_{n2}) は、

$$4 \leq W_{n1} / MTJ\Phi \leq 15, \quad 2 \leq W_{n1} / W_{n2} \leq 5$$

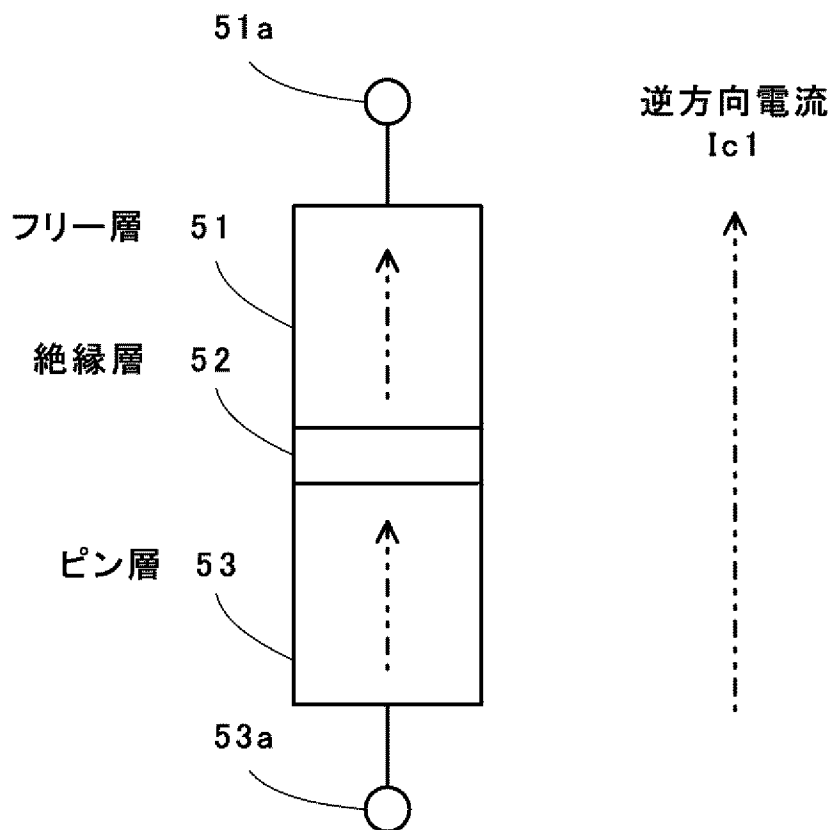
を満たす、

請求項 1 から 6 の何れか 1 項に記載の記憶回路。

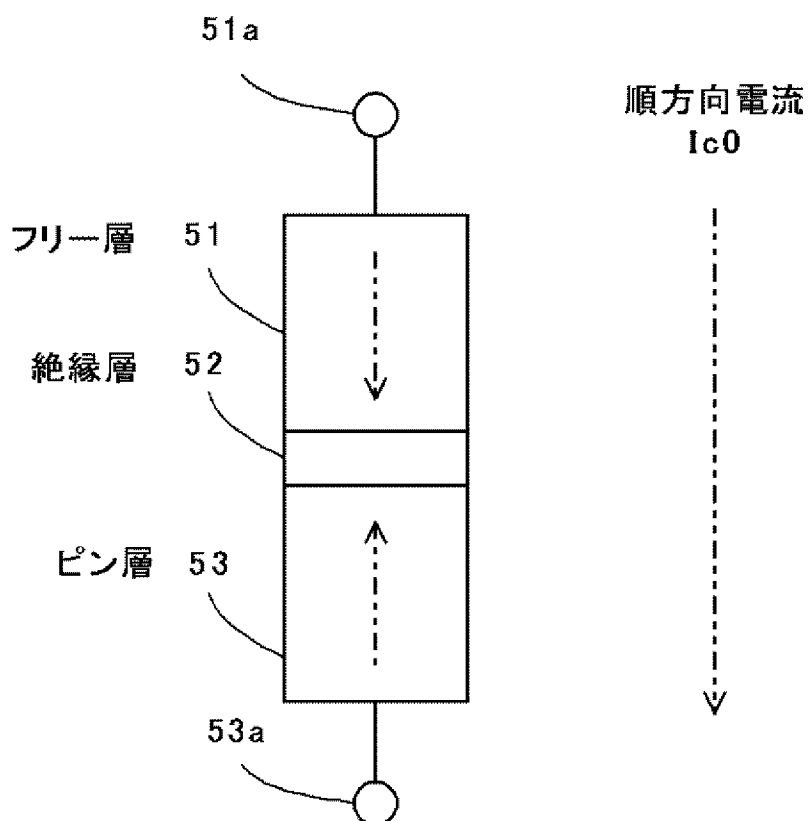
[図1]

記憶回路100

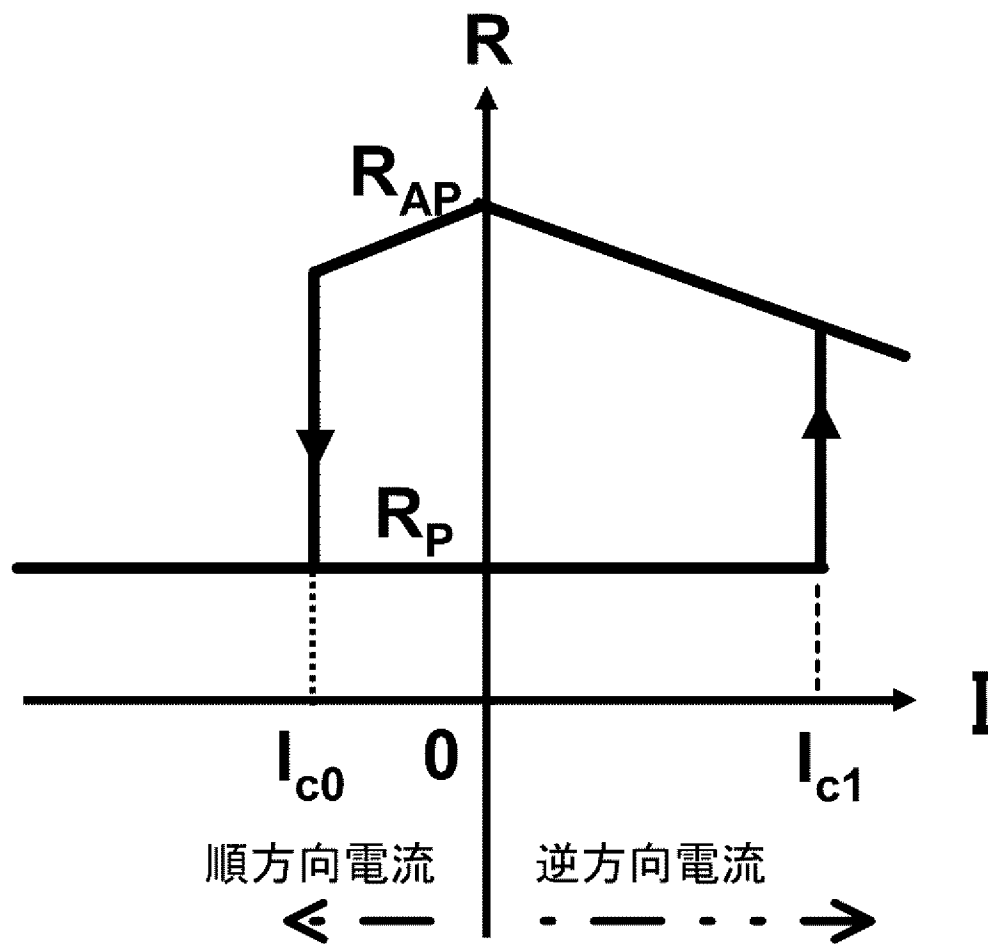
[図2A]



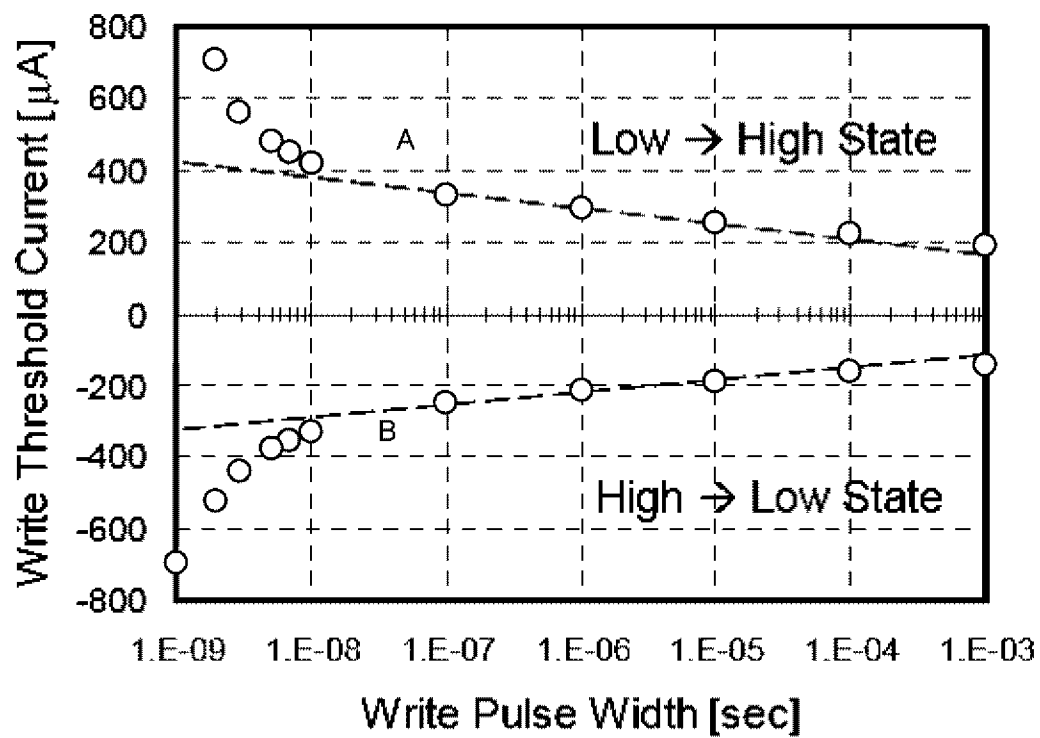
[図2B]



[図3]

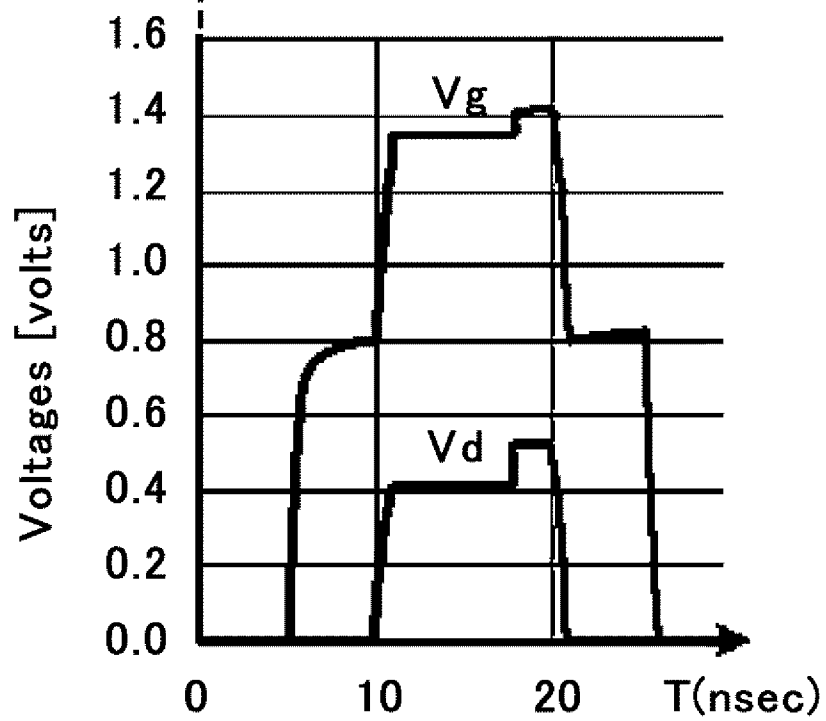
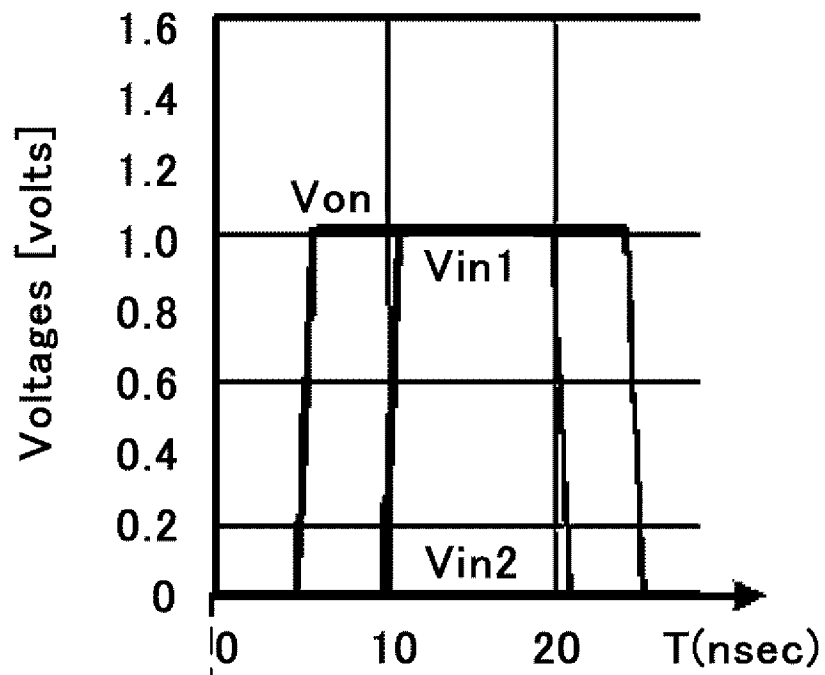


[図4]

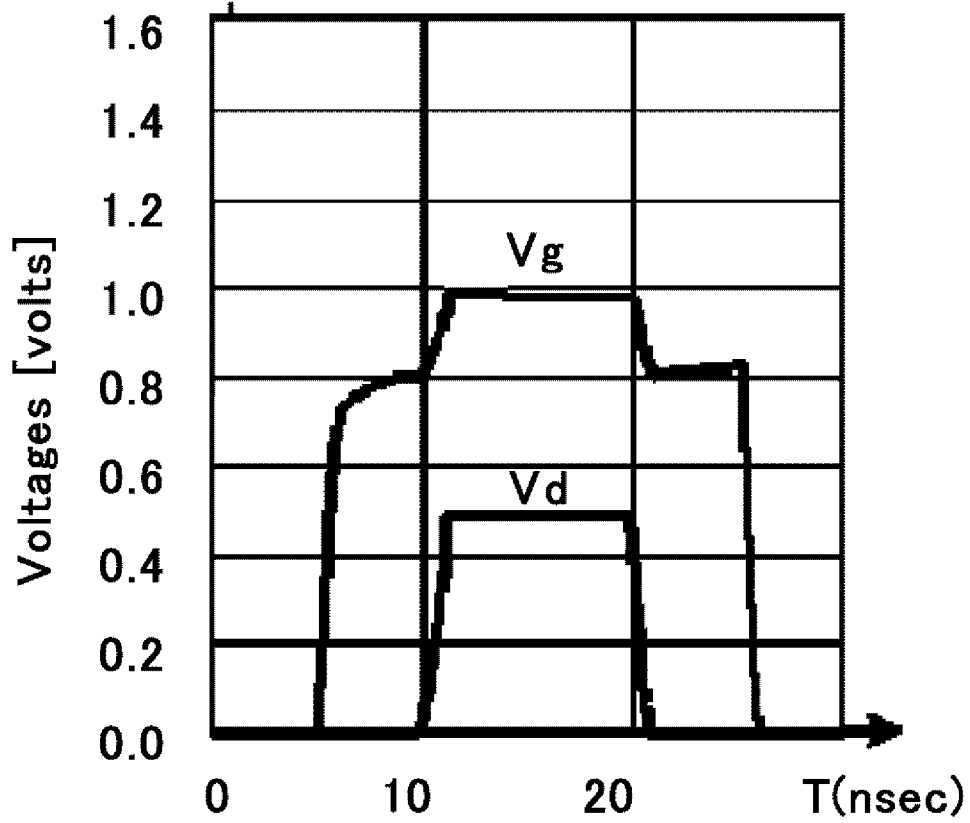
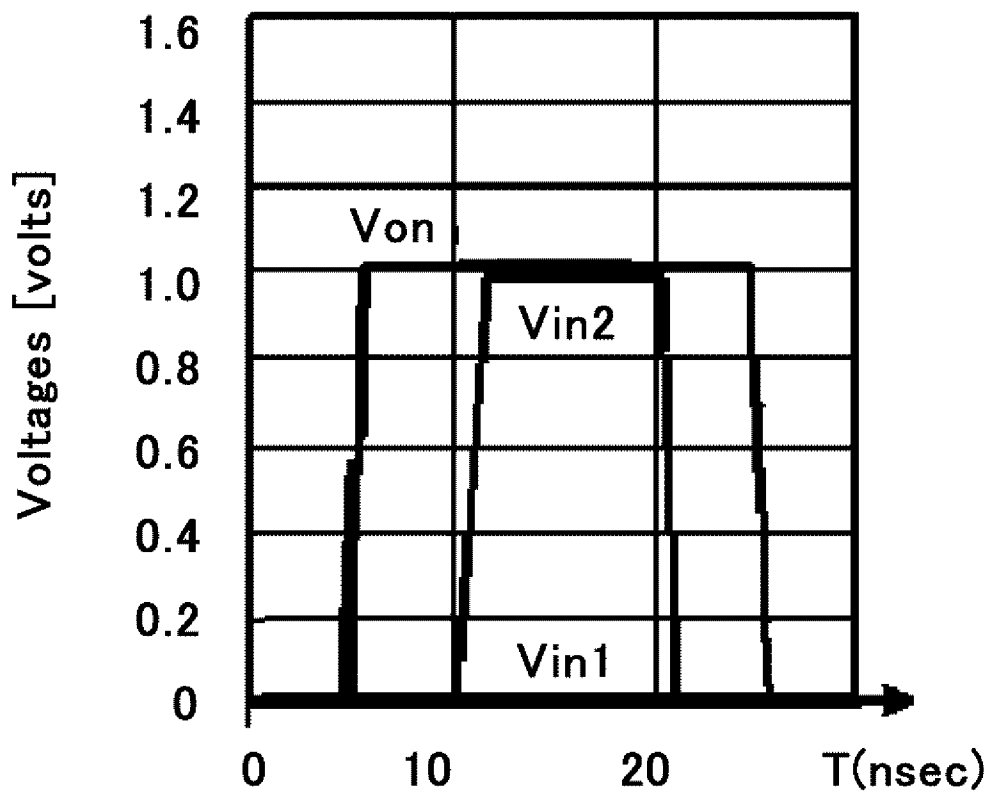


The schematic diagram illustrates a semiconductor device 100. It features a vertical stack of layers: a top layer 70a, a middle layer 50, and a bottom layer 70b. A gate electrode 11 is positioned above the middle layer 50. This gate electrode is electrically connected to a power supply V_{dd} via a resistor 70c. The gate electrode 11 is also connected to a selection circuit 102. The gate electrode 11 is connected to a channel region 12, which is doped with p-type impurities D. The channel region 12 is surrounded by a source region S and a drain region D. The device is connected to input/output terminals Vin1 and Vin2. A read/write circuit 101 is connected to the drain region D. The entire device is labeled 10.

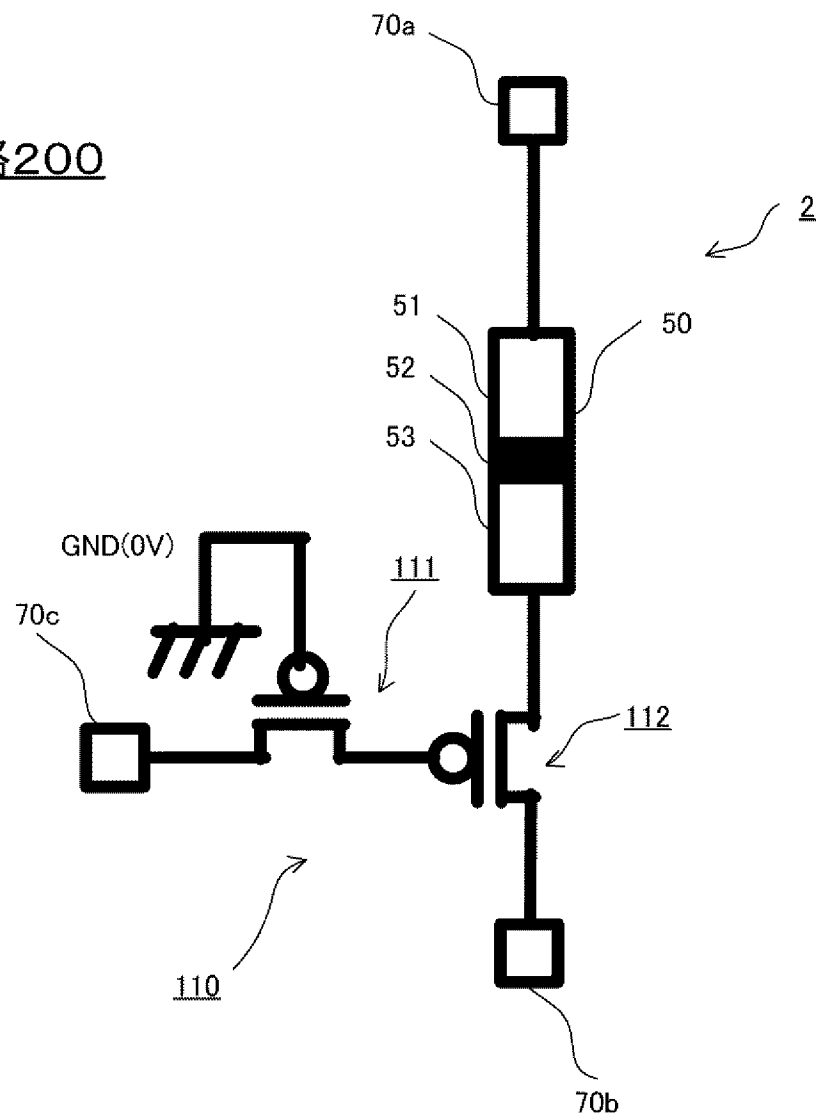
[図6A]



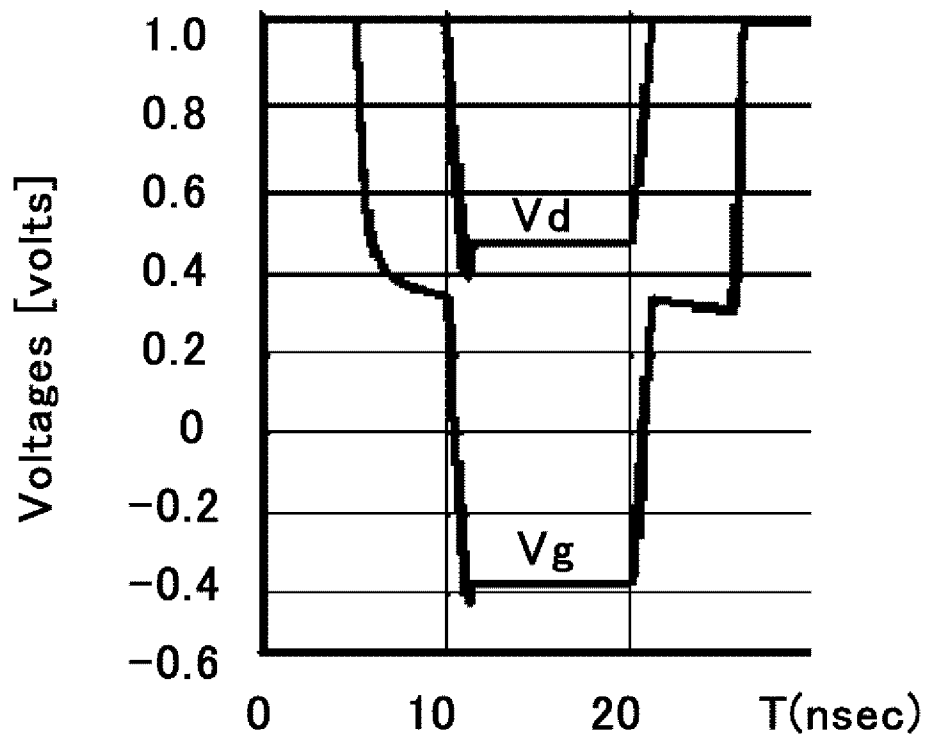
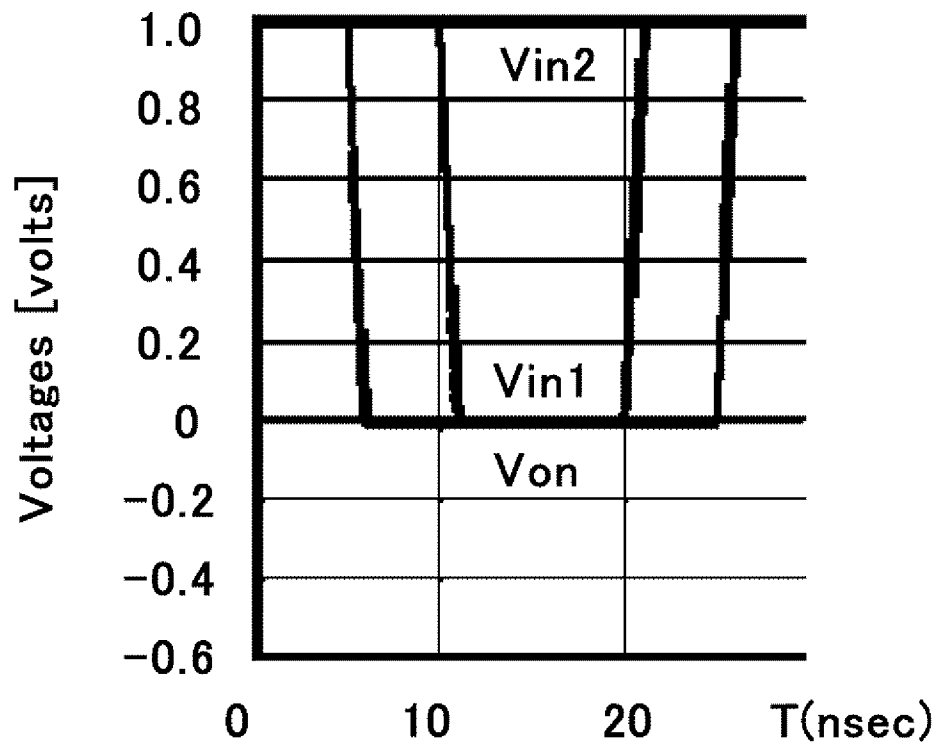
[図6B]



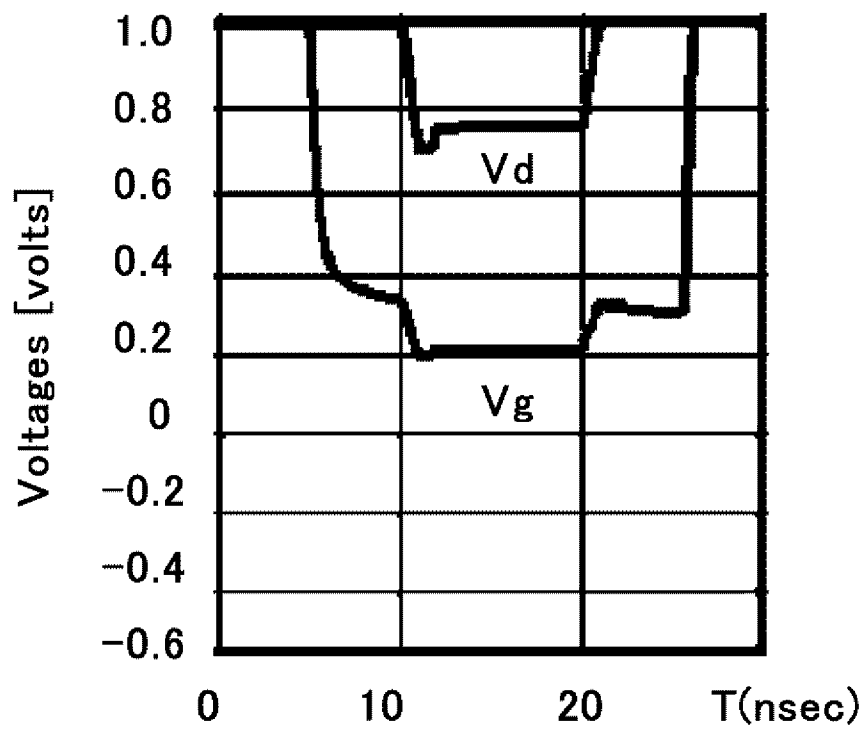
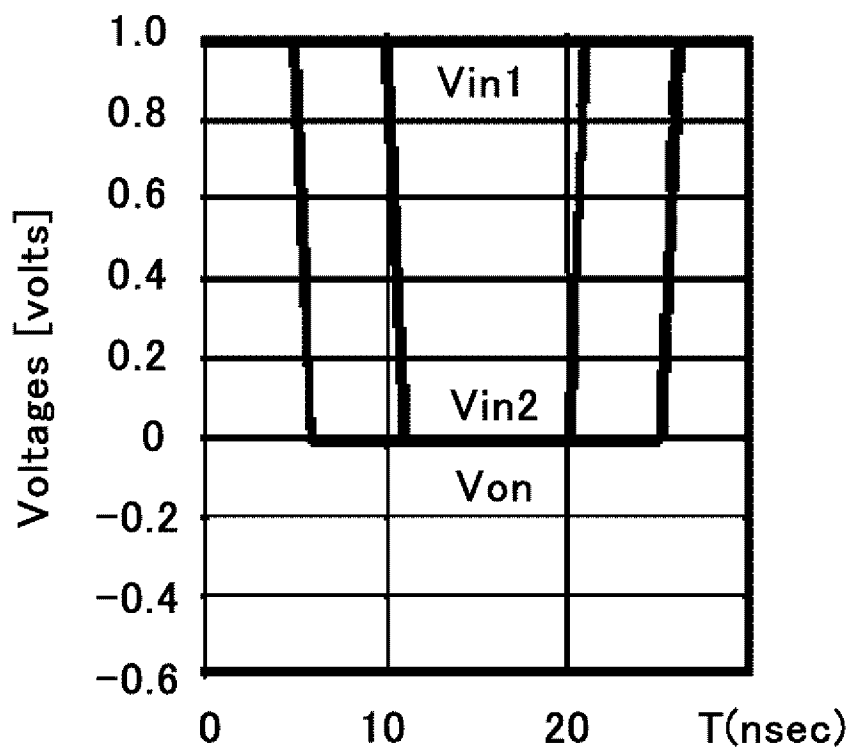
[図7]

記憶回路200

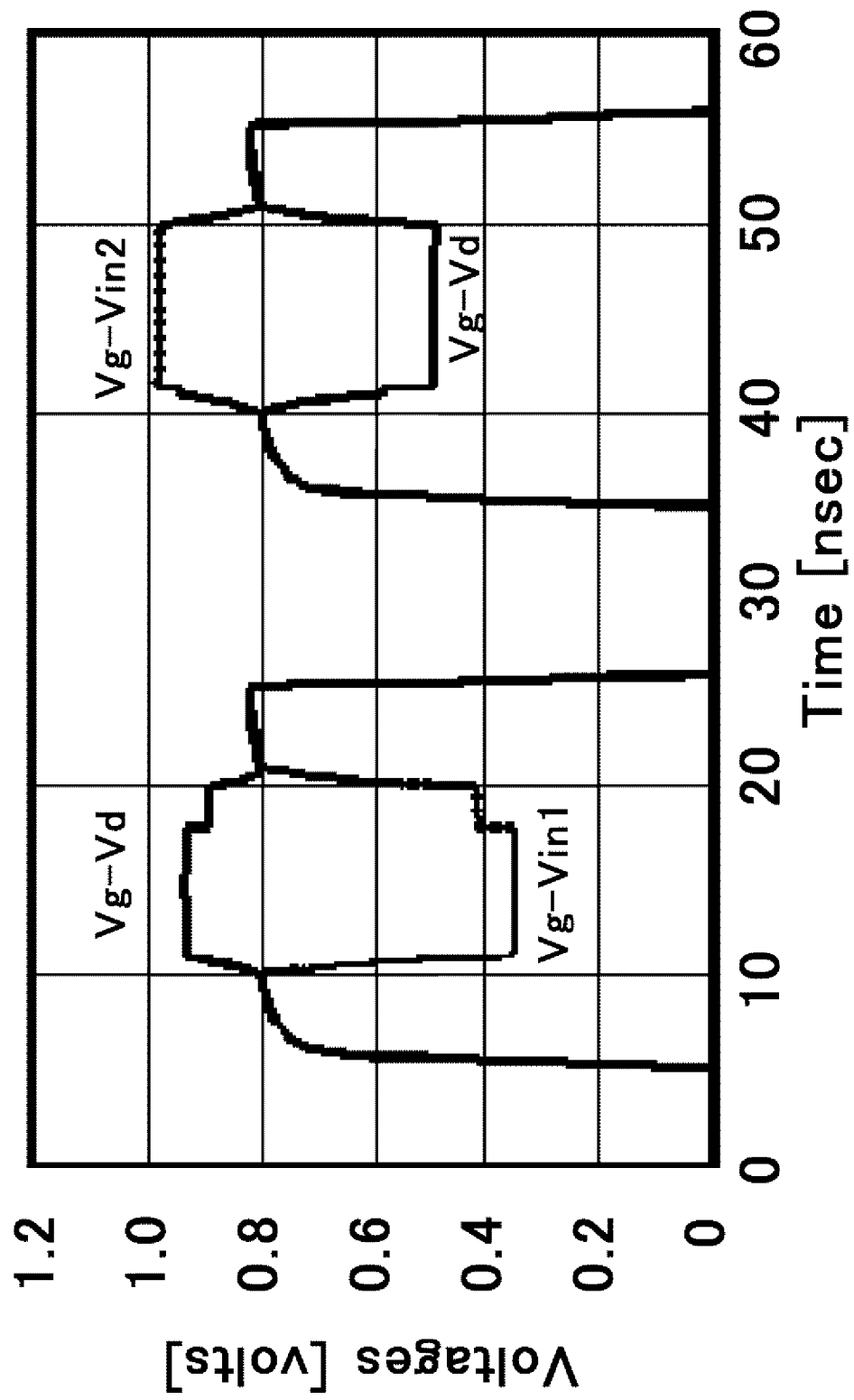
[図8A]



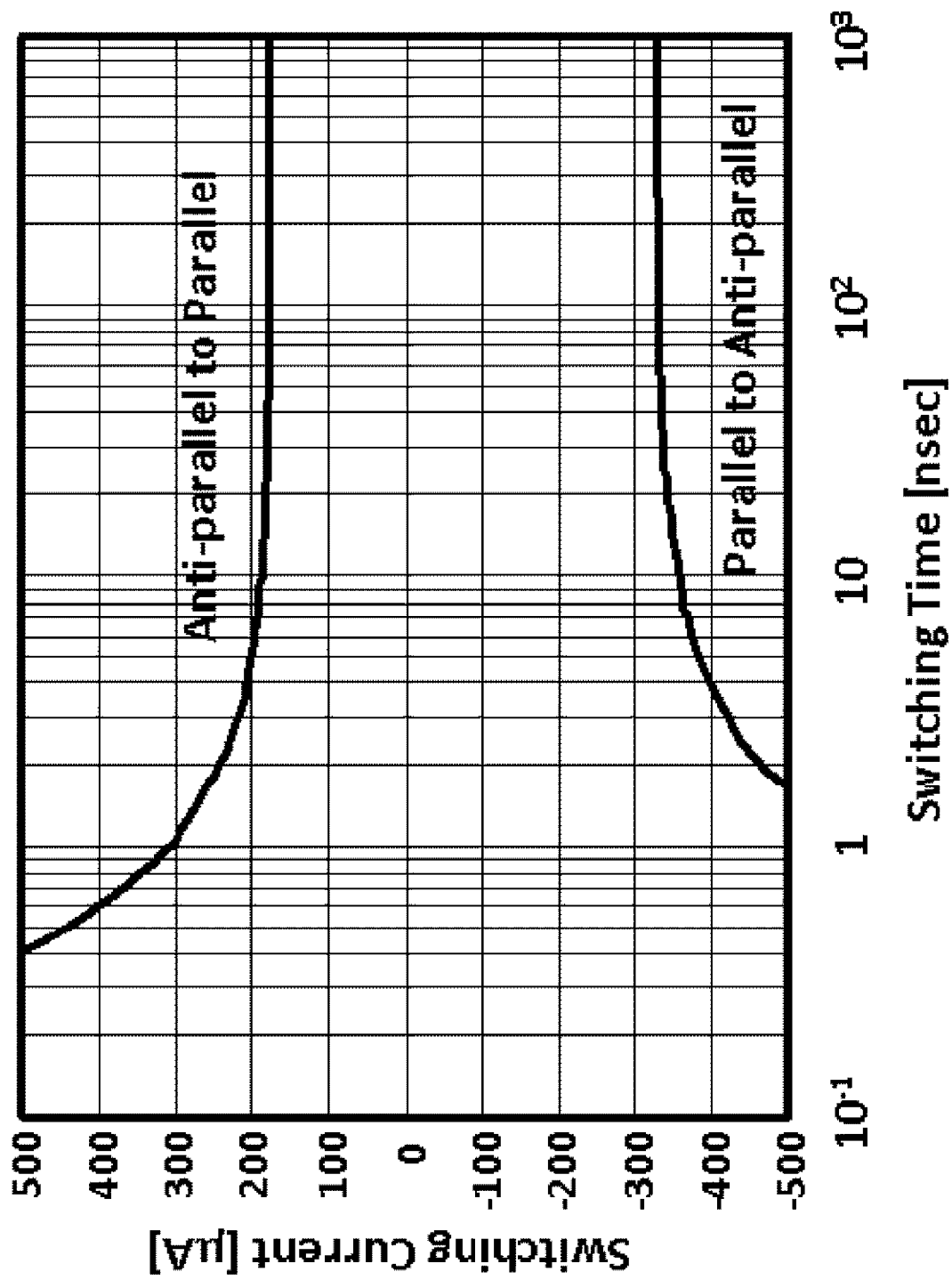
[図8B]



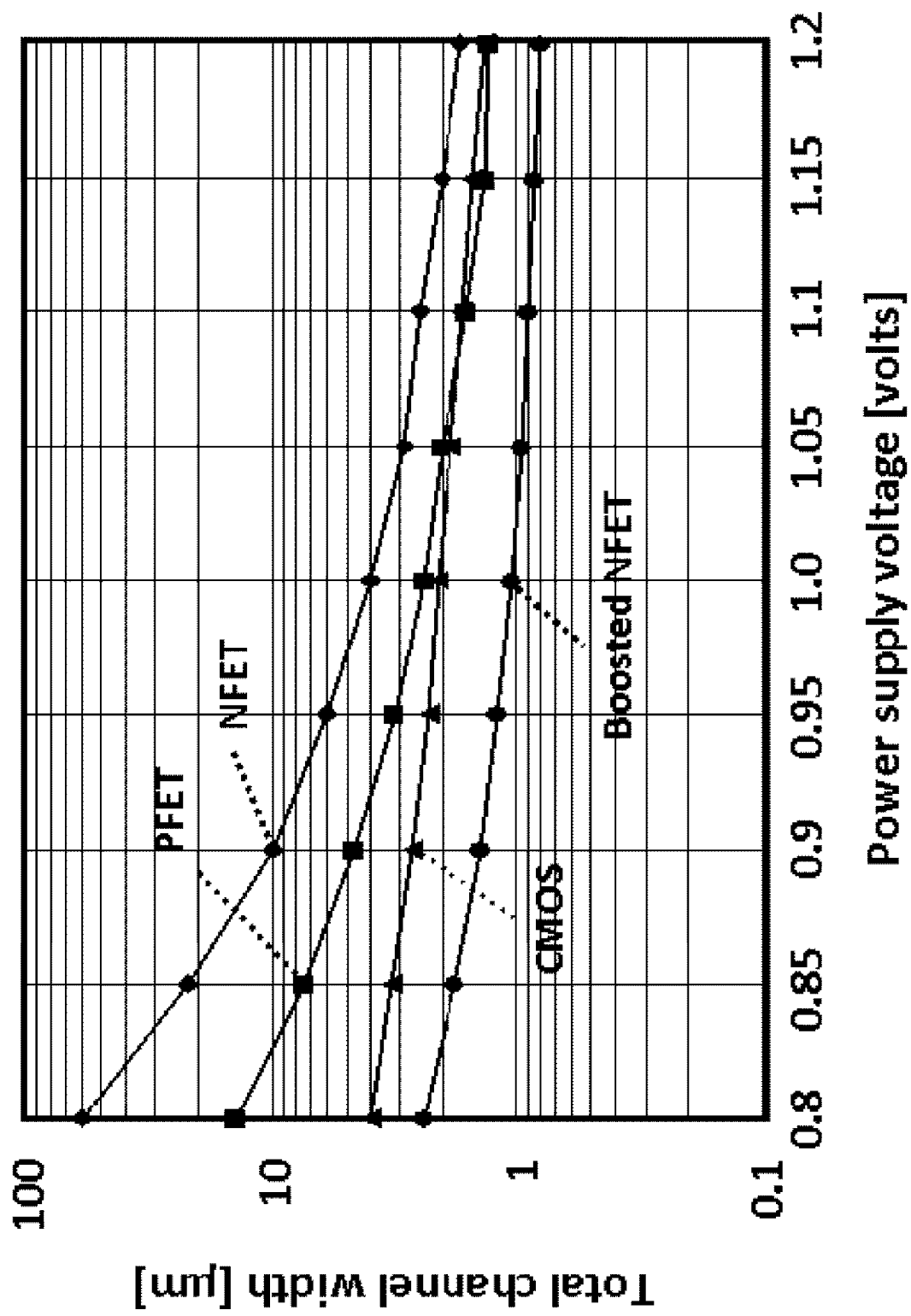
[図9]



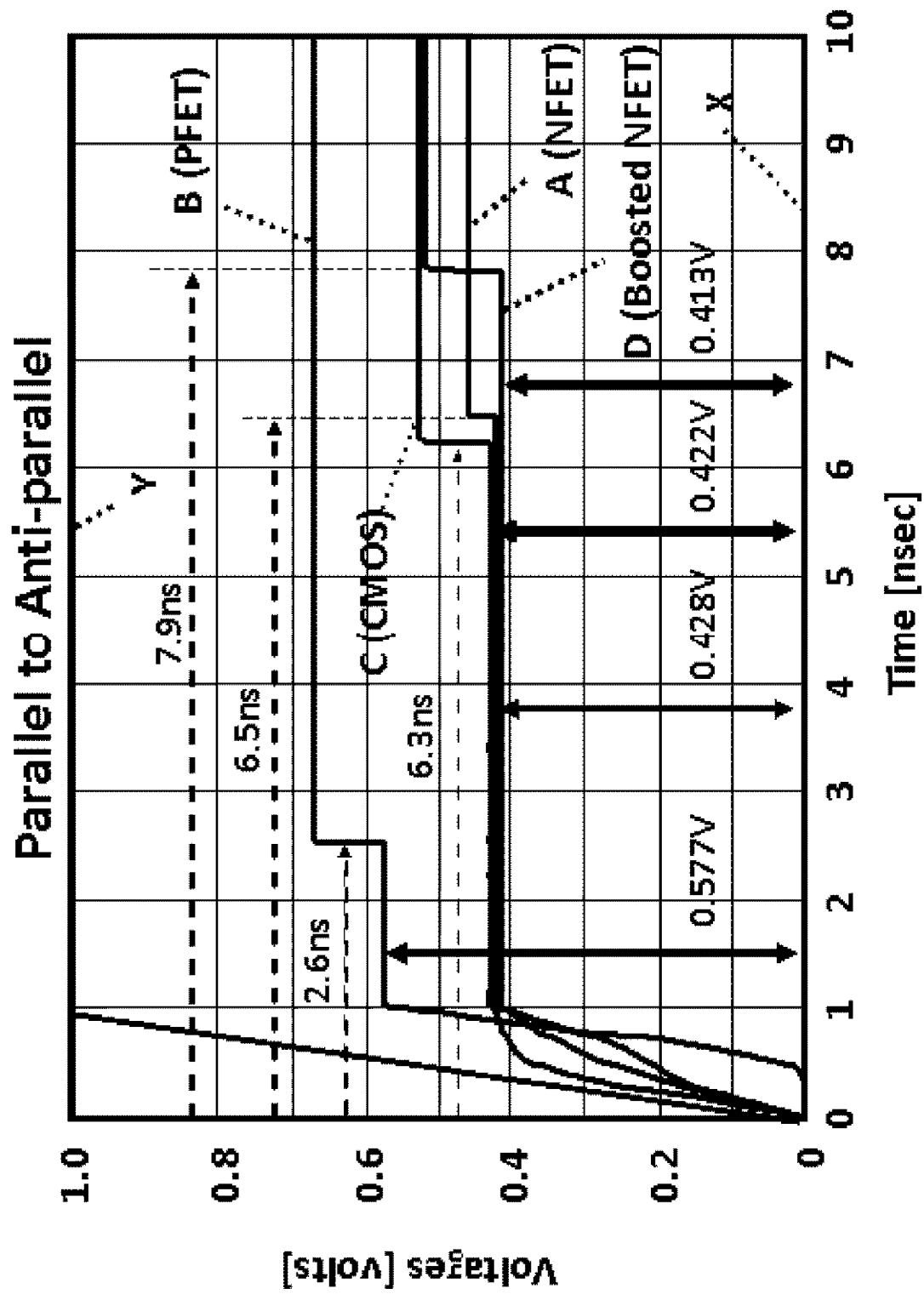
[図10]



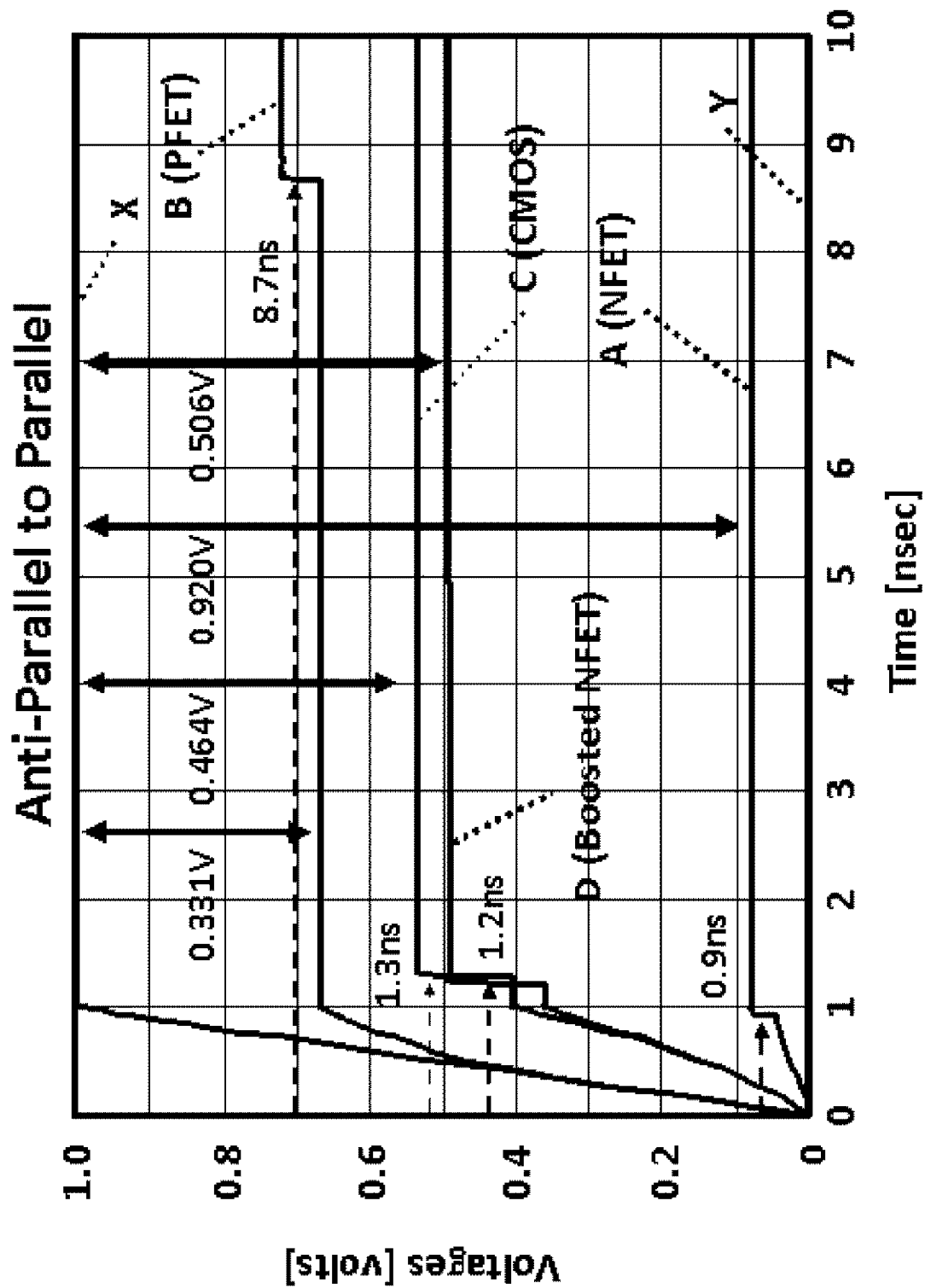
[図11]



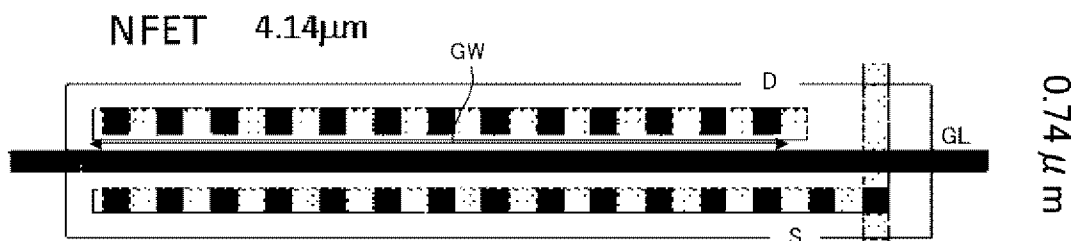
[図12]



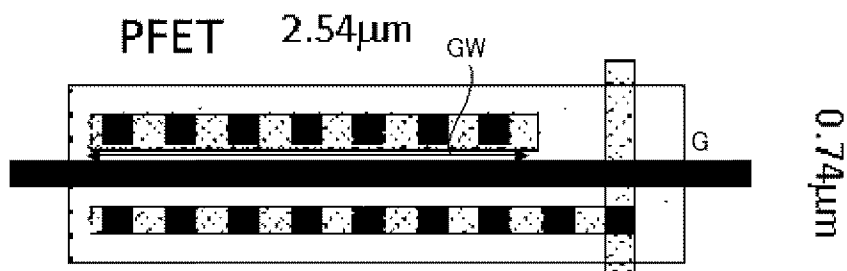
[図13]



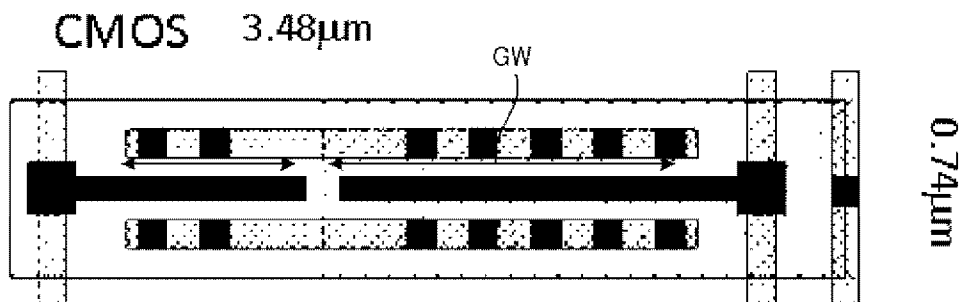
[図14A]



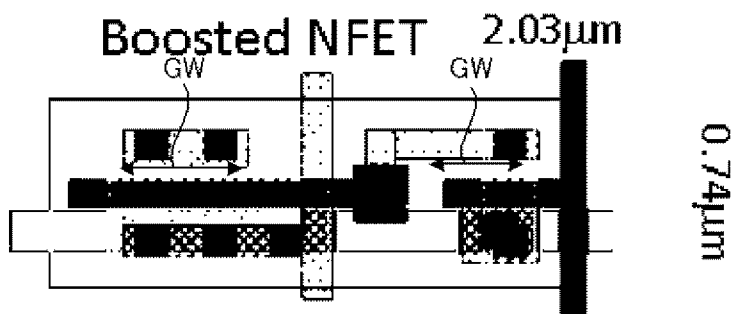
[図14B]



[図14C]

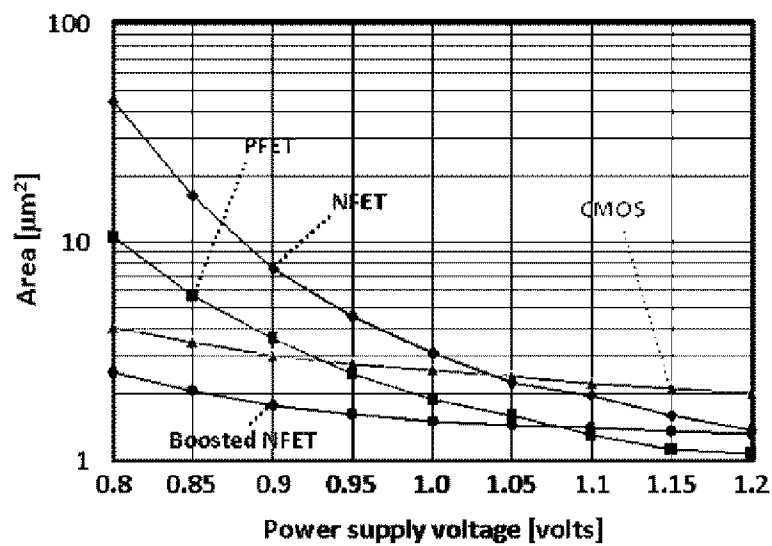


[図14D]



[図15]

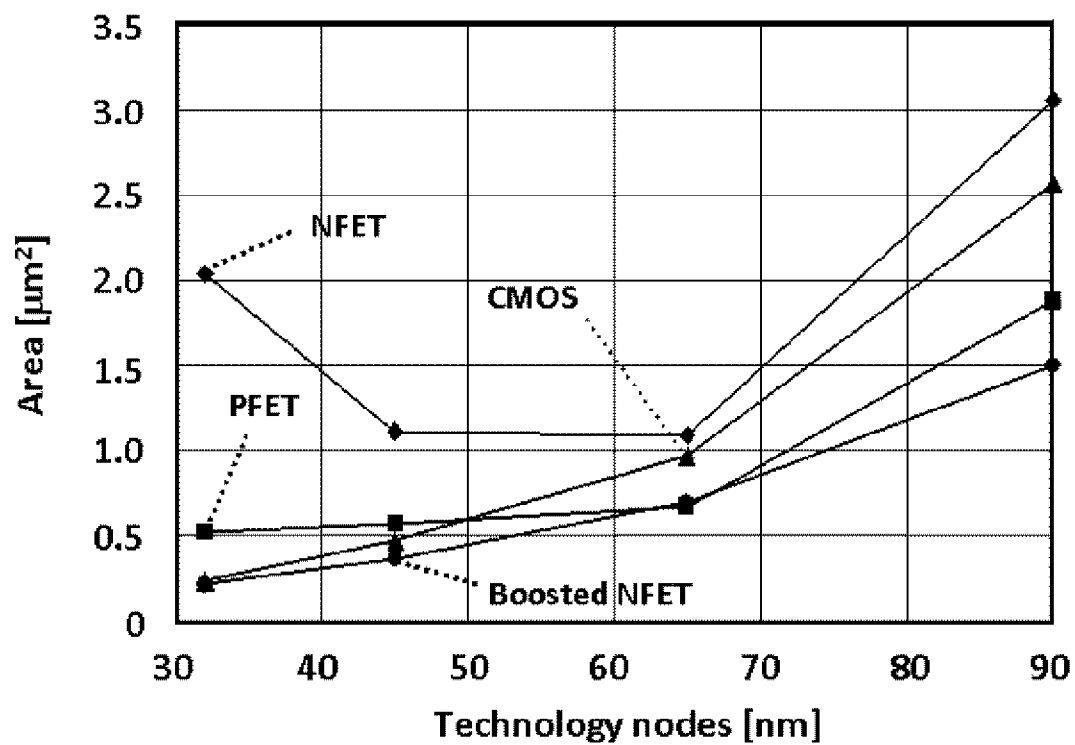
各選択デバイスの面積比較@90nm



[図16]

Technology node [nm]	90	65	45	32
MTJ size [nm ϕ]	100	70	50	35
R _p [k Ω]	1.2	2.4	4.8	9.6
R _{AP} [k Ω]	2.56	5.12	10.24	20.48
I _c (AP $\rightarrow$ P) [μ A]	175	87	44	22
I _c (P $\rightarrow$ AP) [μ A]	330	165	83	42
V _{dd} [V]	1	1	0.9	0.8
L _g [nm]	100	70	50	35

[図17]

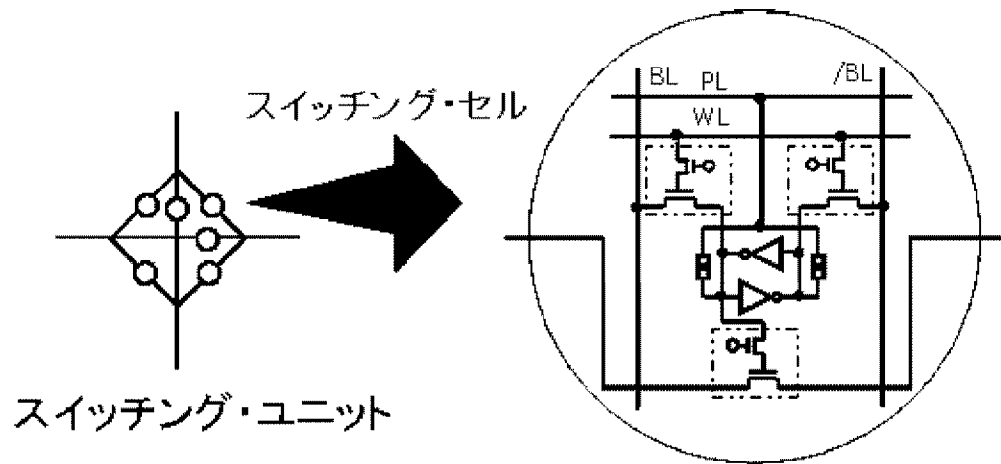


[図18]

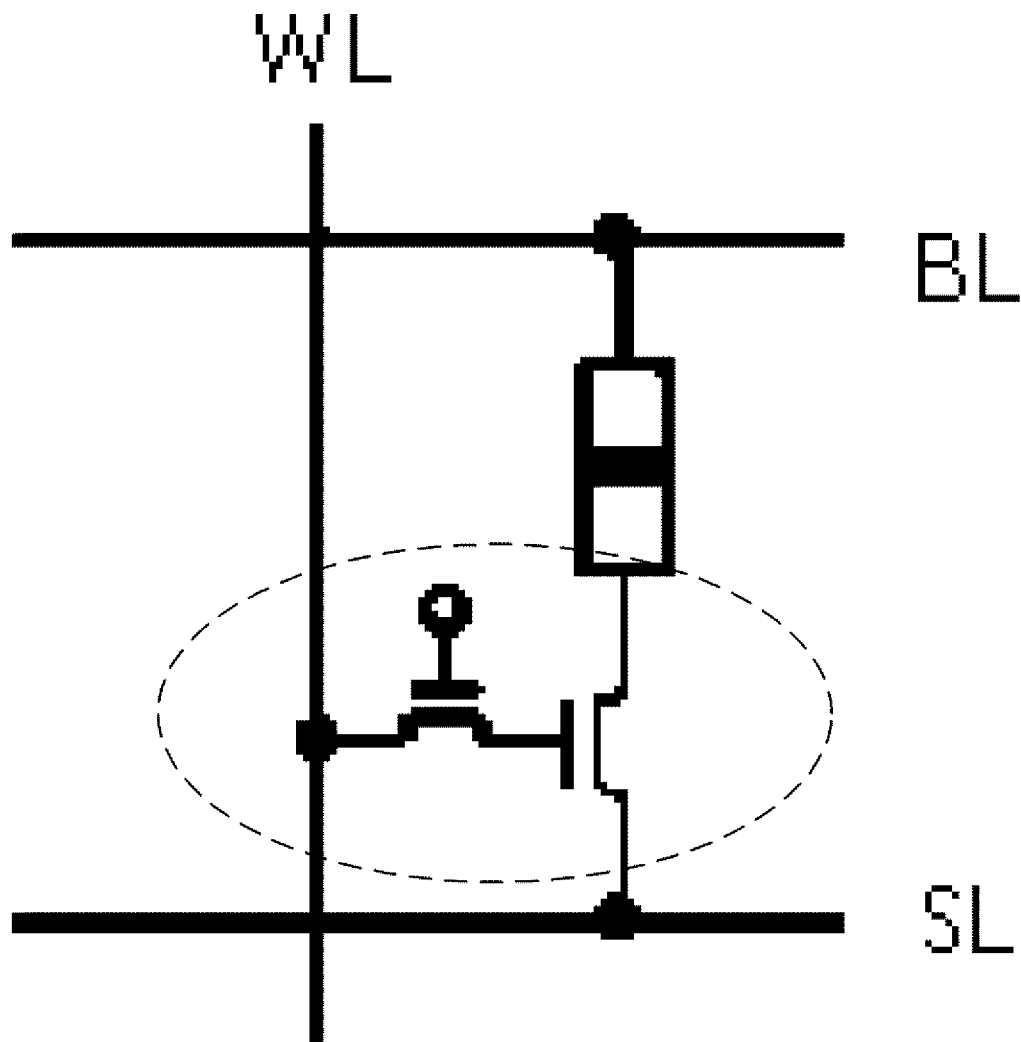
Technology node [nm]	MTJ ϕ [nm]	Wn1 [nm]	Wn2 [nm]	Wn1/MTJ ϕ	Wn1/Wn2
90	100	850	200	8.5	4.3
65	70	500	160	7.1	3.1
45	50	400	130	8.0	3.1
32	35	400	100	11.4	4.0

[図19]

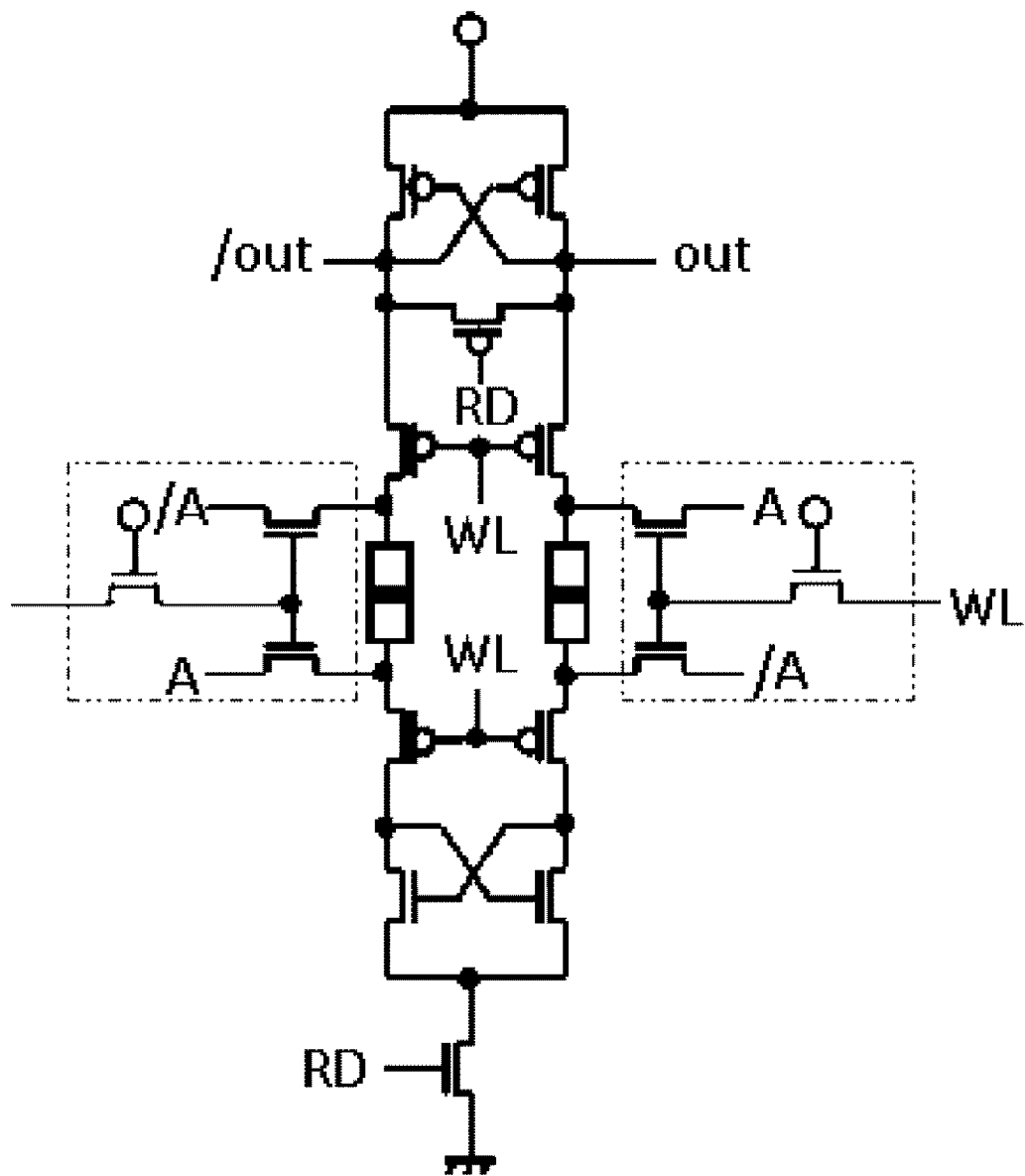
不揮発FPGAのクロスバー・スイッチ



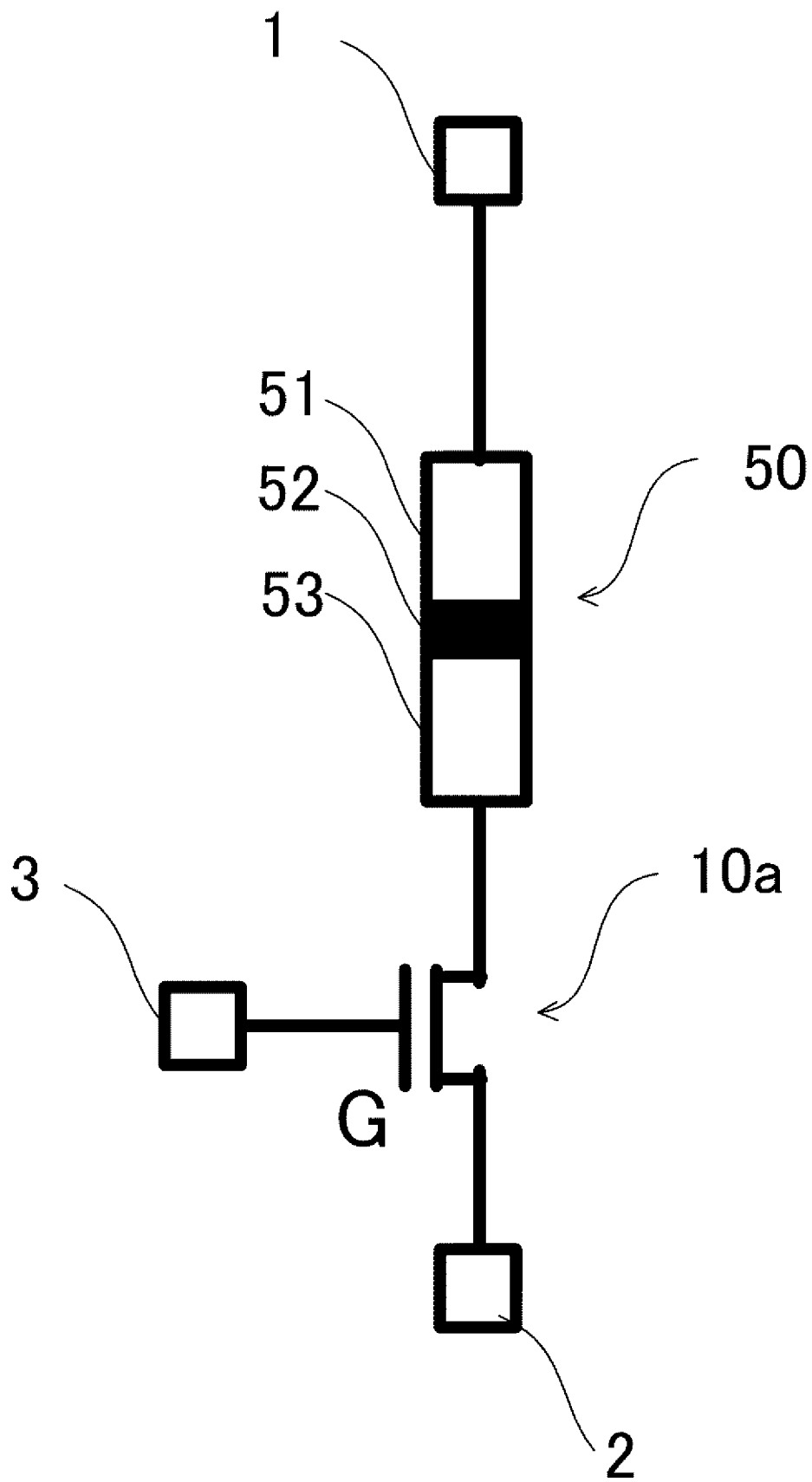
[図20]



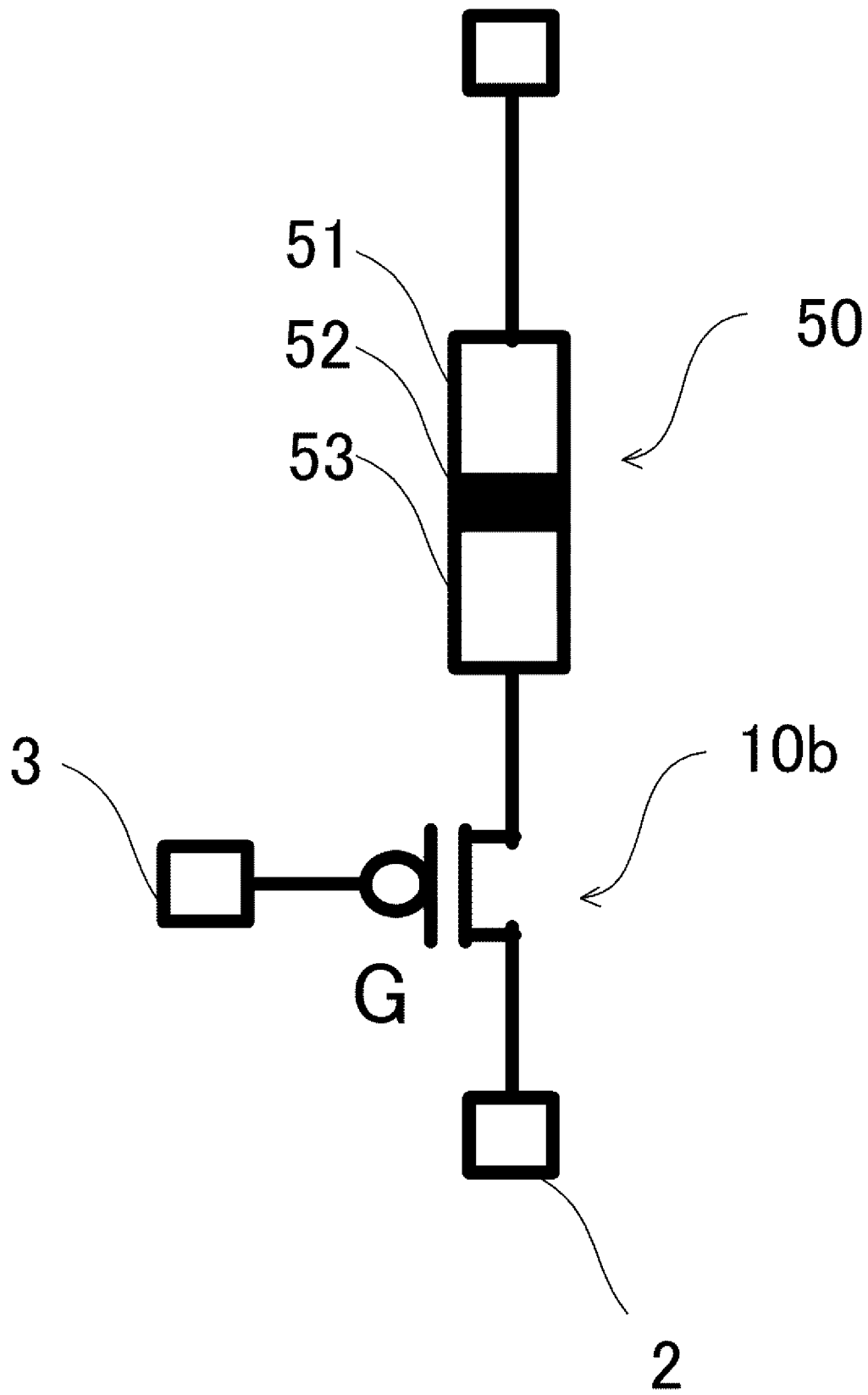
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074740

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-520576 A (Qualcomm Inc.), 10 June 2010 (10.06.2010), paragraph [0011] & US 2008/0219043 A1 & WO 2008/109768 A1 & CA 2677920 A1 & KR 10-2009-0119924 A & CN 101641746 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
17 November, 2014 (17.11.14)

Date of mailing of the international search report
25 November, 2014 (25.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C11/15(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-520576 A（クウアルコム・インコーポレイテッド） 2010.06.10, 【0011】 & US 2008/0219043 A1 & WO 2008/109768 A1 & CA 2677920 A1 & KR 10-2009-0119924 A & CN 101641746 A	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.11.2014

国際調査報告の発送日

25.11.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

滝谷 亮一

5U

3135

電話番号 03-3581-1101 内線 3565