



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월19일
(11) 등록번호 10-1009397
(24) 등록일자 2011년01월12일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/265 (2006.01)

H01L 21/324 (2006.01)

(21) 출원번호 10-2008-0090804

(22) 출원일자 2008년09월16일

심사청구일자 2008년09월16일

(65) 공개번호 10-2010-0031921

(43) 공개일자 2010년03월25일

(56) 선행기술조사문헌

KR1020060077040 A*

KR1020060079418 A*

JP08046147 A

KR1020050108197 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

홍지호

경기 화성시 병점동 느치미마을 주공뜨란채아파트
303동 503호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 5 항

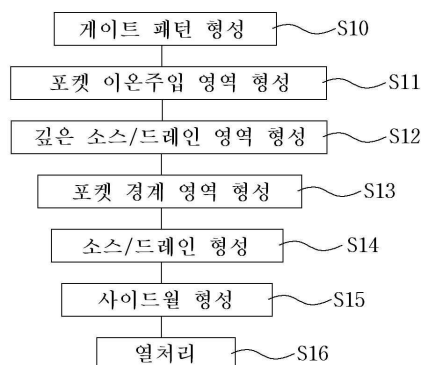
심사관 : 정두한

(54) 반도체 메모리 소자 제조 방법

(57) 요약

본 발명은 반도체 기술에 있어서, 특히 보다 향상된 집합 브레이크다운 전압(enhanced junction breakdown voltage) 특성을 갖는 반도체 메모리 소자의 제조 방법에 관한 것으로, 90nm NOR형 플래시 메모리 제품에 최적으로 적용될 수 있으며, 반도체 기판 상의 셀(Cell) 영역에 게이트 패터를 형성하는 단계와, 상기 게이트 패터 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계와, 상기 게이트 패터 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계와, 상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계와, 상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계와, 상기 게이트 패터 양측벽에 사이드월(sidewall)을 형성하는 단계 그리고 상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 것이 특징인 발명이다.

대표도 - 도2



특허청구의 범위

청구항 1

반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계;

상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계;

상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계;

상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계;

상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계; 그리고

상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 2

반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계;

상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계;

상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계;

상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계;

상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계; 그리고

상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 3

반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계;

상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계;

상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계;

상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계;

상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계; 그리고

상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 4

제 1 내지 3 항 중 어느 하나의 항에 있어서, 상기 포켓 경계 영역의 형성에 사용되는 불순물 이온으로 BF_2 (불화붕소)또는 B(붕소)을 이용하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 5

제 1 내지 3 항 중 어느 하나의 항에 있어서, 상기 포켓 경계 영역을 틸트 이온주입(Tilt implant)으로 형성하

는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

명세서

발명의 상세한 설명

기술 분야

본 발명은 반도체 기술에 관한 것으로서, 특히 보다 향상된 접합 브레이크다운 전압(enhanced junction breakdown voltage) 특성을 갖는 반도체 메모리 소자의 제조 방법에 관한 것이다.

배경 기술

일반적으로 NOR형 플래시 메모리는 공통 소오스(common source) 방식을 사용하고 있다. 즉, 16개의 셀마다 1개의 콘택(contact)이 형성되며, 이 16개의 셀의 소오스 라인(source line)은 확산층(diffusion layer)로 연결된 구조이다.

최근에는 NOR형 플래시 메모리의 사이즈가 축소되면서 통상적으로 유효 게이트 길이(effective gate length)는 감소하였으나 그와 관련하여 쏿 채널 효과(SCE:Short Channel Effect) 문제가 대두되었다.

즉, 유효 게이트 길이의 감소에 따라 기존에 비해 통상적으로 낮은 임계 전압(Vt: threshold voltage)을 가지며 또한 증가된 구동 전류(drive current)를 갖게 되었다. 그러나 원하지 않는 소스-드레인(source-drain)간 채널 영역의 펀치-쓰루(punch-through)에 대한 위험 요소가 증가하는 문제가 생겼다.

그러한 문제를 방지하기 위해서는 소스 및 드레인 영역에 대해 포켓 임플란트 공정(pocket implant process)을 도입하거나 또는 낮은 임계 전압(Vt)을 올려주기 위해 채널 형성을 위한 임플란트(channel implant) 공정에서 보론(B) 등의 불순물의 농도를 증가시켰다.

그러나 포켓 임플란트 공정(pocket implant process)의 도입이나 채널 형성을 위한 임플란트 공정에서의 불순물 농도를 증가시키는 방안은, 벌크(bulk)에 대한 소스 및 드레인 영역의 접합 브레이크다운 전압(junction Break down Voltage) 특성을 저하시키는 원인으로 작용하였다. 예를 들어, 0.13um NOR형 플래시 메모리 제품의 경우, 6V 이상의 접합 브레이크다운 전압(junction BV) 수준을 보이지만 90nm NOR형 플래시 메모리 제품의 경우는 쏿 채널 효과(SCE)를 극복하기 위해 전술된 소스 및 드레인 영역에 대한 포켓 임플란트 공정(pocket implant process)을 도입하거나 채널 형성을 위한 임플란트 공정의 조건으로써 채널 형성에 사용되는 불순물(예: 붕소)의 도즈(dose)량을 약 2배 정도 증가시킨다. 그에 따라, 90nm NOR형 플래시 메모리 제품은 0.13um NOR형 플래시 메모리 제품에 비해 약 1볼트[V] 가량 낮은 5V 수준의 접합 브레이크다운 전압(junction BV) 특성을 보이고 있다.

표 1

	NOR형 플래시 메모리 제조 공정 조건	
	0.13um	90nm
유효 게이트 길이	~ 110nm	~ 60nm
채널 형성을 위한 포켓 임플란트 공정	비적용	적용
셀의 접합 브레이크다운 전압	6.5볼트	5.5볼트

상기 표 1은 전술된 두 NOR형 플래시 메모리 제조 공정의 특징을 비교한 것이다.

결국, 쏿 채널 효과(SCE)를 효과적으로 방지하면서도 접합 브레이크다운 전압(junction BV) 특성은 좋게 하는 공정 조건은 매우 중요하다.

발명의 내용

해결 하고자하는 과제

본 발명의 목적은 상기한 점들을 감안하여 안출한 것으로, 쏿 채널 효과(SCE)를 효과적으로 방지하면서도 셀 영역의 접합 브레이크다운 전압(junction BV) 특성은 저하시키지 않은 반도체 메모리 소자 제조 방법을 제공하는

데 있다.

과제 해결수단

- [0011] 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 소자 제조 방법의 일 특징은, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계와, 상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계와, 상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계와, 상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계와, 상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계 그리고 상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계로 이루어지는 것이다.
- [0012] 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 소자 제조 방법의 다른 특징은, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계와, 상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계와, 상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계와, 상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계와, 상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계 그리고 상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계로 이루어지는 것이다.
- [0013] 상기한 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 소자 제조 방법의 또 다른 특징은, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴 하부 일측의 상기 반도체 기판에 포켓 이온주입으로 포켓 이온주입 영역을 형성하는 단계와, 상기 게이트 패턴 양측의 상기 반도체 기판에 불순물 이온주입으로 깊은 소스/드레인 영역을 형성하는 단계와, 상기 깊은 소스/드레인 영역보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역을 형성하는 단계와, 상기 게이트 패턴 양측벽에 사이드월(sidewall)을 형성하는 단계와, 상기 사이드월(sidewall)의 경화를 위한 열처리를 진행하는 단계 그리고 상기 포켓 경계 영역까지 상기 포켓 경계 영역과 다른 특성을 갖는 금속성 재질을 이온주입하여 소스/드레인을 형성하고, 상기 포켓 경계 영역에 의해 상기 깊은 소스/드레인 영역, 포켓 이온 주입 영역 및 소스/드레인 영역이 구분되는 단계로 이루어지는 것이다.

효과

- [0014] 본 발명에 따르면, 쏜 채널 효과(SCE)를 효과적으로 방지하면서도 셀 영역의 접합 브레이크다운 전압(junction BV) 특성은 저하시키지 않는다.
- [0015] 특히, 본 발명을 90nm NOR형 플래시 메모리 제품에 적용함으로써, 그의 성능 및 수율 향상을 도모할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0016] 본 발명의 다른 목적, 특징 및 이점들은 첨부한 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.
- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예의 구성과 그 작용을 설명하며, 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시 예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.
- [0018] 이하, 첨부한 도면을 참조하여 본 발명에 따른 반도체 메모리 소자 제조 방법의 바람직한 실시 예를 자세히 설명한다. 특히, 이하 설명되는 반도체 메모리 소자 제조 방법은 90nm NOR형 플래시 메모리 제품에 최적으로 적용될 수 있다.
- [0019] 본 발명에서는 게이트 패턴의 사이드월(sidewall)에 대한 경화를 위해 진행되는 열처리 이전에 포켓 경계 영역을 형성하는 것이다. 상기 포켓 경계 영역은 틸트 이온주입(Tilt implant)으로 형성되는 것으로, 게이트 패턴 양측의 반도체 기판 내에 높은 원자량의 재질을 경사지게 이온주입하여 형성되는 비정질화된 경계(barrier) 영역이다.

- [0020] [제1 실시 예]
- [0021] 도 1은 본 발명에 따른 반도체 메모리 소자 구조를 나타낸 단면도이고, 도 2는 본 발명의 제1 실시 예에 따른 반도체 메모리 소자 제조 절차를 나타낸 흐름도이다.
- [0022] 도 1 및 2를 참조하면, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴(10)을 형성한다(S10). 상기 게이트 패턴(10)은 최하부에 산화물의 터널막(tunnel layer)을 포함하며, 그 터널막 상에 적층된 플로팅 게이트(floating gate), ONO(Oxide-Nitride-Oxide)막 및 컨트롤 게이트(control gate)를 포함한다.
- [0023] 상기 게이트 패턴(10) 형성 이후에 그 게이트 패턴(10)과 오버랩되도록 그 게이트 패턴(10)의 하부까지 포켓 이온주입하여 반도체 기판에 포켓 이온주입 영역(30)을 형성한다(S11). 여기서, 포켓 이온주입 영역(30)은 이후에 형성되는 소스/드레인(source/drain)(60)간 채널 영역의 펀치-쓰루(punch-through)를 방지하기 위한 것으로, 도 1에 도시된 바와 같이 게이트 패턴(10)의 하부 일측에 형성된다.
- [0024] 이어, 게이트 패턴(10)의 양측의 반도체 기판에 높은 이온주입 에너지로 불순물을 이온주입하여 깊은 소스/드레인 영역(40)을 형성한다(S12).
- [0025] 이어, 깊은 소스/드레인 영역(40)보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역(50)을 형성한다(S13). 진술된 바와 같이, 포켓 경계 영역(50)은 틸트 이온주입(Tilt implant)으로 형성되며, 게이트 패턴(10) 양측의 반도체 기판 내에 높은 원자량의 재질을 경사지게 이온주입하여 형성된다. 포켓 경계 영역(50)의 형성 시에는 불순물 이온으로 비금속성의 BF_2 (불화붕소)또는 B(붕소)을 이용하며, 틸트 이온주입은 15도 경사지게 진행하되, 그 15도를 기준으로 -10도 내지 +10도까지 변경가능하다.
- [0026] 이어, 상기 형성된 포켓 경계 영역(50)까지 불순물을 이온주입하여 게이트 패턴(10) 양측에 소스/드레인(60)을 형성한다(S14). 소스/드레인은 포켓 경계 영역(50)과 다른 특성을 갖는 즉, 금속성 재질을 이온주입하여 형성된다.
- [0027] 상기한 포켓 이온주입 또는 일반적인 이온주입이 완료된 후에, 게이트 패턴(10) 양측벽에 사이드월(sidewall)(20)을 형성한다(S15).
- [0028] 그리고, 그 사이드월(sidewall)(20)의 경화를 위해 반도체 기판 전체에 대한 열처리를 진행한다(S16).
- [0029] [제2 실시 예]
- [0030] 도 1은 본 발명에 따른 반도체 메모리 소자 구조를 나타낸 단면도이고, 도 3은 본 발명의 제2 실시 예에 따른 반도체 메모리 소자 제조 절차를 나타낸 흐름도로써, 도 2의 경우에 대비하여 사이드월(20)을 포켓 경계 영역(50)의 형성 이전에 형성하며, 그 포켓 경계 영역(50) 형성 이후에 사이드월(20)의 경화를 위한 열처리를 진행하는 것이다. 그리고 그 열처리 후에 소스/드레인 영역(60)을 형성하는 예이다.
- [0031] 도 1 및 3을 참조하면, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴(10)을 형성한다(S20). 상기 게이트 패턴(10)은 최하부에 산화물의 터널막(tunnel layer)을 포함하며, 그 터널막 상에 적층된 플로팅 게이트(floating gate), ONO(Oxide-Nitride-Oxide)막 및 컨트롤 게이트(control gate)를 포함한다.
- [0032] 상기 게이트 패턴(10) 형성 이후에 그 게이트 패턴(10)과 오버랩되도록 그 게이트 패턴(10)의 하부까지 포켓 이온주입하여 반도체 기판에 포켓 이온주입 영역(30)을 형성한다(S21). 여기서, 포켓 이온주입 영역(30)은 이후에 형성되는 소스/드레인(source/drain)(60)간 채널 영역의 펀치-쓰루(punch-through)를 방지하기 위한 것으로, 도 1에 도시된 바와 같이 게이트 패턴(10)의 하부 일측에 형성된다.
- [0033] 이어, 게이트 패턴(10)의 양측의 반도체 기판에 높은 이온주입 에너지로 불순물을 이온주입하여 깊은 소스/드레인 영역(40)을 형성한다(S22).
- [0034] 이어, 게이트 패턴(10) 양측벽에 사이드월(sidewall)(20)을 형성한다(S23).
- [0035] 이어, 깊은 소스/드레인 영역(40)보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역(50)을 형성한다(S24). 진술된 바와 같이, 포켓 경계 영역(50)은 틸트 이온주입(Tilt implant)으로 형성되며, 게이트 패턴(10) 양측의 반도체 기판 내에 높은 원자량의 재질을 경사지게 이온주입하여 형성된다. 포켓 경계 영역(50)의 형성 시에는 불순물 이온으로 비금속성의 BF_2 (불화붕소)또는 B(붕소)을 이용하며, 틸트 이온주입은 15도 경사지게 진행하되,

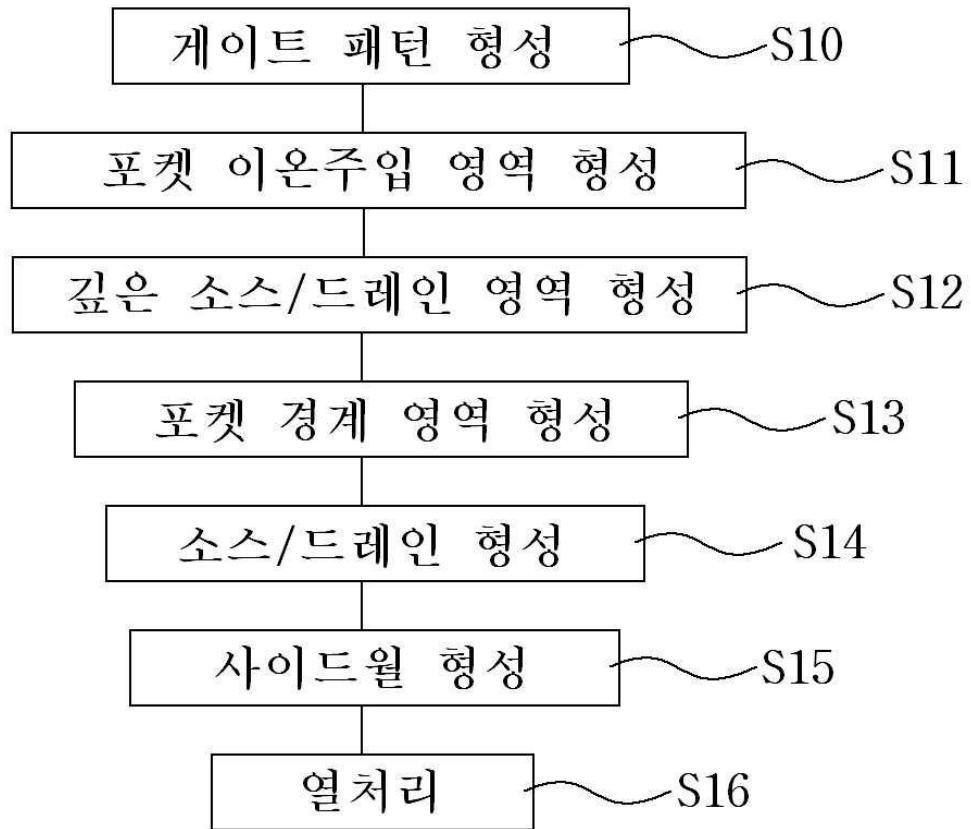
그 15도를 기준으로 -10도 내지 +10도까지 변경가능하다.

- [0036] 이어, 상기 게이트 패턴(10)의 양측벽에 형성된 사이드월(sidewall)(20)의 경화를 위해 반도체 기판 전체에 대한 열처리를 진행한다(S25).
- [0037] 그리고, 상기 형성된 포켓 경계 영역(50)까지 불순물을 이온주입하여 게이트 패턴(10) 양측에 소스/드레인(60)을 형성한다(S26). 소스/드레인은 포켓 경계 영역(50)과 다른 특성을 갖는 즉, 금속성 재질을 이온주입하여 형성된다.
- [0038] [제3 실시 예]
- [0039] 도 1은 본 발명에 따른 반도체 메모리 소자 구조를 나타낸 단면도이고, 도 4는 본 발명의 제3 실시 예에 따른 반도체 메모리 소자 제조 절차를 나타낸 흐름도로써, 도 2의 경우에 대비하여 포켓 경계 영역(50)의 형성 이후에 게이트 패턴(10)의 양측벽에 사이드월(20)을 형성하며, 그 사이드월(20)의 경화를 위한 열처리를 진행한 이후에 소스/드레인 영역(60)을 형성하는 예이다.
- [0040] 도 1 및 4를 참조하면, 반도체 기판 상의 셀(Cell) 영역에 게이트 패턴(10)을 형성한다(S30). 상기 게이트 패턴(10)은 최하부에 산화물의 터널막(tunnel layer)을 포함하며, 그 터널막 상에 적층된 플로팅 게이트(floating gate), ONO(Oxide-Nitride-Oxide)막 및 컨트롤 게이트(control gate)를 포함한다.
- [0041] 상기 게이트 패턴(10) 형성 이후에 그 게이트 패턴(10)과 오버랩되도록 그 게이트 패턴(10)의 하부까지 포켓 이온주입하여 반도체 기판에 포켓 이온주입 영역(30)을 형성한다(S31). 여기서, 포켓 이온주입 영역(30)은 이후에 형성되는 소스/드레인(source/drain)(60)간 채널 영역의 펀치-쓰루(punch-through)를 방지하기 위한 것으로, 도 1에 도시된 바와 같이 게이트 패턴(10)의 하부 일측에 형성된다.
- [0042] 이어, 게이트 패턴(10)의 양측의 반도체 기판에 높은 이온주입 에너지로 불순물을 이온주입하여 깊은 소스/드레인 영역(40)을 형성한다(S32).
- [0043] 이어, 깊은 소스/드레인 영역(40)보다 얇은 깊이에 포켓 이온주입으로 포켓 경계 영역(50)을 형성한다(S33). 진술된 바와 같이, 포켓 경계 영역(50)은 틸트 이온주입(Tilt implant)으로 형성되며, 게이트 패턴(10) 양측의 반도체 기판 내에 높은 원자량의 재질을 경사지게 이온주입하여 형성된다. 포켓 경계 영역(50)의 형성 시에는 불순물 이온으로 비금속성의 BF_3 (불화붕소)또는 B(붕소)을 이용하며, 틸트 이온주입은 15도 경사지게 진행하되, 그 15도를 기준으로 -10도 내지 +10도까지 변경가능하다.
- [0044] 이어, 게이트 패턴(10) 양측벽에 사이드월(sidewall)(20)을 형성한다(S34).
- [0045] 이어, 상기 게이트 패턴(10)의 양측벽에 형성된 사이드월(sidewall)(20)의 경화를 위해 반도체 기판 전체에 대한 열처리를 진행한다(S35).
- [0046] 그리고, 상기 형성된 포켓 경계 영역(50)까지 불순물을 이온주입하여 게이트 패턴(10) 양측에 소스/드레인(60)을 형성한다(S36). 소스/드레인은 포켓 경계 영역(50)과 다른 특성을 갖는 즉, 금속성 재질을 이온주입하여 형성된다.
- [0047] 지금까지 본 발명의 바람직한 실시 예에 대해 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성을 벗어나지 않는 범위 내에서 변형된 형태로 구현할 수 있을 것이다.
- [0048] 그러므로 여기서 설명한 본 발명의 실시 예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 상술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함되는 것으로 해석되어야 한다.

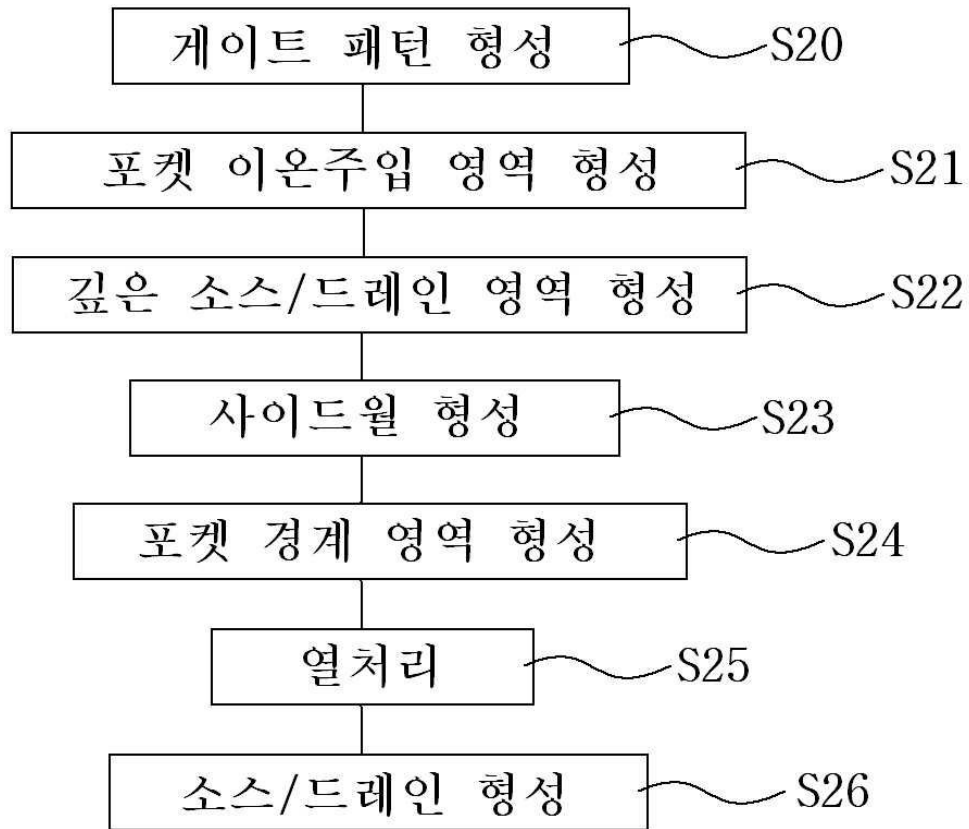
도면의 간단한 설명

- [0049] 도 1은 본 발명에 따른 반도체 메모리 소자 구조를 나타낸 단면도.
- [0050] 도 2는 본 발명의 제1 실시 예에 따른 반도체 메모리 소자 제조 절차를 나타낸 흐름도.
- [0051] 도 3은 본 발명의 제2 실시 예에 따른 반도체 메모리 소자 제조 절차를 나타낸 흐름도.

도면2



도면3



도면4

