

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-304591

(P2006-304591A)

(43) 公開日 平成18年11月2日(2006.11.2)

(51) Int. Cl.	F I	テーマコード (参考)
H02M 3/28 (2006.01)	H02M 3/28 Y	5H730
H01L 25/07 (2006.01)	H01L 25/04 C	
H01L 25/18 (2006.01)		

審査請求 有 請求項の数 13 O L 外国語出願 (全 9 頁)

(21) 出願番号	特願2006-86454 (P2006-86454)	(71) 出願人	504326505
(22) 出願日	平成18年3月27日 (2006.3.27)		フリボ モバイル パワー ゲーエムベ
(31) 優先権主張番号	102005014746.1		ハー
(32) 優先日	平成17年3月31日 (2005.3.31)		ドイツ国 オストベフェルン 48346
(33) 優先権主張国	ドイツ (DE)		フォンリービヒシュトラッセ 11
		(74) 代理人	100105050
			弁理士 鷲田 公一
		(72) 発明者	メルベ ステファン
			ドイツ国 49205 ハスベルゲン ア
			ム プレーセン 47
		(72) 発明者	ボーテ ミハエル
			ドイツ国 48163 ミュンスター イ
			ン デア ヴェーデ 154
		Fターム(参考)	5H730 AA15 AS01 BB23 BB43 BB57
			DD02 EE02 EE59 FD31 ZZ04
			ZZ12 ZZ15

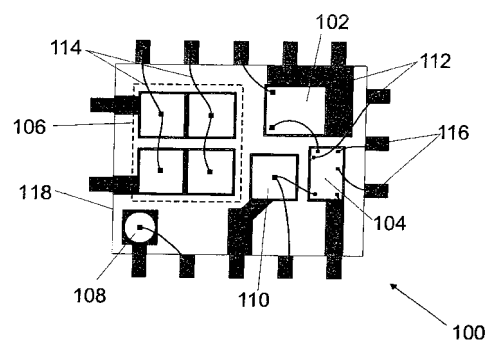
(54) 【発明の名称】 スイッチモード電源のための一次側能動回路装置

(57) 【要約】 (修正有)

【課題】 スイッチングモード電源の回路を小型化して組み立て易くする。

【解決手段】 スイッチモード電源は、供給電源に接続された一次側と、負荷に接続される二次側を有する変圧器をもつ絶縁型で、回路装置100は、一次側スイッチ102、一次側スイッチを制御するための制御回路104、および一次側の補助的能動素子であるブリッジ整流器ダイオード106、補助電源用ダイオード108とスナバダイオード110を含み、制御回路104は第1の集積半導体チップにより形成され、一次側スイッチ102とブリッジ整流器ダイオード106と補助電源用ダイオード108とスナバダイオード110は、制御回路104とは別の少なくとも1つの半導体チップに集積され、制御回路104から離されて、制御回路104とともに同じ回路キャリア112上に配置される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

スイッチモード電源のための回路装置であって、

前記スイッチモード電源は、供給電圧に接続することができる一次側と、使用者側に接続することができる二次側とを有し、

前記回路装置(100)は、一次側スイッチ(102)、該一次側スイッチ(102)を制御するための制御回路(104)、および一次側の補助的能動素子(106、108、110)を含み、

前記制御回路(104)は第1の集積半導体チップにより形成され、そして前記一次側スイッチ(102)および前記補助的素子(106、108、110)は、少なくとも1つの追加の半導体チップに集積化され、該半導体チップは前記制御回路から離されるとともに該制御回路と共有される回路キャリア(112)上に配置される、回路装置。 10

【請求項 2】

前記制御回路(104)、前記一次側スイッチ(102)および前記一次側補助的素子(106、108、110)は、共有ハウジング(118)内に収容された、請求項1記載の回路装置。

【請求項 3】

前記ハウジング(118)は、ワイヤ接続されるハウジングとして実現された、請求項2記載の回路装置。

【請求項 4】

前記ハウジング(118)は、表面実装技術で表面実装できるハウジングとして実現された、請求項2記載の回路装置。 20

【請求項 5】

前記回路キャリアは、リードフレーム(112)として実現された、請求項1から請求項4の少なくとも一に記載の回路装置。

【請求項 6】

前記回路キャリア(112)の金属被覆化は、熱を除去するために形成された冷却領域を有する、請求項1から請求項5の少なくとも一に記載の回路装置。

【請求項 7】

前記補助的能動素子は、4つの整流ダイオード(106)を含む、請求項1から請求項6の少なくとも一に記載の回路装置。 30

【請求項 8】

前記補助的能動素子は、前記補助電源用ダイオード(108)を含む、請求項1から請求項7の少なくとも一に記載の回路装置。

【請求項 9】

前記補助的能動素子は、スナバダイオード(110)を含む、請求項1から請求項8の少なくとも一に記載の回路装置。

【請求項 10】

前記補助的能動素子(106、108、110)は、少なくとも部分的に単一半導体チップに一体化され、モノリシック集積化される、請求項1から請求項9の少なくとも一に記載の回路装置。 40

【請求項 11】

少なくとも高電圧下にある前記補助的素子(106、108、110)は、シリコンオンインシュレータ技術で実現され、前記制御回路(104)はシリコン半導体回路として形成される、請求項1から請求項10の少なくとも一に記載の回路装置。

【請求項 12】

前記回路キャリアは、複数層を含むセラミック基板を有する、請求項1から請求項11の少なくとも一に記載の回路装置。

【請求項 13】

請求項1から12の少なくとも一に記載の回路装置(100)を有するスイッチモード 50

電源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチモード電源用の回路装置に関し、該スイッチモード電源は、供給電圧に接続することができる一次側と使用者側に接続することができる二次側を有し、該回路装置は、一次側スイッチ、この一次側スイッチを制御するための制御回路、および一次側補助的能動素子を含む。更に、本発明は、このような一次側能動回路装置を備えたスイッチモード電源も指す。

【背景技術】

【0002】

今日、低電力領域の充電装置は、通常、スイッチモード電源として実現される。コンパクトな設計と低重量のため、これらは多くのアプリケーション事例で受け入れられ、従来の線形的な装置に取って代わっている。ユーザ専用の集積回路（いわゆるASIC、すなわち特定用途向けIC）形態のような個別回路素子の集積化の進歩にもかかわらず、例えば、スイッチモード電源に必要とされる電子技術は依然として比較的複雑であり、このタイプのスイッチモード電源の一次側回路装置は20以上の個別回路素子から成る。

【0003】

図1に、一次側の安定化によるスイッチモード電源の一次側の回路図を配線図形式で示す。全24個の素子はここでは以下のように、一次側巻線122と補助巻線124のみが図示される変換変圧器120と、抵抗体、インダクタ、およびキャパシタなど16個の受動素子と、8個までの能動素子とに割り振ることができる。この能動素子は、スイッチモード電源の一次側能動回路装置を形成する。また、この能動素子は、ブリッジ整流器106を形成する4つの個別ダイオード、スイッチングトランジスタ102、一次側スイッチ102の制御回路104としての一次側スイッチングトランジスタのパルス幅変調用ASIC、補助電圧用ダイオード108、およびスナバダイオード110を含む。

【0004】

個別素子の所要スペースを削減するために、今日、様々な手法が存在するが、これらの多くは、十分なものではなく、ほんのわずかの素子にのみ影響を及ぼすものである。

【0005】

例えば、受動素子領域には、様々な抵抗体、およびRC機能すら1つの素子アレイに集積化されている。

【0006】

特許文献1によると、共通基板上にスイッチモード電源用の一次側スイッチと制御回路とを収容し、それをハイブリッドICとして形成することが更に知られている。

【0007】

しかしながら、この刊行物で開示された解決策は、整流器または補助電圧、およびスナバダイオードのように場所をとる素子の主要部分が依然として外付け素子として設けられているという欠点を有する。したがって、この公知の解決策は、制御回路と一次側スイッチとの空間的な近接性によるスイッチモード電源の安定性の強化を達成するが、このタイプのスイッチモード電源の小型化に関しては、これ以上、広範な利点は達成されない。

【0008】

更に、特許文献2によると、プリント変圧器が使用されるスイッチモード電源が知られている。この場合、能動素子、すなわち、ブリッジ整流器、一次側スイッチ、制御回路、および二次側ダイオードは、シングルチップに集積化され、プリント変圧器と共に共有基板に組み立てられる。この能動チップと電圧変換領域との間の接触は、別の配線層を介して実現される。ここでは、この能動チップへの接触はチップの適切な開口部を介して実現される。結局、この能動素子は、完全に集積化されたスイッチモード電源の一構成要素であって、それ自身のICハウジング内においての個別ICとして形成されていない。

【0009】

10

20

30

40

50

したがって、ここに示された解決策は、第 1 に、同様に集積化される二次側ダイオードは、規定の標準に基づく一次側 / 二次側分離ができないという欠点を有する。また、この完全に集積化されたスイッチモード電源の技術的な解決策は、高い製造コストによってのみ実現できるような非常に複雑な構想である。

【 0 0 1 0 】

上記した素子の複雑性に加え、公知のスイッチモード電源の製造には、個別素子調達のための手間のかかる手配と、製造用のピックアンドプレイス機械群および検査技術における多大な投資とをさらに要する。

【特許文献 1】米国特許第 6 , 1 3 4 , 1 2 3 号明細書

【特許文献 2】米国特許第 5 , 3 5 5 , 3 0 1 号明細書

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

したがって、公知の解決策の欠点を克服するとともに、規定の安全基準になお準拠する一方、特に簡単でかつ経済的方法でスイッチモード電源を小型化された形態で組み立てることを可能にする、改良された回路装置を提供する必要がある

【 0 0 1 2 】

この目的は請求項 1 の主題により解決される。本発明の有利な別の展開は、様々な従属請求項の主題である。

【 0 0 1 3 】

20

本発明は以下の考えに基づく。一次側スイッチモード電源の場合、一次側スイッチと、この一次側スイッチを制御するための制御回路と、一次側補助的能動素子とを含む回路装置は、上記制御回路が第 1 の集積半導体チップにより形成され、そして上記一次側スイッチおよび上記補助的素子が少なくとも 1 つの追加の半導体チップに集積化され、この追加の半導体チップは、上記制御回路から離されるとともに、該制御回路と共有される回路キャリア上に配置されるといった方法で実現される。

【 0 0 1 4 】

このようにして、スイッチモード電源の一次側回路内に見られる多数の能動素子は、本発明による回路装置を用いてモジュールの形態で一体化することができる。これらは、50 / 60 Hz の電圧用の入力整流器用素子、スイッチングトランジスタ、制御回路、なら

30

【 0 0 1 5 】

ここでの能動素子は、通常のように個別構成で形成されるのではなく、共有の回路キャリア上に組み立てられ、別の有利な展開では、共有の ICハウジング内に収容される。このようにして、個々の素子の、別の回路キャリア、例えばプリント基板への接触不良により引き起こされる潜在的なエラー源が削減されるとともに、その所要スペースが著しく削減される。また、種々の利点は、素子調達のための手配の手間の著しい削減の結果として、生産工程中に現れる。単一素子へ一体化したため、実装労力は削減され、したがって製造での投資もまた削減される。

【 0 0 1 6 】

40

個別構成で組み立てられた公知の回路装置と本発明による実装とを比較すると、個別に組み立てられた個別素子群の所要最小面積は合計でおよそ 100 mm^2 に達する。ここで、これら素子間の必要な電氣的結線は考慮されていない。しかしながら、本発明による集積化モジュールは $5 \times 5\text{ mm}^2$ 以下の寸法で実装することができ、従って従来の回路装置の面積の 4 分の 1 のみを必要とする。

【 0 0 1 7 】

更に、本発明による回路装置により、個別素子群と比較して、全高の低減を達成することも可能である。個々の半導体チップは隣同士に配置されるので、その結果として、全高は比較的低くなる。能動素子の集積化とそれに伴う面積の節約により、あるレベルにおける本装置に対する追加スペース要件が補償されるわけではない。個別素子群の全高は合計

50

3mmまで達するが、すべての素子が、例えばいわゆるMLPハウジング（マイクロリードフレームパッケージ）に集積化されると、その高さはわずか1mmとなる。

【0018】

本発明による回路装置は、ここではワイヤ接続されたハウジング、または表面実装技術（SMT）用に表面実装可能なハウジングのいずれにおいても実現することができる。この場合、ワイヤ接続された素子は従来のスルーホール技術（THT）と適合性があり、一方SMD（表面実装部品）のような実施態様の場合、この大幅に小型化された技術の種々の利点を利用することができる。

【0019】

この低い全高により、回路モジュールの両面冷却が有利な方法で更に可能となる。例えば、リードフレームの金属被覆化は底面方向に、直接プリント基板上に伸ばすことができる。低い全高と、この低い全高に伴うハウジングによる良好な熱伝導のため、表面上でさえも冷却することは重大な効果をもたらす。

【0020】

更に、使用される素子の継続的なモノリシック集積化により、回路装置のさらなる小型化を実現でき、そして素子間の電気接続数を減らすことができる。この結果、全体素子の信頼性を高めことができる。

【0021】

本発明による解決策のさらなる利点は、個別素子間の接続に起因する寄生インダクタンスの低減にある。素子間距離は個別バージョンに比較し大幅に縮小されるので、電気接続の寄生インダクタンスは大いに低減される。この利点は、モジュール内接続および外部接続の両者に当てはまる。

【0022】

最後だからといって重要でないということではないが、その全高と全体面積における節約の結果、費用効果を達成することも当然ながら可能である。

【0023】

本発明の有利な別の展開によると、高電圧下の補助的素子をシリコンオンインシュレータ技術（Silicon-on-Insulator technology: SOI）において、また、制御回路を従来のシリコン技術において実現する場合、高電圧下の素子間の距離もまた縮小することができるので設置寸法の低減を実現することができる。SOI無しでは、例えば4つの整流ダイオードが存在する場合、4つのダイのそれぞれをリードフレームの異なる領域上に配置する必要がある。これらの領域は、対応するダイよりいくぶん大きくなければならない。SOI技術では、単一ダイ内に4つのダイオードを実現することができるので、ダイオード間の絶縁間隔を含む、リードフレーム上の面積に対する追加の所要スペースは省略される。

【0024】

本発明による回路装置の有利な特徴は、一次側制御のスイッチモード電源において使用された場合に特に効果的である。

【発明を実施するための最良の形態】

【0025】

添付図面記載の開発例を用い、以下に、本発明につきさらに詳細に説明する。本発明による回路装置の類似または相応する詳細は、図面中、同じ参照符号が割り振られる。

【0026】

添付図面および特に図2に関係し、本発明による一次側能動回路装置100の第1の実施態様をさらに詳細に説明する。図示の実施態様では、本発明による回路装置は、一例として、いわゆる「マイクロリードフレームパッケージ」部品（MLP部品）として実装される。ここでは、リードフレーム112は回路キャリアとして機能し、例えば銅合金からなる。個々の半導体素子は、それらのために設けられたリードフレーム112のそれぞれの領域に接着されるか、はんだ付けされ、ボンディングワイヤ114を使用することにより適切に接触される。

10

20

30

40

50

【 0 0 2 7 】

M L P 技術の利点の一例は、従来の銅リードフレーム技術が使用された場合、極めて小さな寸法を達成することができるということである。同時に、電気的かつ熱的特性を改善することができる。

【 0 0 2 8 】

参照符号 1 1 8 により概略的に参照された共有ハウジングとしては、流延材料、例えばエポキシ樹脂が当該装置のまわりにダイカスト製造される。

【 0 0 2 9 】

当然、本発明による原理は他のハウジングや回路キャリア技術に対し使用することができる。例えば、セラミック回路キャリア、フレキシブル回路キャリア、ボールグリッドアレイ等を使用することができる。 10

【 0 0 3 0 】

図 2 に示す実施態様では、スイッチングトランジスタ 1 0 2 および制御回路 1 0 4 (制御 IC としても特定される) は、スナバダイオード 1 1 0、ブリッジ整流器 1 0 6 用ダイオードおよび補助電源 1 0 8 用ダイオードと同様に、当初、個別半導体チップとして存在する。この個別半導体チップは、ダイとも呼ばれる。その対応領域は、様々な半導体チップを保持することができるようにリードフレーム 1 1 2 上に存在する。半導体チップのモジュール外部端子 1 1 6 への単一の接触は、これらの領域を介して実現される。半導体チップのモジュール外部端子 1 1 6 とのさらなる接触はすべて、ボンディングワイヤ 1 1 4 を介して実現することができる。これらのボンディングワイヤ 1 1 6 は、例えば、いわゆる金熱圧着 / 超音波ボンディング接続により実現することができる。 20

【 0 0 3 1 】

モジュールで使用される素子間、例えば制御 IC 1 0 4 とスイッチングトランジスタ 1 0 2 との間の接続は、回路トポロジーによりある程度規定される。これらの接続は、製造中に内部ボンディングワイヤにより実現することができる。これにより、その上にモジュールが後で貼り付けられる、図示しないプリント基板のレイアウトが容易になる。

【 0 0 3 2 】

リードフレーム 1 1 2 の設計では、十分な熱放散だけでなく電圧差およびそれに見合った絶縁にも常に注意を払う必要がある。高電圧下にある本発明による回路装置 1 0 0 の素子、例えばブリッジ整流器 1 0 6 と、低い電圧による素子、例えば補助電圧 1 0 8 用ダイオードとは、物理的に分離されるか電氣的に絶縁されるように適切に配置されなければならない。 30

【 0 0 3 3 】

大きな冷却面を必要とする素子に対しては、それに相応した大きな金属表面をリードフレーム 1 1 2 上に設けることができる。このことは、一例として図 2 のスイッチングトランジスタ 1 0 2 に対し示される。リードフレーム 1 1 2 のこの金属表面もまた、開放状態で、図示しない該回路装置ハウジングから下方に伸ばすことができ、そしてプリント基板上に直接に載せることができ、この結果、プリント基板との好適な熱的接続が得られる。

【 0 0 3 4 】

選択肢として、対応する内部端子の電流容量を高めるため、内部端子に対し数個の外部端子 1 1 6 を使用することも可能である。 40

【 0 0 3 5 】

全体の配置のさらなる小型化は、回路装置 1 0 0 内の複数の素子のさらなるモノリシック集積化により達成することができる。図 3 に、ブリッジ整流器の 4 つの個別ダイオードの代わりに集積化ブリッジ整流器回路 1 0 6 が設けられた実施態様を示す。図 2 に示した 4 つの個々のダイオードチップの代わりに、4 つのダイオードはすべて、シリコンオンインシュレータ (S O I) 技術において 1 つのダイ上に集積化される。この技術を用いて、上記回路の個々の構成要素のコンパクトな構成がモノリシック集積化から得られるので、モジュール 1 0 0 の一層の小型化を達成することができる。

【 0 0 3 6 】

相対的寸法の比較は、図 2 および図 3 の回路装置 100 の実物大比較を用い図 4 に示される。ブリッジ整流器 106 に対してモノリシック集積化された素子を使用することにより、所要面積を約 20 mm^2 から約 12 mm^2 に減らすことができる。

【0037】

さらに別の素子、例えば制御回路 104 およびスイッチングトランジスタ 102 が一体化されると、図 5 に示すような構成となる。ここでの寸法は、一方では図 2 に示した個別のチップ 102 と 104 との代わりに単一の IC 105 が使用されるため、かつ特にボンディングワイヤにより行われる内部接続の数もまた削減されるため、所要面積はさらに小さくなるという理由で更に縮小することができる。更に、この内部ボンディングワイヤの削減もまた、全体の回路装置の信頼性をさらに高める。

10

【0038】

本発明による方法を用い、すなわち一次側の能動素子を、1つの回路キャリア上へ集積化し、かつ個別のハウジング内への集積化することを用い、結局、第 1 には、必要な構築スペースが著しく縮小され、第 2 には、一層の小型化は、使用される素子のさらなるモノリシック集積化によって達成することができる。構築スペースの節約に加え、全体素子の信頼性の明確な向上もまた可能である。

【0039】

本発明による回路装置は、当然、SMD（表面実装部品）、および従来のスルーホール技術のワイヤ接続される素子の両者に対して実現することができる。

【図面の簡単な説明】

20

【0040】

【図 1】スイッチモード電源の一次側回路装置の回路図

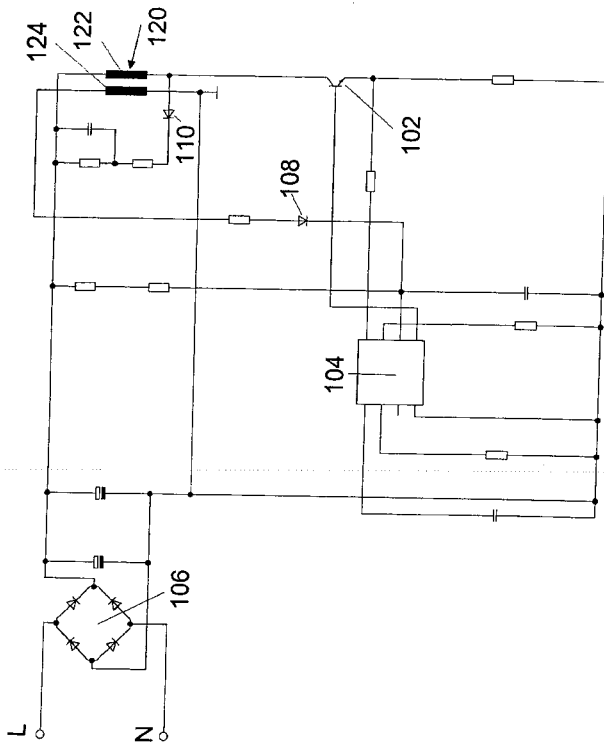
【図 2】第 1 の実施態様に基づく回路キャリア上の、本発明による一次側能動回路装置を示す図

【図 3】モノリシック集積化ブリッジ整流器を備えた第 2 の有利な実施態様を示す図

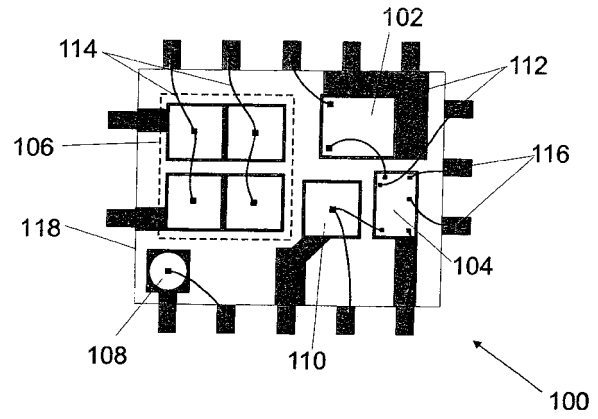
【図 4】寸法比較のため、図 2 と図 3 に示された実施態様の実物大比較を示す図

【図 5】本発明による回路装置の第 3 の実施態様を示す図

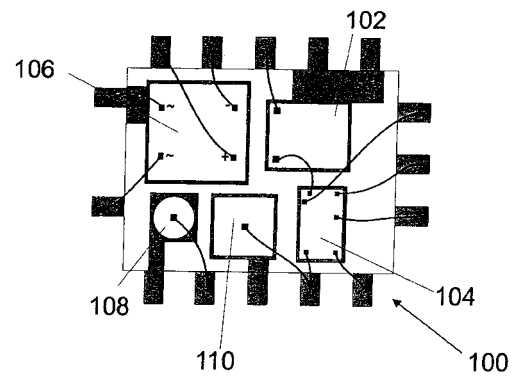
【図 1】



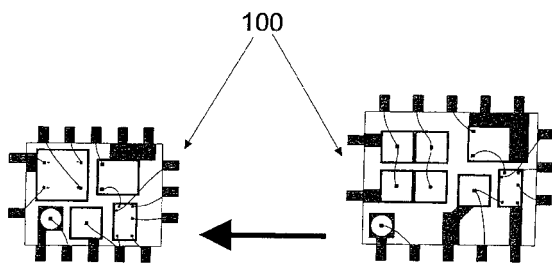
【図 2】



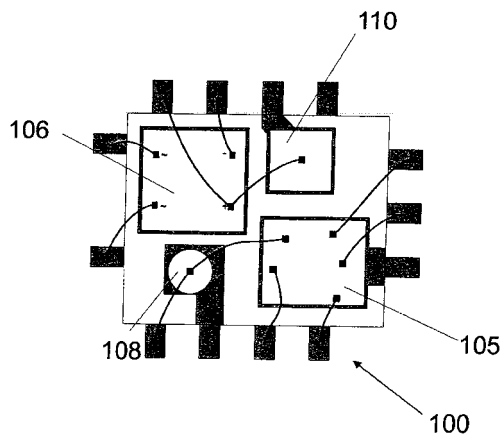
【図 3】



【図 4】



【図 5】



【外国語明細書】

2006304591000001.pdf