(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2013 年 10 月 3 日 (03.10.2013)

WIPO | PCT

(10) 国际公布号
WO 2013/143148 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)
G11C 19/18 (2006.01)

(21) 国际申请号: PCT/CN2012/073422

(22) 国际申请日: 2012 年 3 月 31 日 (31.03.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210090484.4 2012 年 3 月 30 日 (30.03.2012) CN

(71) 申请人 (对除美国外的所有指定国): **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号王可心, Guangdong 518132 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **陈世烽 (CHEN, Shyh-feng)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号王可心, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409 王可心, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: GATE ELECTRODE DRIVING CIRCUIT OF DISPLAY DEVICE

(54) **发明名称** : 显示器的闸极驱动电路

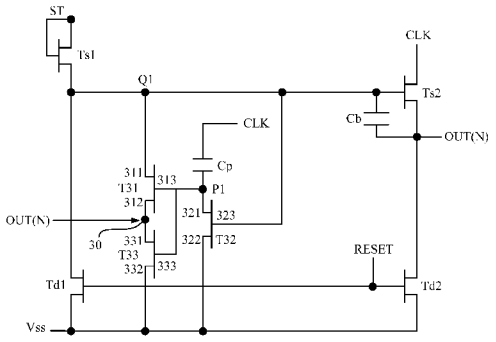


图 3 / FIG. 3

(57) **Abstract**: A gate electrode driving circuit of a display device. Utilized are at least one transistor (T33) serial-connected between a transistor (T31) connected to a node (Q1) providing a high potential and a reference voltage signal input end (Vss), and a predetermined high potential provided at an input end (OUT(N)) between the transistor (T31) connected to the node (Q1) and the at least one transistor (T33), such as: a driving voltage (OUT(N)) of a gate line corresponding to the electrode is fed back to the input end (OUT(N)), where the predetermined high potential provided is capable of reducing the potential difference between a source electrode and a drain electrode of the transistor (T31). This reduces the occurrence of current leakage on the transistor, thus increasing the stability of the driving voltage of the gate electrode driving circuit, thereby improving the reliability of the gate electrode driving circuit.

(57) **摘要**:

[见续页]

WO 2013/143148 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种显示器的闸极驱动电路，利用在连接提供一高电位之节点（Q1）的晶体管（T31）和参考电压信号输入端（Vss）之间串联至少一晶体管（T33），并在连接该节点（Q1）之晶体管（T31）和该至少一晶体管(T33）间的一输入端（OUT(N)）提供预定高电位，例如：将对应该级之闸极线的驱动电压（OUT(N)），反馈进入该输入端（OUT(N)），而所提供的该预定高电位能够使得该晶体管（T31）源极和汲极间的电位差降低，藉此减少该晶体管发生漏电流的情形，从而提高闸极驱动电路之驱动电压的稳定性，以提升闸极驱动电路的可靠度。

显示器的闸极驱动电路

技术领域

[1] 本发明涉及一种显示器的闸极驱动电路，特别涉及一种可有效减少晶体管发生漏电流的显示器闸极驱动电路。

背景技术

[2] 液晶显示器（liquid crystal display, LCD）是利用电场来控制具有介电异向性的液晶分子，以改变光的穿透性，依此来显示影像。液晶显示器通常包含一显示面板具有矩阵排列的像素以及一驱动电路用来驱动该显示面板。

[3] 上述的驱动电路一般分为源极驱动电路和闸极驱动电路，源极驱动电路是将输入资料转换成资料信号，而闸极驱动电路会产生用于驱动像素的扫描信号，以显示对应该输入资料的影像。源极驱动电路和闸极驱动电路可根据由时序控制器产生之控制信号所决定的时序来进行操作。

[4] 现今，为了降低显示器的成本，采用非晶硅（amorphous-Si）薄膜晶体管技术来设计液晶显示器的闸极驱动电路已逐渐成为主流的趋势。然而，非晶矽薄膜晶体管元件会因为长时间的使用，或者是高偏压施加而产生临界电压漂移的问题，进而影响到驱动电路的稳定度，造成画面的显示品质下降。

[5] 现有的闸极驱动电路中，一般是由多级的移位暂存器（shift register）串联而成，移位暂存器输出的闸极脉冲讯号也会提供给下一级的移位暂存器作为一个输入信号，相关专利可参考US 7,825,887和TW 200813920。

[6] 图1显示一种现有的显示器的闸极驱动电路的部分电路示意图。闸极驱动电路用来根据预定的时序产生脉冲信号，脉冲信号会送到闸极线，藉此来控制显示面板之像素内的薄膜电晶体的开关。如图1所示，晶体管T11作为起始的开关，晶体管T12作为脉冲开关，当起始脉冲信号ST将晶体管T11打开时，会对存储电容Cb进行充电，当时脉信号CLK处于高电位时，存储电容Cb进行放电，藉此提供电压信号VN给显示面板的第N条闸极线，作为输出信号OUT(N)。

[7] 晶体管T12通常称为上拉晶体管，因为需对整条闸极线充电，所以上拉晶体管T

12必须提供高电流，若上拉晶体管T12无法提供足够的电流，则对应该条闸极线的像素将无法正常工作。

[8] 晶体管T13和晶体管T14作为下拉晶体管，其能将送到闸极线的信号下拉到接近参考电压信号Vss的电压水平。具体来说，通过重置信号RESET将晶体管T13和晶体管T14开启时，晶体管T14可将节点Q1的电压下拉到接近参考电压信号Vss的电压水平，而晶体管T13可将节点Q2的电压下拉到接近参考电压信号Vss的电压水平。

[9] 然而，由于需在上拉晶体管T12提供高电压，因此闸极驱动电路容易产生杂讯，故需再增加其他辅助的杂讯抑制电路，一般有采用晶体管以数位讯号处理的方式来抑制杂讯，但因需要的晶体管元件较多，占用了较大的布线（layout）面积，对于显示器中窄边框的产品来说，因面积不足而无法达成。

[10] 图2显示现有的显示器的闸极驱动电路用来抑制杂讯的部分电路示意图。为了降低杂讯，现有的闸极驱动电路采用电容耦合的方式来控制杂讯。如图2所示的等效电路中，在晶体管T21和晶体管T22间的连接节点P1与时脉信号CLK之间插入一耦合电容Cp，如此可以使用较少的晶体管元件来达到抑制杂讯的效果，相对的布线面积也会减少，从而有利于显示器中窄边框产品的开发。

[11] 然而，在图2所示的电路中，由于节点Q1的电压会被拉到两倍于时脉信号CLK的电压水平，因此晶体管T21的源极和汲极间的电压Vds过高，导致漏电流增大，而节点Q1的电压也会因晶体管T21产生漏电流的现象而跟着下降，致使闸极驱动电路驱动的能力下降，容易造成相应闸极线之像素无法正常工作的情况。

对发明的公开

技术问题

[12] 本发明之一目的在于提供一种显示器的闸极驱动电路，以解决闸极驱动电路内之晶体管容易产生漏电流的问题。

[13] 本发明之另一目的在于提供一种显示器的闸极驱动电路，以提升闸极驱动电路之驱动电压的稳定性，提高闸极驱动电路的可靠度。

问题的解决方案

技术解决方案

[14] 本发明一方面提供一种显示器的闸极驱动电路，包含：一第一节点，其根据一起始信号的时序，在一段时间内保持一高电压水平，而在另一段时间内保持一低电压水平；一第一晶体管，其耦接于该第一节点和一参考电压信号输入端，当该第一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压；一第二晶体管，其一端与该第一晶体管电性连接，另一端与该参考电压信号输入端电性连接；一第二节点，位于该第一晶体管和该第二晶体管的连接端；一电容，设置于该第二节点和一时脉信号输入端，该电容用于抑制杂讯的产生；一第三晶体管，设置于该第一晶体管和该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接；以及一输入端，设置于该第一晶体管和该第三晶体管之间；其中当该第一节点处于该高电压水平时，该输入端被提供一预定高电位，以降低该第一晶体管两端的电位差。

[15] 在本发明之显示器的闸极驱动电路中，提供该预定高电位给该输入端是藉由将一驱动电压信号反馈进入该输入端来达成。

[16] 在本发明之显示器的闸极驱动电路中，该第一晶体管的闸极与该第三晶体管的闸极电性连接。

[17] 在本发明之显示器的闸极驱动电路中，所述电路更包含一第四晶体管，设置於该第三晶体管和该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接。

[18] 在本发明之显示器的闸极驱动电路中，该第三晶体管的闸极与该第四晶体管的闸极电性连接。

[19] 在本发明之显示器的闸极驱动电路中，提供予该输入端的该预定高电位是用以降低该第一晶体管之源极和闸极两端的电位差。

[20] 本发明另一方面提供一种显示器的闸极驱动电路，包含：一第一节点，其根据一起始信号的时序，在一段时间内保持一高电压水平，而在另一段时间内保持一低电压水平；一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接并在其间形成一第二节点，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三

端耦接至该第一节点；一电容，其一端与该第一晶体管和该第二晶体管间的该第二节点电性连接，另一端与一时脉信号输入端电性耦接；至少一晶体管，设置在该第一晶体管和该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接；以及一输入端，设置于该第一晶体管和该至少一晶体管之间；其中当该第一节点处于该高电压水平时，该输入端被提供一预定高电位，以降低该第一晶体管的第一端和第二端两端的电位差。

[21] 在本发明之显示器的闸极驱动电路中，提供该预定高电位给该输入端是藉由将一驱动电压信号反馈进入该输入端来达成。

[22] 在本发明之显示器的闸极驱动电路中，该第一晶体管的第三端为闸极，其与该至少一晶体管的闸极电性连接。

[23] 在本发明之显示器的闸极驱动电路中，当该第一晶体管和该至少一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压。

[24] 在本发明之显示器的闸极驱动电路中，该第一晶体管的第一端和第二端分别为汲极和源极，而提供予该输入端的该预定高电位是用以降低该第一晶体管之源极和闸极两端的电位差。

[25] 本发明再一方面提供一种显示器的闸极驱动电路，包含：一第一节点，其会根据一起始信号和一时脉信号，将一驱动信号传送到一输出端，该输出端电性连接至一闸极线；一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；一第三晶体管，设置于该第一晶体管和该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接；一第四晶体管，设置於该第三晶体管和该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接；以及一输入端，设置于该第三晶体管和该第四该晶体管之间，其中该输入端接收从该输出端反馈进来的该驱动电压。

[26] 在本发明之显示器的闸极驱动电路中，更包含一起始晶体管，设置于该起始信号之输入端和该第一节点之间；以及一时脉晶体管，设置于该时脉信号之输入

端和该第一节点之间。

[27] 在本发明之显示器的闸极驱动电路中，更包含一存储电容，设置于该第一节点和该输出端之间。

[28] 在本发明之显示器的闸极驱动电路中，更包含一第一下拉晶体管，设置于该第一节点和该参考电压信号输入端之间；以及一第二下拉晶体管，设置于该输出端和该参考电压信号输入端之间，其中当该第一下拉晶体管和该第二下拉晶体管基于一重置信号而导通时，会将该第一节点和该输出端的电压下拉至该参考电压信号输入端的电压。

发明的有益效果

有益效果

[29] 在本发明中，通过在第一晶体管和参考电压信号输入端之间串联至少一晶体管，如第三晶体管和第四晶体管，並且当第一节点在高电压水平时，提供预定高电位给位在第一晶体管和第三晶体管之间的输入端，或位在第三晶体管和第四晶体管之间的输入端，例如，将对应该级之闸极线的驱动电压信号反馈进入该输入端，所提供的该预定高电位能够使得第一晶体管源极和汲极间的电位差降低，藉此第一晶体管不致于产生漏电流而使得第一节点上之电压降低而导致像素驱动电压不足的情形，因此本发明能够有效解决闸极驱动电路之驱动电压稳定性的问题，提高闸极驱动电路的可靠度，进一步提升显示面板的画面显示品质。

对附图的简要说明

附图说明

[30] 图1显示一种现有的显示器的闸极驱动电路的部分电路示意图。

[31] 图2显示现有的显示器的闸极驱动电路用来抑制杂讯的部分电路示意图。

[32] 图3显示根据本发明第一实施例的显示器闸极驱动电路的电路示意图。

[33] 图4显示根据本发明第二实施例的显示器闸极驱动电路的电路示意图。

[34] 图5显示根据本发明第三实施例的显示器闸极驱动电路的电路示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[35] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。

[36] 在本发明说明书及权利要求当中使用了某些词汇来指称特定的元件，本领域技术人员应可理解，硬件制造商可能会用不同的名词来称呼同一个元件。

[37] 在通篇说明书及权利请求当中所提及的「包含」为一开放式的用语，故应解释成「包含但不限定于」。此外，「耦接」一词在此包含任何直接及间接的电性连接手段，因此若本说明书文中描述第一元件耦接于第二元件，则代表第一元件可直接电性连接于第二元件，或通过其他元件或连接手段间接地电性连接至第二元件。并且，在说明书和附图中，结构相似的单元是以相同标号表示。

[38] 在本发明中，显示器可为液晶显示器或主动式液晶显示器（AMOLCD），显示器包含像素呈矩阵排列的一显示面板以及用来驱动该显示面板的一驱动电路。该驱动电路分为源极驱动电路和闸极驱动电路，源极驱动电路用来将输入的影像资料转换成资料信号，而闸极驱动电路会根据时脉控制器产生的时序，来产生用于驱动像素的扫描信号，以显示对应该资料信号的影像。

[39] 本发明着重在闸极驱动电路的改良，以减少闸极驱动电路内部之晶体管发生漏电流的情形，藉此提升闸极驱动电路的稳定性，从而提升显示面板的画面显示品质。此外，特别是在闸极驱动电路内部之晶体管实现为采用非晶硅（amorphous-Si）薄膜晶体管技术而制成的晶体管时，本发明所提供之防止晶体管发生漏电流的解决方案，其效果更佳。

[40] 图3显示根据本发明第一实施例的显示器闸极驱动电路的电路示意图。虽然图3中仅例示了一级的电路，但本领域技术人员可以理解到，整合的闸极驱动电路是由若干级的电路串联而成，每一级的电路对应驱动显示面板中的一或多条闸极线，本级的电路除了提供扫描信号给对应的闸极线之外，也会提供一个输出信号作为下一级电路的一个输入。

[41] 如图3所示，闸极驱动电路中包含一第一晶体管T31、一第二晶体管T32、一第三晶体管T33和一电容Cp，第一晶体管T31的一端与第二晶体管T32耦接的电性接点上具有一第一节点Q1，而第一晶体管T31的另一端与第二晶体管T32耦接的

电性接点上具有一第二节点P1。此外，在第一晶体管T31和第三晶体管T33之间具有一输入端30。

[42] 首先，当接收到一起始信号ST，起始信号ST在高电压水平时会将晶体管Ts1开启，並接着对存储电容Cb充电。而当电容充电完成时，时脉信号CLK处于高电位状态，晶体管Ts2关闭，使得存储电容Cb开始放电，藉此提供驱动电压给显示面板内的第N条闸极线，作为输出信号OUT(N)。此外，在通过重置信号RESET将晶体管Td1和晶体管Td2开启时，晶体管Td1可将节点Q1的电压下拉到接近参考电压信号Vss的电压水平，而晶体管Td2可将输出信号OUT(N)的电压下拉到接近参考电压信号Vss的电压水平，此时输出至第N条闸极线的电压保持低电位。

[43] 具体来说，第一节点Q1会根据该起始信号的时序，在一段时间内保持高电压水平，而在另一段时间内保持低电压水平。当第一节点Q1在高电压水平时，会对存储电容Cb进行充电，而存储电容Cb放电时的高电压会输入对应该级的扫描线，作为扫描信号，以驱动该级之扫描线所对应的像素。

[44] 另外，当起始信号ST在低电压水平时，节点Q1的电压容易受到时脉信号CLK的影响而呈现微幅高低起伏的情形，因此需要杂讯抑制电路来减低此杂讯对整体电路的影响。如图3所示，当起始信号ST在低电压水平，而节点Q1受时脉信号CLK影响处于微幅高电位时，此微幅高电位仍不足将第二晶体管T32开启，但时脉信号CLK的高电位会将第一晶体管T31和第三晶体管T33导通，因此节点Q1的微幅高电位会被拉至参考电压Vss，即接地电位。

[45] 再者，当起始信号ST在高电压水平时，节点Q1上的高电位会将第二晶体管T32开启，参考电压Vss的接地电位传递到节点P1，此时第一晶体管T31和第三晶体管T33在理想情况下为关闭状态，节点Q1上的高电位因而能对电容Q1进行充电。

[46] 由于驱动扫描线上对应之像素需要相当高的电流，也就是说，在第一节点Q1上的高电压需要的电压相当大，这就容易使得闸极驱动电路中的晶体管，如第一晶体管T31，产生漏电流，而第一晶体管T31发生漏电流现象时，第一节点Q1上的高电压会跟着降低，进而容易导致像素之驱动电压不足的问题，使得该扫描线所对应的像素无法正常工作。

[47] 本发明通过在第一晶体管T31串联至少一晶体管，如第三晶体管T33，並且当第一节点Q1在高电压水平时，提供一预定高电位给位在第一晶体管T31和第三晶体管T33之间的输入端30，例如：将对应该级之闸极线的驱动电压，即输出信号OUT(N)，反馈进入该输入端30，而所提供的该预定高电位能够使得第一晶体管T31两端的电位差降低，藉此能够有效减少第一晶体管T31发生漏电流的情况，进而有效解决闸极驱动电路之驱动电压稳定性的问题。

[48] 以下将详细说明根据本发明实现的第一实施例的闸极驱动电路的电路配置示意图。

[49] 第一晶体管T31耦接于第一节点Q1和一参考电压信号Vss输入端之间，第二晶体管T32的一端与第一晶体管T31电性连接，另一端与参考电压信号Vss输入端电性连接。具体来说，第一晶体管T31的第一端311耦接至第一节点Q1，第一晶体管T31的第二端312耦接至参考电压信号Vss输入端；而第二晶体管T32的第二端322耦接至参考电压信号Vss输入端，第二晶体管T32的第三端323耦接至第一节点Q1。第一晶体管T31的第三端313与第二晶体管T32的第一端321电性连接。也就是说，在具体的电路配置中，第一晶体管T31的闸极313是与第二晶体管T32的源极或汲极电性连接，而第二晶体管T32的闸极电性连接至第一节点Q1。

[50] 在上述电路配置中，当第一晶体管T31开启而第三晶体管T33也随着开启时，第一节点Q1的电压会被下拉到接近参考电压信号Vss的电压。

[51] 如前所述，第一节点Q1会根据起始信号的时序，在一段时间内保持高电压水平，而在另一段时间内保持低电压水平，该高电压水平透过存储电容Cb的充放电作为像素的驱动电压，其所需的电压相当高。当第一节点Q1处于高电压状态，而第一晶体管T31关闭时，容易导致第一晶体管T31发生漏电流的现象，进而使得第一节点Q1上的驱动电压电压不足。关于此点，本发明提出的具体解决方案将于后文详细描述。

[52] 在第一晶体管T31和第二晶体管T32的连接端具有第二节点P1。具体来说，第一晶体管T31的第三端313与第二晶体T32管的第一端321电性连接并在其间形成第二节点P1。也就是说，在具体的电路配置中，第一晶体管T31的闸极与第二晶体管T32的源极或汲极的连接端具有第二节点P1。

[53] 电容Cp设置于第二节点P1和来自时脉控制器的时脉信号CLK的输入端。具体来说，电容Cp的一端是与第一晶体管T31和第二晶体管T32间的第二节点P1电性连接，而电容Cp的另一端是与该时脉信号CLK输入端电性耦接。

[54] 通过在第二节点P1和时脉信号CLK输入端之间插入耦合电容Cp，藉此可使用较少的晶体管元件来抑制闸极驱动电路中因高驱动电压所容易引起的杂讯，避免了节点Q1受时脉信号CLK影响而导致的微幅电压变动，也因此闸极驱动电路在显示面板上的布线面积可以减少，非常有利于显示器中窄边框产品的开发。

[55] 本发明中，闸极驱动电路中具有至少一晶体管，如图3所示的第三晶体管T33，其设置在第一晶体管T31和参考电压信号Vss输入端之间，该至少一晶体管（或第三晶体管T33）与第一晶体管T31串联连接。具体来说，第三晶体管T33的第一端331与第一晶体管T31的第二端312电性连接，第三晶体管T33的第二端332与参考电压信号Vss输入端电性耦接，而第三晶体管T33的第三端333与第一晶体管T31的第三端313电性连接。也就是说，在具体的电路配置中，第一晶体管T31的闸极与第三晶体管T33的闸极电性连接，以使得第一晶体管T31和第三晶体管T33形成串联的连接架构。

[56] 在本发明第一实施例中，当第一节点Q1处于高电位水平时，位在第一晶体管T31和第三晶体管T33之间的输入端30会被提供一预定高电位。举例来说，将对应该级之闸极线的驱动电压，即输出信号OUT(N)，反馈进入该输入端30，也就是说，要将第一节点Q1上的高电位水平输出给当级相对应的闸极线时，会提供该预定高电位给输入端30。此时，第一晶体管T31源极和汲极间的电压Vds会降低，例如减小一半，並使得第一晶体管T31闸极和源极间的电压Vgs几乎为零，因此能够有效抑制第一晶体管T31可能发生的漏电流。这时，因为第一晶体管T31漏电流的情况被抑制，第一节点Q1上的高电位水平就不会因而降低，也就能够维持闸极驱动电路之驱动电压的稳定性，使得相应闸极线上的像素能够被正常地驱动。

[57] 图4显示根据本发明第二实施例的显示器闸极驱动电路的电路示意图。与图3所示的第一实施例相较，在图4所示的第二实施例中，闸极驱动电路更包含一第四晶体管T34，其设置在第三晶体管T33和参考电压信号Vss输入端之间，第四晶体

管T34与第三晶体管T33串联连接。在具体的电路配置中，第四晶体管T34的闸极与第三晶体管T33的闸极电性连接，以使得第四晶体管T34和第三晶体管T33形成串联的连接架构。进一步来说，第一晶体管T31、第三晶体管T33和第四晶体管T34都是相互串联连接的。

[58] 在本发明第二实施例中，增加了上述第四晶体管T34的配置，使得第三晶体管T33和第四晶体管T34可以与第一晶体管T31一起分摊第一节点Q1与参考电压信号Vss输入端之间的电压差。也就是说，第三晶体管T33和第四晶体管T34的配置可以减轻第一晶体管T31源极和汲极间的电压Vds的电压负荷，减少第一晶体管T31发生漏电流的现象。而且，本实施例中配置了两个晶体管，即第三晶体管T33和第四晶体管T34，对于减轻第一晶体管T31源极和汲极间的电压Vds之电压负荷的效果更为显著，更能有效降低第一晶体管T31发生漏电流的机会。

[59] 另一方面，本发明第二实施例与第一实施例相同的是，输入端30也是设在第一晶体管T31和第三晶体管T33之间。与第一实施例相较，在第二实施例中，当第一节点Q1处于高电压水平时，因配置了第四晶体管T34，提供给位在第一晶体管T31和第三晶体管T33间之输入端30的预定高电位可以减低，因而更提高了电路的稳定性。

[60] 图5显示根据本发明第三实施例的显示器闸极驱动电路的电路示意图。本发明第三实施例与第二实施例的差别在于，在第三实施例中，是在第三晶体管T33与第四晶体管T34之间设置输入端30。当第一节点Q1处于高电压水平时，提供给输入端50预定高电位，举例来说，将对应该级之闸极线的驱动电压，即输出信号OUT(N)，反馈进入该输入端30，以减少第一晶体管T31发生漏电流的情形。另一方面，与第二实施相较，提供给位在第三晶体管T33和第四晶体管T34间之输入端50的预定高电位更可以减低。

[61] 藉由本发明上述实施例可以理解到，本发明通过在第一晶体管和参考电压信号输入端之间串联至少一晶体管，如第三晶体管和第四晶体管，並且当第一节点在高电压水平时，提供预定高电位给位在第一晶体管和第三晶体管之间的输入端，或位在第三晶体管和第四晶体管之间的输入端，例如，将对应该级之闸极线的驱动电压信号反馈进入该输入端，所提供的该预定高电位能够使得第一晶

体管源极和汲极间的电位差降低，藉此第一晶体管不致于产生漏电流而使得第一节点上之电压降低，进而使得像素驱动电压不足，因此本发明能够有效解决闸极驱动电路之驱动电压稳定性的问题，提高闸极驱动电路的可靠度，进一步提升显示面板的画面显示品质。

[62] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

发明实施例

本发明的实施方式

[63]

工业实用性

[64]

序列表自由内容

[65]

权利要求书

[权利要求 1] 一种显示器的闸极驱动电路，包含：

一第一节点，其根据一起始信号的时序，在一段时间内保持一高电压水平，而在另一段时间内保持一低电压水平；

一第一晶体管，其耦接于该第一节点和一参考电压信号输入端，当该第一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压；

一第二晶体管，其一端与该第一晶体管电性连接，另一端与该参考电压信号输入端电性连接；

一第二节点，位于该第一晶体管和该第二晶体管的连接端；

一电容，设置于该第二节点和一时脉信号输入端，该第一晶体管、该第二晶体管和该电容用于抑制杂讯的产生；

一第三晶体管，设置于该第一晶体管和该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接；以及

一输入端，设置于该第一晶体管和该第三晶体管之间；

其中当该第一节点处于该高电压水平时，该输入端被提供一预定高电位，以降低该第一晶体管两端的电位差。

[权利要求 2] 根据权利要求1所述的显示器的闸极驱动电路，其中提供该预定高电位给该输入端是藉由将一驱动电压信号反馈进入该输入端来达成。

[权利要求 3] 根据权利要求1所述的显示器的闸极驱动电路，其中该第一晶体管的闸极与该第三晶体管的闸极电性连接。

[权利要求 4] 根据权利要求1所述的显示器的闸极驱动电路，更包含：

一第四晶体管，设置於该第三晶体管和该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接。

[权利要求 5] 根据权利要求4所述的显示器的闸极驱动电路，其中该第三晶体管的闸极与该第四晶体管的闸极电性连接。

[权利要求 6] 根据权利要求1所述的显示器的闸极驱动电路，其中提供予该输入

端的该预定高电位是用以降低该第一晶体管之源极和闸极两端的电位差。

[权利要求 7] 一种显示器的闸极驱动电路，包含：

一第一节点，其根据一起始信号的时序，在一段时间内保持一高电压水平，而在另一段时间内保持一低电压水平；

一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；

一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接并在其间形成一第二节点，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；

一电容，其一端与该第一晶体管和该第二晶体管间的该第二节点电性连接，另一端与一时脉信号输入端电性耦接；

至少一晶体管，设置在该第一晶体管和该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接；以及

一输入端，设置于该第一晶体管和该至少一晶体管之间；

其中当该第一节点处于该高电压水平时，该输入端被提供一预定高电位，以降低该第一晶体管的第一端和第二端两端的电位差。

[权利要求 8] 根据权利要求7所述的显示器的闸极驱动电路，其中提供该预定高电位给该输入端是藉由将一驱动电压信号反馈进入该输入端来达成。

[权利要求 9] 根据权利要求7所述的显示器的闸极驱动电路，其中该第一晶体管的第三端为闸极，该第一晶体管的闸极与该至少一晶体管的闸极电性连接。

[权利要求 10] 根据权利要求7所述的显示器的闸极驱动电路，其中当该第一晶体管和该至少一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压。

[权利要求 11] 根据权利要求7所述的显示器的闸极驱动电路，其中该第一晶体管

的第一端和第二端分别为汲极和源极，而提供予该输入端的该预定高电位是用以降低该第一晶体管之源极和闸极两端的电位差。

[权利要求 12] 一种显示器的闸极驱动电路，包含：

一第一节点，其会根据一起始信号和一时脉信号，将一驱动信号传送到一输出端，该输出端电性连接至一闸极线；

一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；

一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；

一第二节点，位于该第一晶体管和该第二晶体管的连接端；

一电容，其一端与该第一晶体管和该第二晶体管间的该第二节点电性连接，另一端与该时脉信号的输入端电性耦接；

一第三晶体管，设置于该第一晶体管和该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接；

一第四晶体管，设置於该第三晶体管和该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接；以及

一输入端，设置于该第三晶体管和该第四该晶体管之间，其中该输入端接收从该输出端反馈进来的该驱动电压。

[权利要求 13] 根据权利要求12所述的显示器的闸极驱动电路，更包含：

一起始晶体管，设置于该起始信号之输入端和该第一节点之间；以及

一时脉晶体管，设置于该时脉信号之输入端和该第一节点之间。

[权利要求 14] 根据权利要求12所述的显示器的闸极驱动电路，更包含：

一存储电容，设置于该第一节点和该输出端之间。

[权利要求 15] 根据权利要求12所述的显示器的闸极驱动电路，更包含：

一第一下拉晶体管，设置于该第一节点和该参考电压信号输入端之间；以及

一第二下拉晶体管，设置于该输出端和该参考电压信号输入端之间，其中当该第一下拉晶体管和该第二下拉晶体管基于一重置信号而导通时，会将该第一节点和该输出端的电压下拉至该参考电压信号输入端的电压。

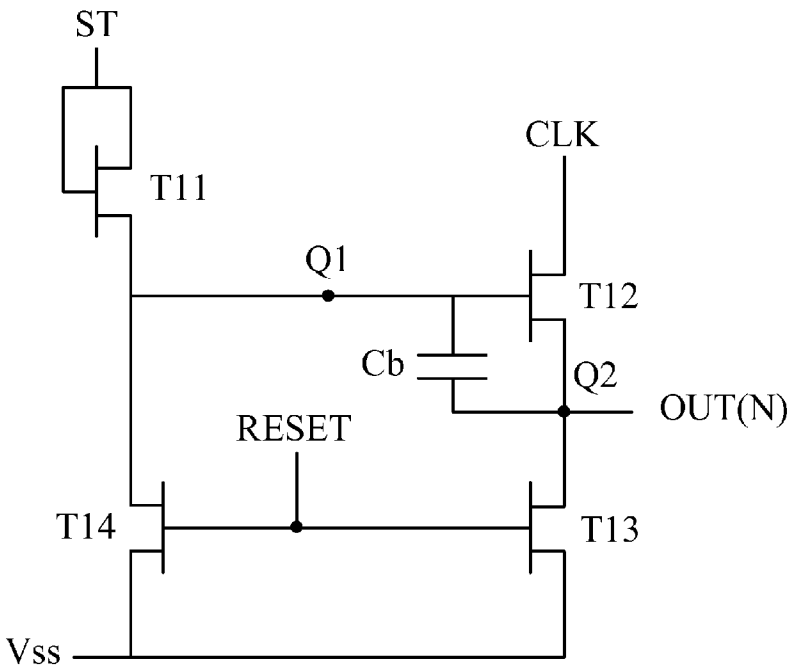


图 1

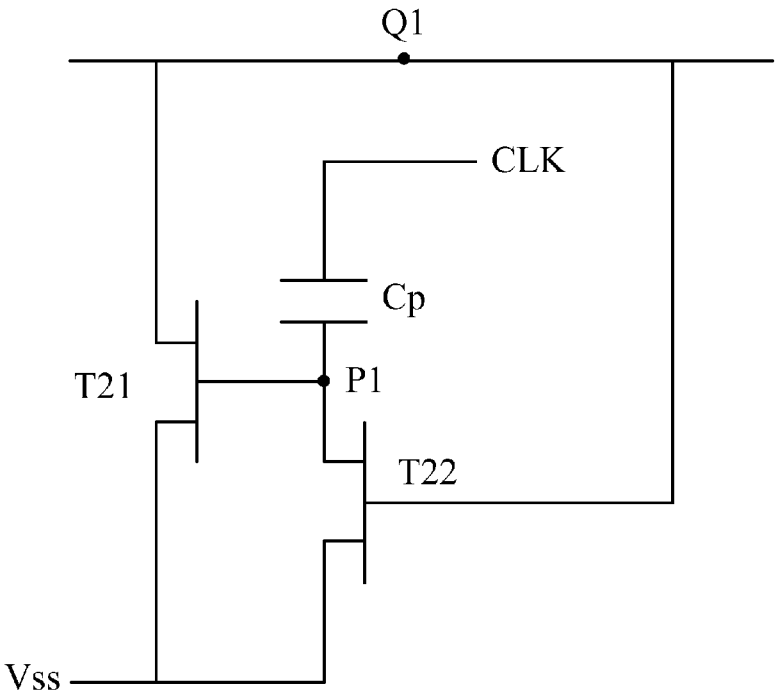


图 2

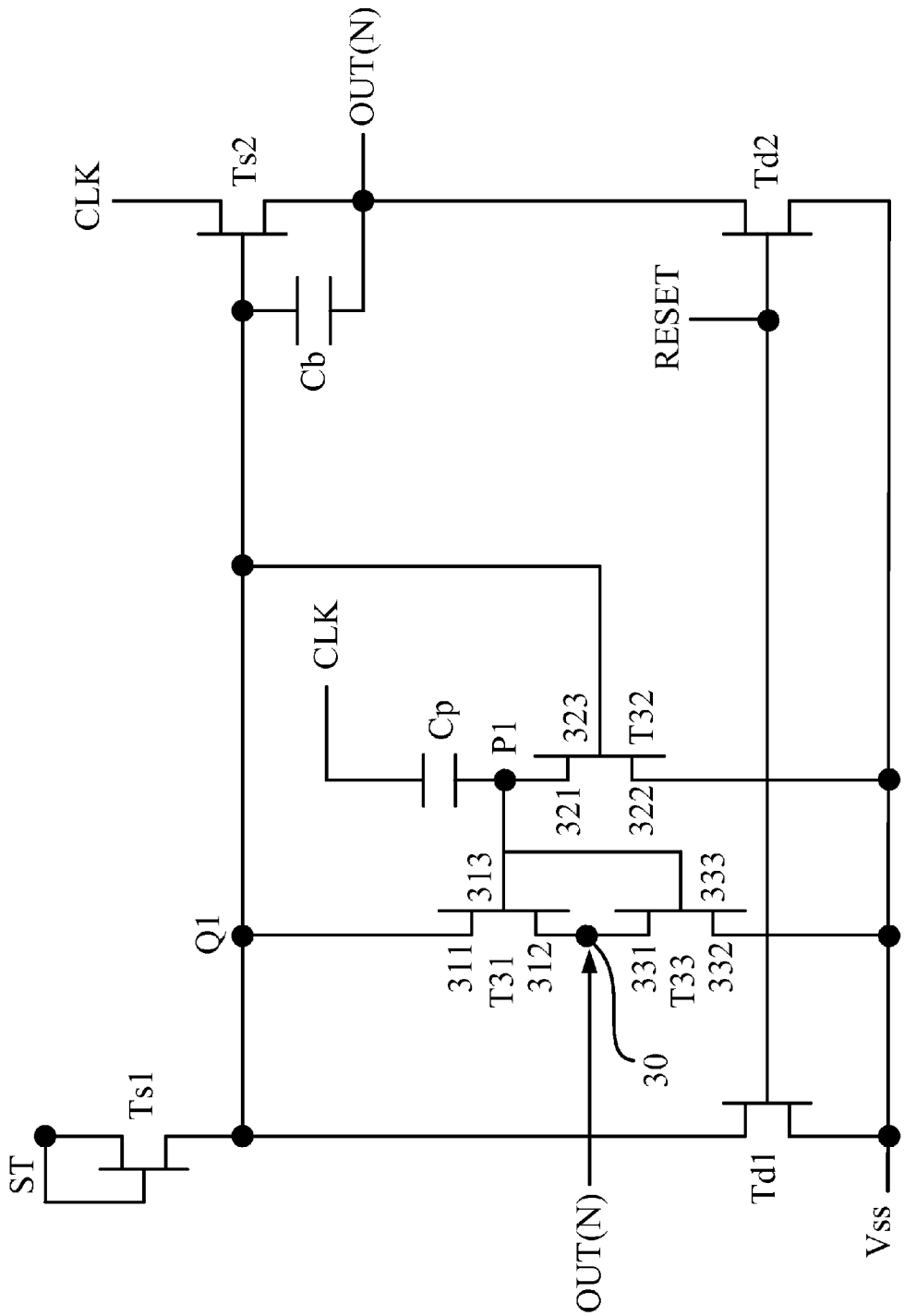

CLK
Ts2
OUT(N)
Td2
Cb
RESET
CLK
Cp
P1
323
T32
321
322
313
333
Q1
311
T31
312
331
T33
332
30
Ts1
ST
OUT(N)
Td1
Vss

图 3

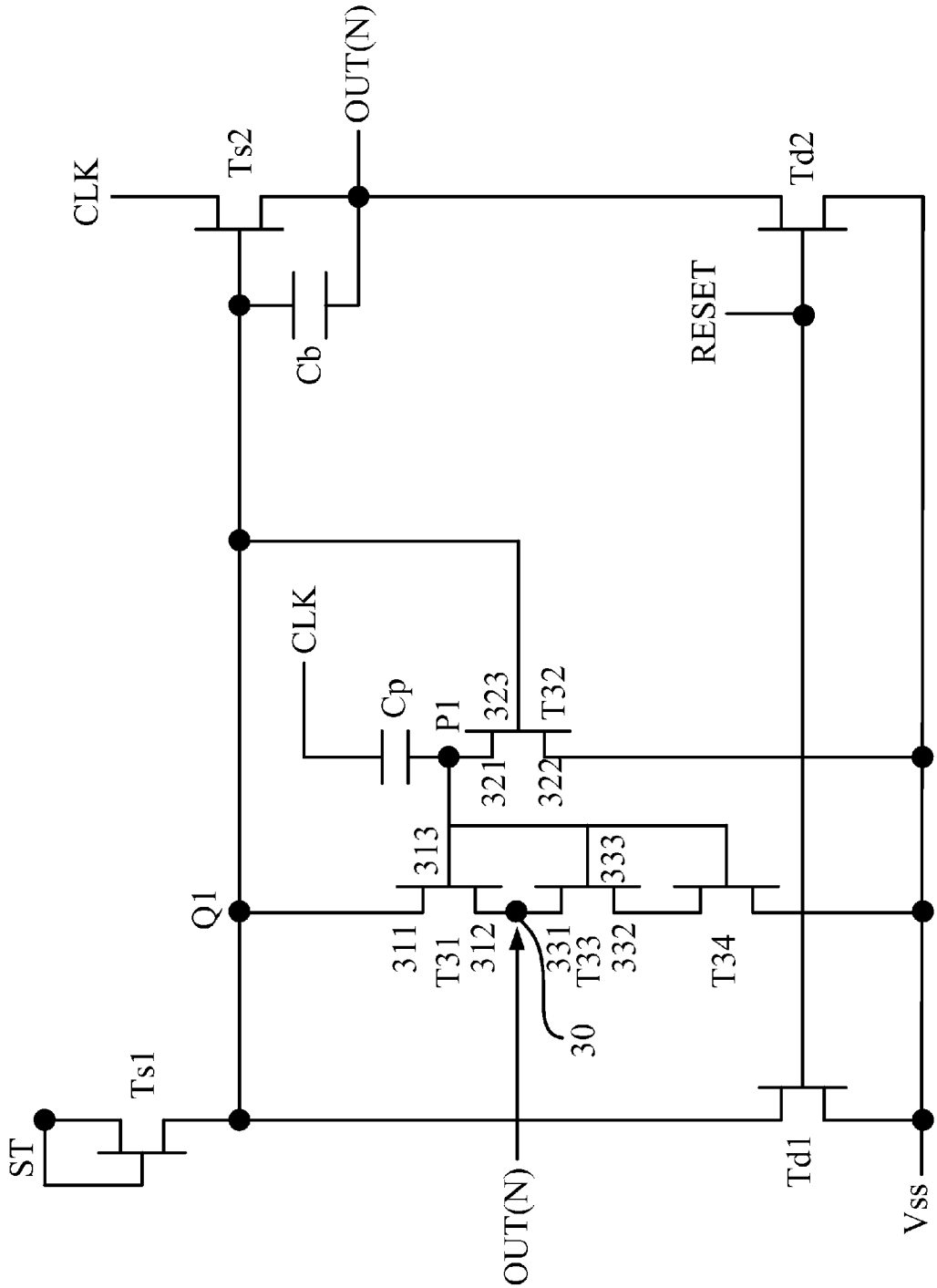

CLK
Ts2
OUT(N)
Td2
Cb
RESET
CLK
Cp
P1
323
T32
321
322
313
333
Q1
311
T31
312
331
T33
332
T34
30
Ts1
ST
OUT(N)
Td1
Vss

图 4

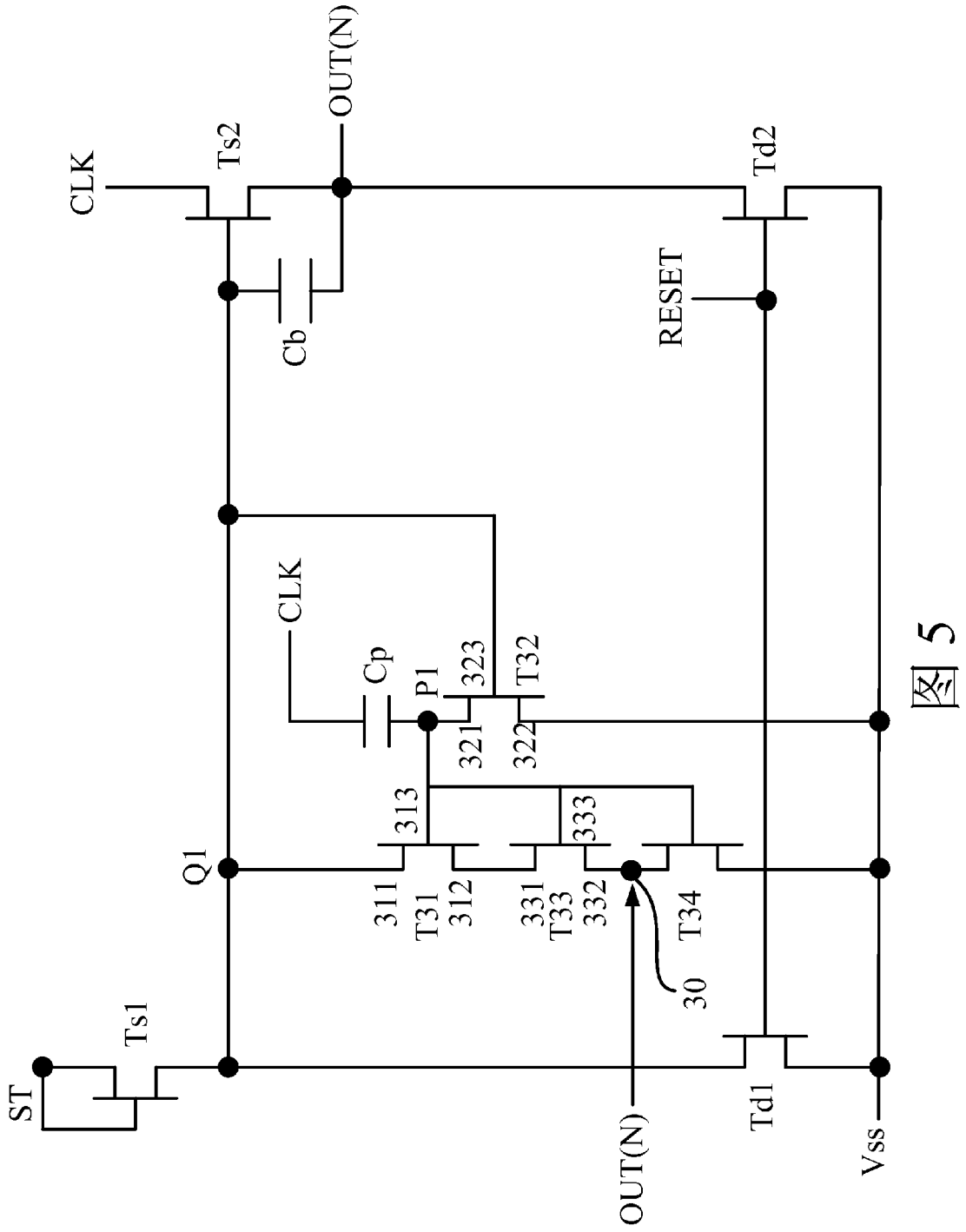

CLK
Ts2
OUT(N)
Td2
Cb
RESET
CLK
Cp
P1
323
T32
321
322
313
333
Q1
311
T31
312
331
T33
332
T34
30
Ts1
ST
OUT(N)
Td1
Vss

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/073422

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC: shift register, leakage, transistor, series

CNPAT, CNKI: grid, gate, drive, drain current, shift

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011221736 A1 (PAK et al.), 15 September 2011 (15.09.2011), paragraphs [0053]-[0063], and figures 4-5	1, 3, 6-7, 9-11
A		2, 4-5, 8, 12-15
A	US 2008012818 A1 (LEE et al.), 17 January 2008 (17.01.2008), the whole document	1-15

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 September 2012 (09.09.2012)	**10 January 2013 (10.01.2013)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Xin** Telephone No.: (86-10) **62411567**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/073422

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2011221736 A1	15.09.2011	JP 2011192376 A	29.09.2011
		KR 1097347 B1	21.12.2011
		KR 20110102684 A	19.09.2011
US 2008012818 A1	17.01.2008	KR 20080006037 A	16.01.2008

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/073422

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

G09G 3136 (2006.01) i

G11C 19/18 (2006.01) i

G11C 19128 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/073422

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G 3/-；G11C 19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

WPI, EPODOC: shift register, leakage, transistor, series

CNPAT, CNKI: 栅极, 闸极, 驱动，漏电流，移位

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US2011221736 A1 (PAK et al.) 15.9 月 2011 (15.09.2011) 第[0053]-[0063]段；附图 4-5	1,3,6-7,9-11
A		2,4-5,8,12-15
A	US2008012818 A1 (LEE et al.) 17.1 月 2008 (17.01.2008) 全文	1-15

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
09.9 月 2012 (09.09.2012)	**10.1 月 2013 (10.01.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 王欣 电话号码：(86-10) **62411567**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/073422

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2011221736 A1	15.09.2011	JP2011192376 A	29.09.2011
		KR1097347 B1	21.12.2011
		KR20110102684 A	19.09.2011
US2008012818 A1	17.01.2008	KR20080006037 A	16.01.2008

国际检索报告

国际申请号
PCT/CN2012/073422

续：**A. 主题的分类**

G09G 3/36 (2006.01) i

G11C 19/18 (2006.01) i

G11C 19/28 (2006.01) i