

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4353393号  
(P4353393)

(45) 発行日 平成21年10月28日 (2009. 10. 28)

(24) 登録日 平成21年8月7日 (2009. 8. 7)

(51) Int. Cl.

F I

HO 1 L 21/8244 (2006. 01)  
 HO 1 L 27/11 (2006. 01)  
 HO 1 L 21/8238 (2006. 01)  
 HO 1 L 27/092 (2006. 01)  
 G 1 1 C 11/413 (2006. 01)

HO 1 L 27/10 3 8 1  
 HO 1 L 27/08 3 2 1 D  
 G 1 1 C 11/34 3 3 5 C  
 HO 1 L 27/08 3 2 1 K  
 HO 1 L 27/10 4 6 1

請求項の数 6 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2002-17840 (P2002-17840)  
 (22) 出願日 平成14年1月28日 (2002. 1. 28)  
 (65) 公開番号 特開2003-60077 (P2003-60077A)  
 (43) 公開日 平成15年2月28日 (2003. 2. 28)  
 審査請求日 平成17年1月28日 (2005. 1. 28)  
 (31) 優先権主張番号 特願2001-168945 (P2001-168945)  
 (32) 優先日 平成13年6月5日 (2001. 6. 5)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100081938  
 弁理士 徳若 光政  
 (74) 代理人 100075096  
 弁理士 作田 康夫  
 (72) 発明者 長田 健一  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 石橋 孝一郎  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

そのソース電極が電源線に接続される第1の負荷型Pチャンネル型MOSトランジスタと、そのソース電極がソース線に接続され、そのドレイン電極が前記第1の負荷型Pチャンネル型MOSトランジスタのドレイン電極に接続され、そのゲート電極が前記第1の負荷型Pチャンネル型MOSトランジスタのゲート電極に接続される第1の駆動型Nチャンネル型MOSトランジスタと、そのソース電極が前記電源線に接続される第2の負荷型Pチャンネル型MOSトランジスタと、そのソース電極が前記ソース線に接続され、そのドレイン電極が前記第2の負荷型Pチャンネル型MOSトランジスタのドレイン電極に接続されると共に前記第1の負荷型Pチャンネル型MOSトランジスタ及び前記第1の駆動型Nチャンネル型MOSトランジスタのゲート電極に接続され、そのゲート電極が前記第2の負荷型Pチャンネル型MOSトランジスタのゲート電極に接続されると共に前記第1の負荷型Pチャンネル型MOSトランジスタ及び前記第1の駆動型Nチャンネル型MOSトランジスタのドレイン電極に接続される第2の駆動型Nチャンネル型MOSトランジスタとを夫々が有する複数のスタティック型メモリセルを含む半導体集積回路装置であって、  
 前記電源線と前記ソース線との電位差である前記複数のスタティック型メモリセルの電源電圧を制御する電源電圧制御回路とを具備し、

前記第1及び第2の負荷型Pチャンネル型MOSトランジスタ及び前記第1及び第2の駆動型Nチャンネル型MOSトランジスタのゲート絶縁膜厚は、4nm以下であり、

前記電源電圧制御回路は、動作状態では前記電源電圧を第1電圧とし、待機状態では前

10

20

記電源電圧を前記第 1 電圧よりも小さい第 2 電圧とするように制御し、前記第 1 の負荷型 P チャンネル型 MOS トランジスタ及び前記第 2 の駆動型 N チャンネル型 MOS トランジスタがオン状態である場合に、前記第 1 の負荷型 P チャンネル型 MOS トランジスタのソース電極とゲート電極の間に流れるゲートトンネルリーク電流、及び、前記第 1 の負荷型 P チャンネル型 MOS トランジスタのソース電極とドレイン電極の間に流れるゲートトンネルリーク電流を前記動作状態に対し前記待機状態の方を小さくすることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 において、

前記電源線の電位は、前記動作状態及び前記待機状態において第 1 電位とされ、

前記ソース線の電位は、前記動作状態では第 2 電位とされ、前記待機状態では前記第 2 電位よりも高い第 3 電位とされるとともに、前記駆動型 N チャンネル型 MOS トランジスタの基板電位は前記動作状態及び前記待機状態において第 2 電位とされる半導体集積回路装置。

10

【請求項 3】

請求項 1 において、

前記ソース線の電位は、前記動作状態及び前記待機状態において第 1 電位とされ、

前記電源線の電位は、前記動作状態では前記第 1 電位より大きい第 2 電位とされ、

前記待機状態では前記第 1 電位と第 2 電位の間の第 3 電位とされるとともに、前記第 1 及び第 2 の負荷型 P チャンネル型 MOS トランジスタの基板電位は前記動作状態及び前記待機状態において前記第 2 電位とされる半導体集積回路装置。

20

【請求項 4】

請求項 1 乃至 3 の何れか 1 項において、

前記動作状態では前記複数のスタティック型メモリセルに対する読み出し又は書き込み動作が行われ、

前記待機状態は前記複数のスタティック型メモリセルが選択されていないことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 乃至 4 の何れか 1 項において

前記半導体集積回路装置は、前記複数のスタティック型メモリセルを夫々が有する複数のメモリマットを有し、

前記動作状態と前記待機状態の切り替えは、マット選択信号に基づいていることを特徴とする半導体集積回路装置。

30

【請求項 6】

請求項 1 乃至 5 の何れか 1 項において、

前記複数のスタティック型メモリセルの夫々は、データ線対の一方と前記第 1 の負荷型 P チャンネル型 MOS トランジスタ及び前記第 1 の駆動型 N チャンネル型 MOS トランジスタのドレイン電極との間に設けられた第 1 のトランスファースト N チャンネル型 MOS トランジスタと、前記データ線対の他方と前記第 2 の負荷型 P チャンネル MOS トランジスタ及び前記第 2 の駆動型 N チャンネル型 MOS トランジスタのドレイン電極との間に設けられた第 2 のトランスファースト N チャンネル MOS トランジスタとを更に有し、

40

前記データ線対は、前記待機状態において、前記動作状態におけるプリチャージ電位より低い電位に設定され、

前記第 1 及び第 2 のトランスファースト N チャンネル MOS トランジスタがオフ状態の際に、前記第 1 及び第 2 のトランスファースト N チャンネル MOS トランジスタに流れる GIDL 電流が前記動作状態に対して前記待機状態の方が小さくされることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は、半導体集積回路装置及びその製造方法、特にSRAM (static random access memory)、システムLSIに搭載されるオンチップメモリ、マイクロプロセッサ、あるいは、システムLSIなどに関する。

【0002】

【従来の技術】

ゲートトンネルリーク電流を低減する公知技術として、特願平9-536055が知られている。この公知例においては、ゲートトンネルリーク電流が大きいときにゲート酸化膜の厚いゲートトンネルリーク電流の小さいスイッチMOSで電源を遮断することにより、リーク電流を削減する回路が示されている。また、GIDL (Gate Induced Drain Leakage) 電流を低減する技術として、特2000-357962号が知られている。この公知例においては、MOSトランジスタのしきい値が比較的低いことを前提として、まずサブスレッショルドリーク電流を削減するためにPチャネル型MOSトランジスタの基板電極を電源電圧以上、Nチャネル型MOSトランジスタの基板電極を接地電位以下に制御する。その結果GIDLが顕在化するため、電源電圧を低減してGIDL電流を削減する技術が開示されている。また、特開平9-135029号公報には、GIDL電流対策としてnチャネルMISTランジスタのゲート電極とソース・ドレイン領域に燐イオンを注入している技術が開示されている。

10

【0003】

【発明が解決しようとする課題】

近年プロセスの微細化に伴い、MOSトランジスタのゲート酸化膜厚が4nm以下になってきている。しかしながら、ゲート酸化膜が4nm以下になるとゲートトンネルリーク電流が増大し、ゲート電極とソース電極間に動作時の電圧が印加されると、ゲートトンネルリーク電流がティピカルプロセスで $10^{-12} \text{ A} / \mu\text{m}^2$ 以上となる。

20

【0004】

携帯電話に使用されるLSIにおいては、低リーク電流での待機が要求される。特にSRAMは、ボタン電池でデータを一週間以上保持する必要があり、プロセスがワーストになり、酸化膜が薄くなった場合、ゲートトンネルリーク電流が増大し一週間以上のデータ保持が不可能となる問題がある。また、ドレインから基板へ流れるリーク電流であるGIDL電流の増加も同様に問題となっている。

【0005】

30

しかし、ゲートトンネルリーク電流を低減する従来の公知例(特願平9-536055)ではMOSで電源を遮断するため、SRAMセルやレジスタファイルおよびラッチ回路等の保持データが破壊されてしまうという問題があった。また、GIDL電流を低減する従来の公知例(特願平11-255317)においては、比較的高いしきい値たとえば0.7VのMOSトランジスタを使用する場合には、サブスレッショルドリーク電流が顕著でないため、Nチャネル型MOSトランジスタの基板電極を接地電位以下の電位に、Pチャネル型MOSトランジスタの基板電極を電源電位以上の電位にしてもオフ電流は低減せず、かえって接合リーク電流が増大するという問題があった。

【0006】

【課題を解決するための手段】

40

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。半導体装置は、少なくとも1個のNチャネル型MOSトランジスタを有する第1の電流路と、少なくとも1個のPチャネル型MOSトランジスタを有する第2の電流路からなる少なくとも1個の論理回路からなり、前記論理回路の双方の電流路の一方の端子が相互に接続されており、一方の電流路が導通状態のとき他方の電流路が非導通状態となる。前記少なくとも1個の論理回路は、前記第1の電流路の他方の端子がソース線によって接続されており、当該ソース線にスイッチ回路が接続されており、当該スイッチ回路は、前記少なくとも1個の論理回路が動作するように選択された場合にはソース線を接地電位に保ち、かつ、そのように選択されない待機時にはソース線を接地電位より高い電圧に保つことを特徴とする半導体集積回路装置。

50

**【 0 0 0 7 】**

前記Nチャネル型MOSトランジスタの基板電極は接地電位あるいは前記ソース線に接続される。

**【 0 0 0 8 】**

待機時には、オン状態のMOSトランジスタのゲート - ソース電極間に印加される電圧が電源電圧より小さくなる為ゲートトンネルリーク電流を低減でき、なおかつラッチ等の保持データが破壊されない。

**【 0 0 0 9 】**

また、サブスレッショルド電流がGIDLより小さい、しきい値の高いMOSトランジスタでは、オフ状態でのゲート - ドレイン電極間に印加される電圧が電源電圧より小さいため、GIDLが低減されオフ電流が低減される。しかし、Nチャネル型MOSトランジスタの基板電極には、接地電位あるいは接地電位より高い電圧が、Pチャネル型MOSトランジスタの基板電極には電源電位が印加されるため接合リーク電流は増大しない。

10

**【 0 0 1 0 】**

図13にしきい値電圧が0.7V程度と比較的高くサブスレッショルド電流がGIDL電流より小さいNチャネル型MOSトランジスタのドレイン - ソース間電流 $I_{ds}$ のゲート電圧依存性を示した。 $I_{ds}$ はログスケールで表示されている。ドレイン電圧を電源電位(1.5V)にした場合と本発明である電源電位より低い電位にした場合(1.0V)について示している。ソース電極および基板電極は接地電位に接続され、基板電位にバイアスがかけていない。オフ状態では、ゲート - ドレイン間に印加される電位差が下がりGIDL電流が小さくなるため、リーク電流が低減する低減できる。

20

**【 0 0 1 1 】**

また本発明は半導体装置において、ソース・ドレイン領域のうち、コンタクトをとる領域に砒素を、エクステンション領域に燐を用いたNチャネル型MOSトランジスタを具備する。SRAMを有する半導体装置において、前記Nチャネル型MOSトランジスタをSRAMのメモリセル内のNチャネル型MOSトランジスタに用い、メモリセルを制御する周辺回路のNチャネル型MOSトランジスタにはコンタクトをとる領域とエクステンション領域いずれにも砒素を用いたNチャネル型MOSトランジスタを用いる。

**【 0 0 1 2 】****【発明の実施の形態】**

30

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

**【 0 0 1 3 】****実施例 1**

図1は、本発明に係わる半導体装置の一実施例を示す回路図である。本回路は、Pチャネル型MOSトランジスタMPおよびNチャネル型MOSトランジスタMNより構成される半導体集積回路の一部を示しており、MOSトランジスタのゲートに使用される絶縁膜が4nm以下か、ゲートトンネルリーク電流が電源電圧1.5Vで、 $10^{-12} \text{ A} / \mu\text{m}^2$ 以上である半導体集積回路製造技術を用いて単結晶シリコンのような半導体基板に形成される。

40

**【 0 0 1 4 】**

図1には半導体集積回路装置の一部として、インバータ回路INVおよびデータを保持するラッチ回路LATCHが示されている。

**【 0 0 1 5 】**

インバータ回路INV102は、Pチャネル型MOSトランジスタMP102およびNチャネル型MOSトランジスタMN102より構成される。Pチャネル型MOSトランジスタMP102のゲート電極には入力信号I0が、ドレイン電極には接続ノードN0が、ソース電極には電源電位VDDがそれぞれ接続される。

**【 0 0 1 6 】**

またPチャネル型MOSトランジスタMP102の基板電極は、電源電位VDDに接続

50

される。Nチャネル型MOSトランジスタMN102のゲート電極には入力信号I0が、ドレイン電極には接続ノードN0が、ソース電極には接地ソース電極線VSSMがそれぞれ接続される。またNチャネル型MOSトランジスタMN102の基板電極は、接地ソース電極線VSSMあるいは接地電位VSSに接続される。

#### 【0017】

インバータ回路INV103は、Pチャネル型MOSトランジスタMP103およびNチャネル型MOSトランジスタMN103より構成される。Pチャネル型MOSトランジスタMP103のゲート電極には接続ノードN0が、ドレイン電極には接続ノードN1が、ソース電極には電源電位VDDがそれぞれ接続される。またPチャネル型MOSトランジスタMP103の基板電極は、電源電位VDDに接続される。Nチャネル型MOSトランジスタMN103のゲート電極には接続ノードN0が、ドレイン電極には接続ノードN1が、ソース電極には接地ソース電極線VSSMがそれぞれ接続される。またNチャネル型MOSトランジスタMN103の基板電極は、接地ソース電極線VSSMあるいは接地電位VSSに接続される。

10

#### 【0018】

インバータ回路INV104は、Pチャネル型MOSトランジスタMP104およびNチャネル型MOSトランジスタMN104より構成される。Pチャネル型MOSトランジスタMP104のゲート電極には接続ノードN1が、ドレイン電極には出力ノードO0が、ソース電極には電源電位VDDがそれぞれ接続される。またPチャネル型MOSトランジスタMP104の基板電極は、電源電位VDDに接続される。Nチャネル型MOSトランジスタMN104のゲート電極には接続ノードN1が、ドレイン電極には出力ノードO0が、ソース電極には接地ソース電極線VSSMがそれぞれ接続される。またNチャネル型MOSトランジスタMN104の基板電極は、接地ソース電極線VSSMあるいは接地電位VSSに接続される。

20

#### 【0019】

ラッチ回路LATCHは、CMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MOSトランジスタ(MP105、MP106)、Nチャネル型トランジスタ(MN105、MN106)で構成される)で、記憶ノードN2と記憶ノードN3に情報が記憶される。

#### 【0020】

Pチャネル型MOSトランジスタMP105のゲート電極には記憶ノードN3が、ドレイン電極には記憶ノードN2が、ソース電極には電源電位VDDがそれぞれ接続される。またPチャネル型MOSトランジスタMP105の基板電極は、電源電位VDDに接続される。

30

#### 【0021】

Pチャネル型MOSトランジスタMP106のゲート電極には記憶ノードN2が、ドレイン電極には記憶ノードN3が、ソース電極には電源電位VDDがそれぞれ接続される。またPチャネル型MOSトランジスタMP106の基板電極は、電源電位VDDに接続される。

#### 【0022】

Nチャネル型MOSトランジスタMP105のゲート電極には記憶ノードN3が、ドレイン電極には記憶ノードN2が、ソース電極には接地ソース電極線VSSMがそれぞれ接続される。またNチャネル型MOSトランジスタMN105の基板電極は、接地ソース電極線VSSMあるいは接地電位VSSに接続される。Nチャネル型MOSトランジスタMP106のゲート電極には記憶ノードN2が、ドレイン電極には記憶ノードN3が、ソース電極には接地ソース電極線VSSMがそれぞれ接続される。またNチャネル型MOSトランジスタMN106の基板電極は、接地ソース電極線VSSMあるいは接地電位VSSに接続される。

40

#### 【0023】

また、接地ソース電極線VSSMを接地電位VSSと接続するNチャネル型MOSトラ

50

ンジスタMN101および接地ソース電極線VSSMを接地電位より高い電位VSSSたとえば0.5Vに接続するNチャネル型MOSトランジスタMN100が配置される。

【0024】

次に動作状態および待機状態について図2の動作波形を用いて説明する。ここでは、電源電圧VDDを1.5V、接地電位VSSを0V、接地電位より高い電位VSSSを0.5Vとする。この電圧はデバイスの特性等により変更される。

【0025】

動作時では、Nチャネル型MOSトランジスタMN101がオンしており、VSSMは接地電位VSS、たとえば0Vとなっている。I0、N1、N3の電位が1.5V、N0、N2の電位が0Vとなっている。このときPチャネル型MOSトランジスタ(MP103、MP106)およびNチャネル型MOSトランジスタ(MN102、MN104、MN105)がオン、Pチャネル型MOSトランジスタ(MP102、MP104、MP105)およびNチャネル型MOSトランジスタ(MN103、MN106)がオフしている。

10

【0026】

Pチャネル型MOSトランジスタMP103のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がソース電極からゲート電極に流れる。この電流は、接続ノードN0、オン状態のNチャネル型MOSトランジスタMN102を通して接地電位VSSへ流れる。

【0027】

20

同様に、Nチャネル型MOSトランジスタMP104のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がゲート電極からソース電極に流れる。この電流は、接続ノードN1、オン状態のPチャネル型MOSトランジスタMP103を通して電源電位VDDから流れる。

【0028】

同様に、Pチャネル型MOSトランジスタMP106のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がソース電極からゲート電極に流れる。この電流は、接続ノードN2、オン状態のNチャネル型MOSトランジスタMN105を通して接地電位VSSへ流れる。

【0029】

30

同様に、Nチャネル型MOSトランジスタMN105のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がゲート電極からソース電極に流れる。この電流は、接続ノードN2、オン状態のPチャネル型MOSトランジスタMP106を通して電源電位VDDから流れる。以上のようなパスにより動作時にはゲートトンネルリーク電流が流れる。

【0030】

一方待機時には、Nチャネル型MOSトランジスタMN100がオンしており、VSSMは接地電位より高い電位VSSSたとえば0.5Vとなっている。I0、N1、N3の電位が1.5V、N0、N2の電位が0.5Vとなっている。このときPチャネル型MOSトランジスタ(MP103、MP106)およびNチャネル型MOSトランジスタ(MN102、MN104、MN105)がオン、Pチャネル型MOSトランジスタ(MP102、MP104、MP105)およびNチャネル型MOSトランジスタ(MN103、MN106)がオフしている。

40

【0031】

Pチャネル型MOSトランジスタMP103のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約1桁低減される。

【0032】

同様に、Nチャネル型MOSトランジスタMN104のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比

50

べ、約 1 桁低減される。

【 0 0 3 3 】

同様に、Pチャネル型MOSトランジスタMP106のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約 1 桁低減される。

【 0 0 3 4 】

同様に、Nチャネル型MOSトランジスタMN105のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が印加されている場合に比べ、約 1 桁低減される。

【 0 0 3 5 】

以上のようにゲート-ソース間に印加される電圧が下がるためゲートトンネルリーク電流が減少する。一方、保持データは破壊されない。また、オフ状態でゲート-ドレイン間に印可される電圧が下がるためGIDL電流も減少する。

【 0 0 3 6 】

本実施例では、インバータ回路およびラッチ回路の場合について述べたが、その他の半導体集積回路たとえば、ナンド回路、ノア回路等でも同様の効果が得られる。

【 0 0 3 7 】

実施例 2

図 3 は、本発明に係わる半導体装置の一実施例を示す回路図である。本回路は、Pチャネル型MOSトランジスタMPおよびNチャネル型MOSトランジスタMNより構成される半導体集積回路の一部を示しており、MOSトランジスタのゲートに使用される絶縁膜が4nm以下か、トンネルリーク電流が電源電圧1.5Vで、 $10^{-12} \text{A} / \mu\text{m}^2$ 以上である半導体集積回路製造技術を用いて単結晶シリコンのような半導体基板に形成される。

【 0 0 3 8 】

図 3 には半導体集積回路装置の一部として、インバータ回路INVおよびデータを保持するラッチ回路LATCHが示されている。

【 0 0 3 9 】

インバータ回路INV112は、Pチャネル型MOSトランジスタMP112およびNチャネル型MOSトランジスタMN112より構成される。Pチャネル型MOSトランジスタMP112のゲート電極には入力信号I1が、ドレイン電極には接続ノードN4が、ソース電極には電源ソース電極線VDDMがそれぞれ接続される。またPチャネル型MOSトランジスタMP112の基板電極は、電源ソース電極線VDDMあるいは電源電位VDDに接続される。Nチャネル型MOSトランジスタMN112のゲート電極には入力信号I1が、ドレイン電極には接続ノードN4が、ソース電極には接地電位VSSがそれぞれ接続される。またNチャネル型MOSトランジスタMN112の基板電極は、接地電位VSSに接続される。

【 0 0 4 0 】

インバータ回路INV113は、Pチャネル型MOSトランジスタMP113およびNチャネル型MOSトランジスタMN113より構成される。Pチャネル型MOSトランジスタMP113のゲート電極には接続ノードN4が、ドレイン電極には接続ノードN5が、ソース電極には電源ソース電極線VDDMがそれぞれ接続される。またPチャネル型MOSトランジスタMP113の基板電極は、電源ソース電極線VDDMあるいは電源電位VDDに接続される。Nチャネル型MOSトランジスタMN113のゲート電極には接続ノードN4が、ドレイン電極には接続ノードN5が、ソース電極には接地電位VSSがそれぞれ接続される。またNチャネル型MOSトランジスタMN114の基板電極は、接地電位VSSに接続される。

【 0 0 4 1 】

インバータ回路INV114は、Pチャネル型MOSトランジスタMP114およびNチャネル型MOSトランジスタMN114より構成される。Pチャネル型MOSトランジスタMP114のゲート電極には接続ノードN5が、ドレイン電極には出力信号O1が、

10

20

30

40

50

ソース電極には電源ソース電極線VDDMがそれぞれ接続される。またPチャネル型MOSトランジスタMP114の基板電極は、電源ソース電極線VDDMあるいは電源電位VDDに接続される。Nチャネル型MOSトランジスタMN114のゲート電極には接続ノードN5が、ドレイン電極には出力信号O1が、ソース電極には接地電位VSSがそれぞれ接続される。またNチャネル型MOSトランジスタMN114の基板電極は、接地電位VSSに接続される。

#### 【0042】

ラッチ回路LATCHは、CMOSインバータの入力と出力が互いに接続されて構成されるフリップ・フロップ(Pチャネル型MOSトランジスタ(MP115、MP116)、Nチャネル型トランジスタ(MN115、MN116)で構成される)で、記憶ノードN6と記憶ノードN7に情報が記憶される。

10

#### 【0043】

Pチャネル型MOSトランジスタMP115のゲート電極には記憶ノードN7が、ドレイン電極には記憶ノードN6が、ソース電極には電源ソース電極線VDDMがそれぞれ接続される。またPチャネル型MOSトランジスタMP105の基板電極は、電源ソース電極線VDDMあるいは電源電位VDDに接続される。

#### 【0044】

Pチャネル型MOSトランジスタMP116のゲート電極には記憶ノードN6が、ドレイン電極には記憶ノードN7が、ソース電極には電源ソース電極線VDDMがそれぞれ接続される。またPチャネル型MOSトランジスタMP116の基板電極は、電源ソース電極線VDDMあるいは電源電位VDDに接続される。

20

#### 【0045】

Nチャネル型MOSトランジスタMP115のゲート電極には記憶ノードN7が、ドレイン電極には記憶ノードN6が、ソース電極には接地電位VSSがそれぞれ接続される。またNチャネル型MOSトランジスタMN115の基板電極は、接地電位VSSに接続される。

#### 【0046】

Nチャネル型MOSトランジスタMP116のゲート電極には記憶ノードN6が、ドレイン電極には記憶ノードN7が、ソース電極には接地電位VSSがそれぞれ接続される。またNチャネル型MOSトランジスタMN116の基板電極は、接地電位VSSに接続される。

30

#### 【0047】

また、電源ソース電極線VDDMを電源電位VDDと接続するPチャネル型MOSトランジスタMP101および電源ソース電極線VDDMを電源電位より低い電位VDDDたとえば1.0Vに接続するPチャネル型MOSトランジスタMP100が配置される。

#### 【0048】

次に動作状態および待機状態について図4の動作波形を用いて説明する。ここでは、電源電圧VDDを1.5V、接地電位VSSを0V、電源電位より低い電位VDDDを1.0Vとする。この電圧はデバイスの特性等により変更される。

#### 【0049】

40

動作時では、Nチャネル型MOSトランジスタMP100がオンしており、VDDMは電源電位VDD、たとえば1.5Vとなっている。N4、N7の電位が1.5V、I1、N5、N6の電位が0Vとなっている。このときPチャネル型MOSトランジスタ(MP112、MP114、MP116)およびNチャネル型MOSトランジスタ(MN113、MN115)がオン、Pチャネル型MOSトランジスタ(MP113、MP115)およびNチャネル型MOSトランジスタ(MN112、MP114、MN116)がオフしている。

#### 【0050】

Nチャネル型MOSトランジスタMN113のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がゲート電極からソース電極に流れる。この電流は、接

50



続ノードN4、オン状態のPチャネル型MOSトランジスタMP112を通して電源電位VDDから流れる。

**【0051】**

同様に、Pチャネル型MOSトランジスタMP114のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がソース電極からゲート電極に流れる。この電流は、接続ノードN5、オン状態のNチャネル型MOSトランジスタMN113を通して接地電位VSSへ流れる。

**【0052】**

同様に、Pチャネル型MOSトランジスタMP116のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がソース電極からゲート電極に流れる。この電流は、接続ノードN6、オン状態のNチャネル型MOSトランジスタMN115を通して接地電位VSSへ流れる。

**【0053】**

同様に、Nチャネル型MOSトランジスタMN115のゲート-ソース電極間には1.5Vが印加されゲートトンネルリーク電流がゲート電極からソース電極に流れる。この電流は、接続ノードN6、オン状態のPチャネル型MOSトランジスタMP116を通して電源電位VDDから流れる。以上のようなパスにより動作時にはゲートトンネルリーク電流が流れる。

**【0054】**

一方待機時には、Pチャネル型MOSトランジスタMP101がオンしており、VDDMは電源電位より低い電位VVDDたとえば1.0Vとなっている。N4、N7の電位が1.0V、I1、N5、N6の電位が0Vとなっている。このときPチャネル型MOSトランジスタ(MP112、MP114、MP116)およびNチャネル型MOSトランジスタ(MN113、MN115)がオン、Pチャネル型MOSトランジスタ(MP113、MP115)およびNチャネル型MOSトランジスタ(MN112、MN114、MN116)がオフしている。

**【0055】**

Nチャネル型MOSトランジスタMN113のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約1桁低減される。

**【0056】**

同様に、Pチャネル型MOSトランジスタMP114のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約1桁低減される。

**【0057】**

同様に、Pチャネル型MOSトランジスタMP116のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約1桁低減される。

**【0058】**

同様に、Nチャネル型MOSトランジスタMN115のゲート-ソース電極間には1.0Vが印加されゲートトンネルリーク電流が1.5Vの電位差が引加されている場合に比べ、約1桁低減される。

**【0059】**

以上のようにゲート-ソース間に印加される電圧が下がるためゲートトンネルリーク電流が減少する。一方、保持データは破壊されない。また、オフ状態でゲート-ドレイン間に印可される電圧が下がるためGIDL電流も減少する。

**【0060】**

本実施例では、インバータ回路およびラッチ回路の場合について述べたが、その他の半導体集積回路たとえば、ナンド回路、ノア回路等でも同様の効果が得られる。

**【0061】**

### 実施例 3

図 15 は、本発明を S R A M に適用した場合の一実施例を示す回路図である。本半導体製造装置 9 8 は、P チャンネル型 M O S トランジスタおよび N チャンネル型 M O S トランジスタより構成され、M O S トランジスタのゲートに使用される絶縁膜が 4nm 以下か、トンネルリーク電流が電源電圧 1 . 5 V で、 $10^{-12} \text{ A} / \mu \text{ m}^2$  以上である半導体集積回路製造技術を用いて単結晶シリコンのような半導体基板に形成される。

#### 【 0 0 6 2 】

半導体装置である S R A M 9 8 は、複数のマット M E M B L K に分割されている。マットの詳細は図 5 に示した。マット単位は例えば 2 M ビット毎で、16M の S R A M では 8 マットに分割される。降圧回路 P W R は、外部パッドより印加される電源電位 V C C を基に、内部電源 ( V D D 、 V S S S 、 V D D D ) を生成し各マットへ分配する。インプットバッファ I N B U F からのデータ 1 1 6 は、プリデコーダ 1 1 5 および制御回路 1 1 7 を通してデコード信号および制御信号となり、各マットに分配される。各マット 1 0 8 は、複数の基本ユニット 1 0 6 より構成される。基本ユニットは 2 カラムのメモリ C E L L で構成される。

10

#### 【 0 0 6 3 】

C E L L 0 は、1 対の C M O S インバータの入力と出力が互いに接続されて構成されるフリップ・フロップ ( 負荷型 P チャンネル型 M O S トランジスタ ( M P 0 0 、 M P 0 1 ) 、駆動型 N チャンネル型トランジスタ ( M N 0 0 、 M N 0 1 ) で構成される ) と、前記フリップ・フロップの記憶ノード N L 0 と記憶ノード N R 0 とをデータ線 ( D T 0 、 D B 0 ) に選択的に接続する転送型 N チャンネル型 M O S トランジスタ ( M N 0 2 、 M N 0 3 ) とで構成される。N チャンネル型 M O S トランジスタ ( M N 0 2 、 M N 0 3 ) のゲート電極には、サブワード線 S W L 0 が接続される。

20

#### 【 0 0 6 4 】

メモリセル C E L L 1 は、1 対の C M O S インバータの入力と出力が互いに接続されて構成されるフリップ・フロップ ( P チャンネル型 M O S トランジスタ ( M P 1 0 、 M P 1 1 ) 、N チャンネル型トランジスタ ( M N 1 0 、 M N 1 1 ) で構成される ) と、前記フリップ・フロップの記憶ノード N L 1 と記憶ノード N R 1 とをデータ線 ( D T 1 、 D B 1 ) に選択的に接続する N チャンネル型 M O S トランジスタ ( M N 1 2 、 M N 1 3 ) とで構成される。N チャンネル型 M O S トランジスタ ( M N 1 2 、 M N 1 3 ) のゲート電極には、サブワード線 S W L 0 が接続される。

30

#### 【 0 0 6 5 】

また、基本ユニットには、センスアンプ回路 ( 1 0 3 ) とリードデータドライブ回路 ( 1 0 4 ) とライトアンプ回路 ( 1 0 5 ) とイコライズ・プリチャージ回路 ( 9 9 、 1 0 0 ) および Y スイッチ回路 ( 1 0 1 、 1 0 2 ) が含まれている。センスアンプ回路 ( 1 0 3 ) は、P チャンネル型 M O S トランジスタ ( M P 2 0 、 M P 2 1 ) と N チャンネル型 M O S トランジスタ ( M N 2 0 、 M N 2 1 ) からなるフリップフロップとセンスアンプを活性にする N チャンネル型 M O S トランジスタ M N 2 2 からなるラッチ型センスアンプ回路とスイッチ回路 ( M P 2 2 、 M P 2 3 ) から構成される。M O S トランジスタ ( M N 2 2 、 M P 2 2 、 M P 2 3 ) のゲート電極には、活性化信号 S A が接続されている。

40

#### 【 0 0 6 6 】

Y スイッチ回路 1 0 1 はデータ線 ( D T 0 、 D B 0 ) とセンスアンプ回路 1 0 3 をつなぐ P チャンネル型 M O S トランジスタ ( M P 0 5 、 M P 0 6 ) と N チャンネル型 M O S トランジスタ ( M N 0 4 、 M N 0 5 ) からなる。

#### 【 0 0 6 7 】

Y スイッチ回路 1 0 2 はデータ線 ( D T 1 、 D B 1 ) とセンスアンプ回路 1 0 3 をつなぐ P チャンネル型 M O S トランジスタ ( M P 1 5 、 M P 1 6 ) と N チャンネル型 M O S トランジスタ ( M N 1 4 、 M N 1 5 ) からなる。

50

**【 0 0 6 8 】**

制御信号 ( Y S W、Y S W B ) は、センスアンプ回路 1 0 3 をデータ線 ( D T 0、D B 0 ) に接続するかデータ線 ( D T 1、D B 1 ) に接続するか選択する信号である。

**【 0 0 6 9 】**

ライトアンプ回路 1 0 5 は、2つのクロックドインバータ ( C I N V 2、C I N V 3 ) およびインバータ I N V 0 より構成される。制御信号 ( W B C、W B C B ) によってデータバス 1 1 1 の信号がデータ線に伝播される。

**【 0 0 7 0 】**

リードデータドライブ回路 1 0 4 は、2つのクロックドインバータ ( C I N V 2、C I N V 3 ) より構成される。制御信号 ( R B C、R B C B ) によってデータバス 1 1 1 に読み出しデータが伝播される。

**【 0 0 7 1 】**

イコライズ・プリチャージ回路 9 9 は、電源電位 V D D とデータ線 D T 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 2 と電源電位 V D D とデータ線 D B 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 3 およびデータ線 D T 0 とデータ線 D B 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 4 より構成される。

**【 0 0 7 2 】**

P チャネル型 MOS トランジスタ ( M P 0 2、M P 0 3、M P 0 4 ) のゲート電極には制御信号 E Q が接続される。

**【 0 0 7 3 】**

イコライズ・プリチャージ回路 9 9 は、電源電位 V D D とデータ線 D T 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 2 と電源電位 V D D とデータ線 D B 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 3 およびデータ線 D T 0 とデータ線 D B 0 をつなぐ P チャネル型 MOS トランジスタ M P 0 4 より構成される。P チャネル型 MOS トランジスタ ( M P 0 2、M P 0 3、M P 0 4 ) のゲート電極には制御信号 E Q が接続される。

**【 0 0 7 4 】**

イコライズ・プリチャージ回路 1 0 0 は、電源電位 V D D とデータ線 D T 1 をつなぐ P チャネル型 MOS トランジスタ M P 1 2 と電源電位 V D D とデータ線 D B 1 をつなぐ P チャネル型 MOS トランジスタ M P 1 3 およびデータ線 D T 1 とデータ線 D B 1 をつなぐ P チャネル型 MOS トランジスタ M P 1 4 より構成される。P チャネル型 MOS トランジスタ ( M P 1 2、M P 1 3、M P 1 4 ) のゲート電極には制御信号 E Q が接続される。

**【 0 0 7 5 】**

各カラムには待機時にデータ線 ( D T、D B ) に電源電圧より低い電圧、たとえば 1 . 0 V を供給するためのスイッチ回路 ( 1 0 9、1 1 0 ) が配置される。スイッチ回路 1 0 9 は、電源電圧より低い電圧 V D D D とデータ線 D T 0 を接続する P チャネル型 MOS トランジスタ M P 0 7 と電源電圧より低い電圧 V D D D とデータ線 D B 0 を接続する P チャネル型 MOS トランジスタ M P 0 8 より構成される。P チャネル型 MOS トランジスタ ( M P 0 7、M P 0 8 ) のゲート電極には制御信号 C V D D D が接続される。

**【 0 0 7 6 】**

スイッチ回路 1 1 0 は、電源電圧より低い電圧 V D D D とデータ線 D T 1 を接続する P チャネル型 MOS トランジスタ M P 1 7 と電源電圧より低い電圧 V D D D とデータ線 D B 1 を接続する P チャネル型 MOS トランジスタ M P 1 8 より構成される。P チャネル型 MOS トランジスタ ( M P 1 7、M P 1 8 ) のゲート電極には制御信号 C V D D D が接続される。

**【 0 0 7 7 】**

メモリマット 1 0 8 内の全てのメモリセル接地ソース電極線 V S S M は、金属層によって接続されており、N チャネル型 MOS トランジスタ ( M N 6、M N 7 ) によって電源に接続される。N チャネル型 MOS トランジスタ M N 6 は接地電位 V S S より高い電圧を供給する電源 V S S S と接地ソース電極線 V S S M を接続するトランジスタであり、ゲート

10

20

30

40

50

電極には制御信号  $STVSSM$  が接続されている。Nチャネル型MOSトランジスタ  $MN7$  は接地電位  $VSS$  と接地ソース電極線  $VSSM$  を接続するトランジスタであり、ゲート電極には制御信号  $ACVSSM$  が接続されている。

#### 【0078】

制御信号  $STVSSM$  は、チップ選択信号  $CS$  およびマット選択信号  $MAT$  を使ってアンド回路  $AND0$  およびインバータ回路  $INV1$  によって生成される。

制御信号  $ACVSSM$  は、チップ選択信号  $CS$  およびマット選択信号  $MAT$  を使ってアンド回路  $AND0$  によって生成される。

#### 【0079】

制御信号  $CVDD$  は、チップ選択信号  $CS$  およびマット選択信号  $MAT$  を使ってアンド回路  $AND0$  によって生成される。

#### 【0080】

サブワード線  $SWL$  は入力されたアドレスおよび制御信号  $116$  をプリデコーダ  $115$  でプリデコードし、ワードデコーダおよびワードドライバ  $114$  により生成される。

#### 【0081】

制御信号  $EQ$  は、チップ選択信号  $CS$ 、マット選択信号  $MAT$  およびリセットパルス  $ATD$  を使ってナンド回路  $NAND0$  によって生成される。

#### 【0082】

制御信号 ( $YSWB$ 、 $YSW$ ) は、Yアドレス  $AY$  を使って、インバータ回路  $INV2$  によって生成される。

#### 【0083】

制御信号  $SA$  は、チップ選択信号  $CS$ 、マット選択信号  $MAT$ 、書き込み選択信号  $WE$  および  $FSEN$  を使ってアンド回路  $AND2$  およびインバータ回路 ( $INV3$ 、 $INV4$ ) によって生成される。 $FSEN$  は  $ATD$  より生成されるタイミングパルスである。

#### 【0084】

制御信号 ( $RBC$ 、 $RBCB$ ) は、制御信号  $SA$  を使ってインバータ回路  $INV5$  によって生成される。

#### 【0085】

制御信号 ( $WBC$ 、 $WBCB$ ) は、チップ選択信号  $CS$ 、マット選択信号  $MAT$  および書き込み選択信号  $WE$  を使ってアンド回路  $AND3$  およびインバータ回路  $INV6$  によって生成される。

#### 【0086】

制御信号 ( $CS$ 、 $WE$ 、 $YA$ 、 $MAT$ 、 $ATD$ ) は、入力されたアドレスおよび制御信号よりコントロール回路  $117$  を用いて生成される。マット選択信号  $MAT$  は、図  $15$  に示したように、別のコントロール回路  $118$  を用いて、速いマット選択信号  $FMAT$  が用意される場合もある。ワード線の選択は誤動作防止のためプロセスばらつき・タイミングを十分に考慮するのに対し、メモリセルに対し読み出し・書き込みをするために駆動される回路(動作電位を選択状態に制御する回路、イコライズ・プリチャージ回路等)はワード線の選択よりも早ければ、タイミングの制御精度は落としてもよい。

#### 【0087】

そこで、ワード線を選択するもととなるコントロール回路  $117$  には高いしきい値の  $MOSFET$  (Pチャネル型とNチャネル型いずれも含む)を用い、メモリセルに対し読み出し・書き込みをするために駆動される回路を活性化する信号を出力するコントロール回路  $118$  には前記高いしきい値及び低いしきい値の2種類のしきい値の  $MOSFET$  (Pチャネル型とNチャネル型いずれも含む)を用いる。しきい値の低い  $MOSFET$  を含めると、プロセスばらつきに対して弱くなり、出力タイミングの精度をとることが難しくなるが、(コントロール回路  $117$  よりコントロール回路  $118$  は早くマット選択信号を出力することができる。同じ回路構成を用いて設計を簡易にすることもできる。ワード線を選択するもととなるコントロール回路よりも低いしきい値の  $MOSFET$  を含めてしきい値の種類を増やしてメモリセルに対し読み出し・書き込みをするために駆動される回路を制

10

20

30

40

50

御する回路を構成する。これにより、ワード線を選択するもととなるマツト選択信号 M A T のタイミングの精度を上げるとともに、メモリセルに対し読み出し・書き込みをするために駆動される回路を選択するもととなるマツト選択信号 F M A T のタイミングをマツト選択信号 M A T よりも早く確実に出力させることができる。

#### 【 0 0 8 8 】

本構成は非同期式で選択タイミングの精度が厳しいメモリ装置の設計に特に有効である。速いマツト選択信号 F M A T は、例えばメモリセル接地ソース電極線 V S S M を制御する回路のアンド回路 A N D 0、V D D D 供給を制御する回路のアンド回路 A N D 1、イコライズ・プリチャージを制御する回路のナンド回路 N A N D 0 に、マツト信号 M A T の代わりに使用される。

10

#### 【 0 0 8 9 】

次に待機状態から読み出し動作を行う場合について図 6 の動作波形を用いて説明する。チップ選択信号 C S が “ L ” ( “ L O W ” レベル) のときあるいはマツトが選択されていない時には、メモリマツトは待機状態となる。このときメモリセル接地ソース電極線 V S S M には接地電位より高い電圧 V S S S たとえば 0.5 V が供給される。またデータ線 ( D T、D B ) には、電源電圧 V D D より低い電圧 V D D D たとえば 1.0 V が供給される。このときメモリセル C E L L 0 の蓄積ノード N L 0 は、0.5 V に、N R 0 は電源電位 V D D たとえば 1.5 V となる。オン状態である P チャネル型 M O S トランジスタ M P 0 1 のゲート - ソース電極間には電源電圧 1.5 V より低い 1.0 V の電圧が印加され、ゲートトンネルリーク電流が低減される。またオン状態である N チャネル型 M O S トランジスタ M N 0 0 のゲート - ソース電極間には電源電圧 1.5 V より低い 1.0 V の電圧が印加され、ゲートトンネルリーク電流が低減される。また、オフ状態のトランスファ - N チャネル型 M O S トランジスタ ( M N 0 2、M N 0 3 ) のゲート - ソース電極間には電源電圧 1.5 V より低い 1.0 V の電圧が印加され、G I D L 電流が低減される。

20

#### 【 0 0 9 0 】

チップ選択信号 C S が “ H ” になるかアドレスが変わると、A T D パルスが生成され読み出し動作が開始される。マツト選択信号 M A T とチップ選択信号 C S により、選択されたマツト 1 0 8 のメモリセル接地ソース電極線 V S S M が接地電位 0 V となる。また、データ線 ( D T、D B ) に電圧 V D D D を供給していた P チャネル型 M O S トランジスタ ( M P 0 7、M P 0 8、M P 1 7、M P 1 8 ) がオフする。

30

#### 【 0 0 9 1 】

A T D パルスから生成された制御信号 E Q によりデータ線 ( D T、D B ) が、電源電圧 V D D にプリチャージされる。

#### 【 0 0 9 2 】

この結果メモリセル C E L L 0 の蓄積ノード N L 0 は、0 V に、N R 0 は電源電位 V D D たとえば 1.5 V となる。オン状態である P チャネル型 M O S トランジスタ M P 0 1 のゲート - ソース電極間には電源電圧 1.5 V が印加され、ゲートトンネルリーク電流が増大する。またオン状態である N チャネル型 M O S トランジスタ M N 0 0 のゲート - ソース電極間には電源電圧 1.5 V が印加され、ゲートトンネルリーク電流が増大する。また、オフ状態のトランスファ - N チャネル型 M O S トランジスタ ( M N 0 2、M N 0 3 ) のゲート - ソース電極間には電源電圧 1.5 V が印加され、G I D L 電流が増加する。

40

#### 【 0 0 9 3 】

その後ワード線 S W L 0 が選択され、データ線 ( D T、D B ) に微小電位差が生じ、制御信号 S A でセンスアンプ 1 0 3 を活性化することにより微小電位差を増幅してデータをデータバス 1 1 1 に出力する。

#### 【 0 0 9 4 】

次に待機状態から書き込み動作を行う場合について図 7 の動作波形を用いて説明する。待機状態は読み出し動作の時と同様である。

#### 【 0 0 9 5 】

チップ選択信号 C S が “ H ” になるかアドレスが変わると、A T D パルスが生成され書

50

き込み動作が開始される。マット選択信号MATとチップ選択信号CSにより、選択されたマット108のメモリセル接地ソース電極線VSSMが接地電位0Vとなる。また、データ線(DT、DB)に電圧VDDDを供給していたPチャネル型MOSトランジスタ(MP07、MP08、MP17、MP18)がオフする。

【0096】

ATDパルスから生成された制御信号EQによりデータ線(DT、DB)が、電源電圧VDDにプリチャージされる。

【0097】

この結果メモリセルCELL0の蓄積ノードNL0は、0Vに、NR0は電源電位VDDたとえば1.5Vとなる。オン状態であるPチャネル型MOSトランジスタMP01のゲート-ソース電極間には電源電圧1.5Vが印加され、ゲートトンネルリーク電流が増大する。またオン状態であるNチャネル型MOSトランジスタMN00のゲート-ソース電極間には電源電圧1.5Vが印加され、ゲートトンネルリーク電流が増大する。また、オフ状態のトランスファ-ンチャネル型MOSトランジスタ(MN02、MN03)のゲート-ソース電極間には電源電圧1.5Vが印加され、GIDL電流が増加する。

【0098】

その後ワード線SWL0が選択される。データ線(DT、DB)には、データバス111の信号が入力され、この信号によりメモリセルCELLにデータが書き込まれる。

【0099】

本実施例ではメモリセルのソース電圧を待機時に0.5Vに上げたが、メモリセルの電源を1.0Vに下げてもいい。ただし、待機状態から動作状態に変わるときは、動作状態から待機状態に変わるときより高速に移行することが要求される。このため、待機時にソース電圧を0.5Vに上げるほうが、メモリセルの電源を1.0Vにさげるより、電源回路の負担が小さくなるため、ソースを0.5Vに上げるほうが有利である。また、図13の特性を見ても分るとおり、同じ0.5Vであっても、低電位側のソース電圧を高くすることが電流を下げる上で有利であるといえる。

【0100】

図14に待機時と動作時の1SRAMセルのリーク電流を示した。GIDL電流、サブスレッショルドリーク電流、GIDL全てが待機時で小さくなっている。

【0101】

図16に降圧回路PWRの特性の一例を示す。ビット線等に供給する電位VDDD及び、メモリセルに供給する動作電位(高電位VDD、低電位VSS)を生成するに際し、外部パッドより供給される電位VCCがある所定値以上となるとときに外部パッドより供給される電位を制御して出力する構成をとっている。例えば、外部パッドより供給される電位VCCが1.5V以下では、メモリセルに供給する高電位VDDは、外部パッドより供給される電源電位VCCと同一であり、VCCが1.5V以上では、VDDは1.5Vで一定となるように制御する。また、電源電位より低い電位VDDDは、VCCが1.0V以下では、外部パッドより供給される電位VCCと同一であり、VCCが1.0V以上では、1.0Vで一定となるように制御する。接地電位より高い電位VSSSは、電位VCCが1.0V以下の時は0Vであり、外部電源パッドより供給される電位VCCが1.0V以上の時は、メモリセルに供給する高電位側の電位VDDに基づいてそれよりより1.0V低い値になるように制御される。これにより、半導体チップの外より入力される電源電位VCCが変動してもメモリセルに印加される電圧が常に1.0Vとなりデータ破壊が生じないようにすることが可能となる。尚、別の外部パッドから供給される低電位側の電位VSSは接地電位であることから変動しないものと考えることができる。帰還回路により制御が可能となる動作電位生成回路の適用は、メモリを具備する半導体集積回路に限られず、前の実施例においても有効である。

【0102】

本実施例においては、GIDL電流の低減のために半導体装置において、ソース・ドレイン領域のうち、コンタクトをとる領域に砒素を、エクステンション領域に燐を用いたN

10

20

30

40

50

チャンネル型MOSトランジスタを具備させる。SRAMを有する半導体装置において、前記Nチャンネル型MOSトランジスタをSRAMのメモリセル内のNチャンネル型MOSトランジスタに用い、メモリセルを制御する周辺回路のNチャンネル型MOSトランジスタにはコンタクトをとる領域とエクステンション領域いずれにも砒素を用いたNチャンネル型MOSトランジスタを用いる。

#### 【0103】

図26において、Nチャンネル型MOSトランジスタのソース・ドレイン領域のうち、コンタクトをとる領域に砒素をいずれにも用い、エクステンション領域に砒素を用いたときのゲート電圧 $V_{gs}$ とソース・ドレイン間の電流 $I_{ds}$ を(a)に、燐を用いたときのゲート電圧 $V_{gs}$ とソース・ドレイン間の電流 $I_{ds}$ の特性を(b)に示す。座標は(a) (b)で同じである。この波形を見て明らかなように、ゲート電圧が0.0Vにおけるオフ電流は燐を用いた方(b)が明らかに低下しており、さらに今回の発明の方式(スタンバイ時にメモリセルの動作電位 $V_{ssm}$ を0.0Vから0.5Vにあげる方式)とした場合に燐をエクステンション領域に用いることがオフ電流を低減するに對し有効であることがわかる。ここには示していないが、高温動作領域での効果が顕著であることがわかっている。

10

#### 【0104】

As(砒素)よりP(リン)は、 $V_{th}$ -Lowering特性などのデバイス特性への変動が大きく、電流駆動力はAsより低下するため、イオン打込み濃度やエネルギーの調整が難しいため、一般にはコンタクトを取る領域及びエクステンション領域には砒素が用いられていた。特開平9-135029号においてはコンタクトを取る領域及びエクステンション領域いずれにも燐をデバイス構造が開示されているが、本発明者らによりGIDL電流低減にはエクステンション領域に燐を注入することが有効であり、コンタクトを取る領域にはデバイスの性能面(電流駆動力、短チャンネル特性)から砒素を用いることが有効であることが示された。

20

#### 【0105】

本効果が得られる理由は、ゲート電極下にオーバーラップしているエクステンション領域での燐注入により、ゲート電極からの縦方向電界によるバンド曲がりが緩和されるためである。また、インプラプロファイルのブロード化により、チャンネル領域とエクステンション領域との縦方向の接合電界強度が緩和され、PN接合リークが低減した効果も寄与している。

30

#### 【0106】

図17～図25は、本実施例の半導体装置の製造方法の一例を工程順に示した断面図である。それぞれの図はメモリセル部MCを構成するNチャンネル型MOSトランジスタ $Q_{mn}$ とPチャンネル型MOSトランジスタ $Q_{mp}$ と、周辺回路部PERIを構成するNチャンネル型MOSトランジスタ $Q_{pn}$ とPチャンネル型MOSトランジスタ $Q_{pp}$ と、高耐圧部HVを構成するNチャンネル型MOSトランジスタ $Q_{hn}$ とPチャンネル型MOSトランジスタ $Q_{hp}$ とに分けて記載している。メモリセル部MCを構成するNチャンネル型MOSトランジスタ $Q_{mn}$ は図5の各メモリセルCELLの駆動と転送MOSトランジスタに用いられる。メモリセル部MCを構成するPチャンネル型MOSトランジスタ $Q_{mp}$ は図5の各メモリセルCELLの負荷MOSトランジスタに用いられる。周辺回路部PERIを構成するNチャンネル型MOSトランジスタ $Q_{pn}$ とPチャンネル型MOSトランジスタ $Q_{pp}$ は図5のメモリセル部以外のPとNチャンネル型MOSトランジスタに用いられる。つまり、センスアンプ回路(103)、リードデータドライブ回路(104)、ライトアンプ回路(105)、イコライズ・プリチャージ回路(99、100)とYスイッチ回路(101、102)、ワードデコーダおよびワードドライバ(114)、プリデコーダ(115)、制御回路(117)に用いられるMOSトランジスタを含む。高耐圧部HVを構成するNチャンネル型MOSトランジスタ $Q_{hn}$ とPチャンネル型MOSトランジスタ $Q_{hp}$ は入力と出力の動作電圧が異なる回路、つまり図15の入力バッファ(INBUF)、降圧回路(PWR)、入出力回路IOを構成するNとPチャンネル型MOSトランジスタに用いられる。

40

50

【 0 1 0 7 】

以下、図面を用いて工程順に説明する。まず、図 1 7 ( a ) に示すように、たとえば p - 型の単結晶シリコンからなる半導体基板 2 0 0 を用意し、半導体基板 2 0 0 の主面に素子分離領域 2 0 1 を形成する。素子分離領域 2 0 1 は、たとえば以下のようにして形成できる。まず、半導体基板 2 0 0 の主面上にシリコン酸化膜 (  $\text{SiO}_2$  ) およびシリコン窒化膜 (  $\text{Si}_3\text{N}_4$  ) を順次形成し、このシリコン窒化膜をパターニングされたフォトリソ膜を用いてエッチングし、このエッチングされたシリコン窒化膜をマスクとして半導体基板 2 0 0 に溝型の分離領域を形成する。その後、溝型の分離領域を埋め込む絶縁膜、たとえばシリコン酸化膜を堆積し、CMP 法等を用いて溝型分離領域以外の領域のシリコン酸化膜を除去し、さらにウエットエッチング法等によりシリコン窒化膜を除去する。これにより素子分離領域 ( トレンチアイソレーション ) 2 0 1 が形成される。素子分離領域は、溝型の分離領域に限定されるものではなく、例えば LOCOS ( Local Oxidization of Silicon ) 法によって形成されたフィールド絶縁膜で形成しても良い。次のイオン注入工程による半導体基板表面のダメージを緩和するために、薄いシリコン酸化膜を堆積させる。

10

【 0 1 0 8 】

その後パターニングされたフォトリソ膜をマスクとして不純物をイオン注入し、図 1 7 ( b ) に示すように、p ウエル 2 1 0、2 1 2 および n ウエル 2 1 1、2 1 3 を形成する。p ウエルには p 型の導電型を示す不純物たとえばボロン B 又はフッ化ボロン  $\text{BF}_2$  をイオン注入し、n ウエルには n 型の導電型を示す不純物たとえばリン P、砒素 As をイオン注入する。この後、各ウエル領域に MOSFET のしきい値を制御するための不純物 ( N チャネル型 MOS トランジスタでは n 型の導電型を示す不純物 ( P )、P チャネル型 MOS トランジスタでは p 型の導電型を示す不純物 (  $\text{BF}_2$  ) ) をイオン注入する。

20

【 0 1 0 9 】

次に図 1 7 ( b ) に示すように、ゲート絶縁膜となるシリコン酸化膜 2 2 1 を形成する。この際に、高耐圧部には厚膜ゲート酸化膜、周辺回路部とメモリセル部には薄膜ゲート酸化膜をホトリソグラフィー、エッチング技術を用いて形成した。

【 0 1 1 0 】

本実施例では、厚膜ゲート酸化膜の膜厚は外部入出力で 3 . 3 V に対応するため 8 . 0 nm、薄膜ゲート酸化膜は待機時におけるゲートリーク電流が問題となる 3 . 0 nm とした。高耐圧部以外の酸化膜をホトリソグラフィー・ウエットエッチング技術により除去した後に、再度、熱酸化して熱酸化することにより 2 種類の膜厚の酸化膜が形成される。その後、ゲート電極用の多結晶シリコン膜 2 2 2 を堆積し、レジストマスク 2 2 3 を用いて N と P チャネル型 MOS の電極領域にそれぞれ n 型 / p 型の不純物 ( 燐、ボロン ) をイオン注入する。

30

【 0 1 1 1 】

図 1 8 ( a ) に示すように、ホトリソグラフィー・ドライエッチングを用いて加工することによりゲート電極 2 3 0、2 3 1、2 3 2、2 3 3、2 3 4、2 3 5 が形成される。次に図 1 8 ( b ) に示すようにエクステンション領域となる半導体領域及びそれとパンチスルーを抑制するための反対の導電型 ( ウエルと同導電型でウエル領域よりも高濃度 ) の半導体領域をイオン注入法で形成する。N チャネル型 MOS トランジスタにおいてはメモリセル部 MC と周辺回路部 PERI と高耐圧部 HV とでそれぞれマスク ( 工程 ) を変えてイオン注入を行う。メモリセル部 MC においてはスタンバイ時の GIDL 電流を低減するために n 型の不純物である燐、p 型の不純物 ( ボロン ) を注入することにより n 型半導体領域 2 4 1、2 4 2 と p 型半導体領域 2 4 3、2 4 4 を形成する。その際には他の領域 ( P チャネル型 MOS トランジスタ領域、周辺回路部・高耐圧部領域 ) はレジストでマスクされる。周辺回路部 PERI においては高速動作を実現するために n 型の不純物である砒素、p 型の不純物 ( ボロン ) を注入することにより n 型半導体領域 2 4 5、2 4 6 と p 型半導体領域 2 4 7、2 4 8 を形成する。その際には他の領域 ( P チャネル型 MOS トランジスタ領域、メモリセル部・高耐圧部領域 ) はレジストでマスクされる。

40

【 0 1 1 2 】

50



次に図18(c)で示すように、Pチャネル型MOSトランジスタとなるn型ウエル領域211にはp型の不純物(ボロン)、n型の不純物(As)を注入することにより、エクステンション領域となる半導体領域251、254、255、256、パンチスルーを抑制するための、ウエルと同導電型でウエル領域よりも高濃度の半導体領域253、254、257、258を形成する。Pチャネル型MOSトランジスタはメモリセル部MC、周辺回路部PERIで不純物の種類・イオン注入の条件(エネルギー)を変えないため、同じマスク(工程)で行い、イオンを注入する際にはNチャネル型MOSトランジスタとなる領域及び高耐圧部HVのPチャネル型MOSトランジスタとなる領域はレジストでマスクする。高耐圧部のNチャネル型MOSトランジスタはエッジ端の縦方向電界を緩和するようにn型の不純物である砒素及び燐、p型の不純物(ボロン)を注入することによりn型半導体領域259、260、261、262とp型半導体領域263、264を形成する。分布係数の違いにより半導体表面に近いn型半導体領域259、260は砒素により主に構成され、より深く注入されるn型半導体領域261、262は燐が主成分となる。

#### 【0113】

次に図19(a)に示すように、高耐圧部HVのPチャネル型MOSトランジスタとなるn型ウエル領域213にはp型の不純物(ボロン)、n型の不純物(As)を注入することにより、エクステンション領域となるp型半導体領域266、パンチスルーを抑制するための、ウエルと同導電型でウエル領域よりも高濃度の半導体領域267を形成する。本実施例では、高耐圧部HVとメモリセル部MC、周辺回路部PERIでマスク(工程、イオン打ち込み条件)を変えたが、耐圧が製品の特性を満たすことが可能であれば、Pチャネル型MOSトランジスタをメモリセル部MC、周辺回路部PERI、高耐圧部HVで不純物の種類・イオン注入の条件(エネルギー)を変えずに一つのマスク(工程)で行うことが可能となる。

#### 【0114】

尚、エクステンション領域及びウエルと反導電型で高濃度の半導体領域のイオン注入の順序は問わない。つまり、Nチャネル型MOSトランジスタ領域へのイオン注入より先にPチャネル型MOSトランジスタとなる領域のイオン注入を行ってもよく。また、図18(b)(c)によれば、Nチャネル型MOSトランジスタの内、メモリセル部、周辺回路部、高耐圧部の順にイオン注入を行っているが、順番は問わない。高耐圧部のイオン注入をするに当たって不純物量によっては、メモリセル部、周辺回路部のイオン注入の際にマスクで覆わず、高耐圧部のためにマスクを用意しないことも可能ではあるが、不純物量に違いがあれば、図18(c)のように別のマスクを用意する必要がある。

#### 【0115】

図19(a)で示すように、半導体基板200上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極230、231、232、233、234、235の側壁にサイドウォールスペーサ(ゲート側壁膜)265をそれぞれ形成する。次に図19(b)に示すように、フォトレジスト膜270をマスクとして、ウエルnウエル210、212にp型不純物(ボロン)をイオン注入し、nウエル上のゲート電極231、232、235の両側にp型半導体領域271を形成する。p型半導体領域271は、ゲート電極231、232、235およびサイドウォールスペーサ265に対して自己整合的に形成され、pチャネルMISFETのソース、ドレイン領域として機能する。

#### 【0116】

同様に、フォトレジスト膜をマスクとしてpウエル211、213にn型不純物(As)をイオン注入し、電極とコンタクトを取ることになるn型半導体領域280を形成する。n型半導体領域280は、ゲート電極230、233、234およびサイドウォールスペーサ265に対して自己整合的に形成される。また、n型半導体領域280は、nチャネルMISFETのソース、ドレイン領域として機能する。その結果、サイドウォールスペーサ265の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ265の形成後に高濃度の不純物半導体領域を形成するLDD(Lightly Doped Drain)構

造のトランジスタがそれぞれの領域で形成される(図19(c))。尚、本実施例ではNチャネル型MOSトランジスタのソース・ドレイン領域を先に形成したが、Pチャネル型MOSトランジスタを先に形成してもよい。

#### 【0117】

次に図20(a)に示すように、シリコン酸化膜をエッチングし、ソース・ドレイン半導体領域の表面を露出し、高融点金属膜(Co、Ti、W、Mo、Ta)を堆積させ、アニールし、未反応の高融点金属膜を除去することによりゲート電極230、231、232、233、234、235及びソース・ドレインを形成する半導体領域の表面の一部をシリサイド化(290、291)させる。その後、シリコン窒化膜292を堆積させる。

#### 【0118】

図19(b)に示すように、半導体基板200上にCVD法またはスパッタ法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえばCMP法で研磨することにより、表面が平坦化された第1層間絶縁膜300を形成する。次に、フォトリソグラフィ技術を用いて第1層間絶縁膜300に接続孔を形成する。この接続孔は、n型半導体領域あるいはp型半導体領域上の必要部分に形成する。

#### 【0119】

接続孔内にプラグを、たとえば以下のようにして形成する。まず、接続孔の内部を含む半導体基板200の全面に窒化チタン膜301を形成する。窒化チタン膜は、たとえばCVD法により形成できる。CVD法は被膜の段差被覆性に優れるため、微細な接続孔内にも均一な膜厚で窒化チタン膜を形成できる。次に、接続孔を埋め込む金属(リチウム)膜302を形成する。金属膜は、たとえばCVD法で形成できる。次に、接続孔以外の領域の金属膜および窒化チタン膜を、たとえばCMP法により除去してプラグを形成できる。

#### 【0120】

このようなシリサイド層を形成することにより、接続孔12底部でのコンタクト抵抗を低減できる。同様にして第2層間絶縁膜310に接続孔を形成する。接続孔は窒化チタン膜311と金属(タングステン)膜312により形成される。これらのプラグはローカル配線の接続に用いられる。次に、半導体基板200の全面に、CVD法またはスパッタ法によりたとえば窒化チタン膜321とアルミニウム膜322を形成し、堆積された膜をフォトリソグラフィ技術によりパターンニングし、第1配線層の配線を形成する。第1層の配線はメモリ部ではビット線等に用いられる。配線を覆う絶縁膜、たとえばシリコン酸化膜を形成し、この絶縁膜をCMP法により平坦化して第2層間絶縁膜330を形成する。第2層間絶縁膜330上に接続孔が形成される領域に開孔を有するフォトレジスト膜を形成し、このフォトレジスト膜をマスクとしてエッチングを施す。これにより第2層間絶縁膜330の所定の領域に接続孔を形成する。接続孔内にプラグを形成する。

#### 【0121】

プラグは以下のようにして形成できる。まず、接続孔の内部を含む半導体基板200の全面にバリアメタル層340を形成し、さらに接続孔を埋め込む金属(タングステン)膜341を形成する。その後、接続孔以外の領域の金属膜およびバリアメタル層をCMP法により除去してプラグを形成する。バリアメタル層は第2層間絶縁膜330等周辺へのタングステンの拡散を防止する機能を有し、たとえば窒化チタン膜を例示できる。なお、窒化チタン膜には限られず、タングステンの拡散防止機能を有する限り他の金属膜であってもよい。たとえば、窒化チタンに代えてタンタル(Ta)、窒化タンタル(TaN)を用いることもできる。第1配線層と同様に、第2配線層の配線(351、352)を形成する。配線を覆う絶縁膜を形成し、この絶縁膜をCMP法により平坦化して第3層間絶縁膜360を形成する。第3層間絶縁膜360上に第2層間絶縁膜330で設けたと同様に接続孔を形成し、接続孔内にプラグ(361、362)を形成する。第2配線層と同様に、第3配線層の配線(363、364)を形成する。配線を覆う絶縁膜370を形成し、この絶縁膜の上に窒化シリコン膜をパッシベーション膜371として形成する。製品として出荷する前には検査工程、樹脂封止工程等がある。

#### 【0122】

10

20

30

40

50

砒素をエクステンション領域とコンタクトをとる領域に注入した場合と燐をエクステンション領域に適用した本デバイス構造を用いたメモリセルを試作した結果、スタンバイ電流は25、90において約50%低減できることがわかった。つまり、通常動作の温度だけでなく、高温においても半導体装置のスタンバイ電流を抑制することができ、本構造をとることにより製品の動作保証温度(例えば70度C以下)を高く設定することができるという効果を有する。

#### 【0123】

薄膜NMOSに本デバイス構造を採る事により、半導体装置のスタンバイ電流が従来As構造での2.5uAから1.0uA程度と低減することができる。この効果は、スタンバイ電流の主成分がNMOSのGIDL電流(約70%程度)であることに起因する。

10

#### 【0124】

尚、メモリセル部のNチャネル型MOSトランジスタのエクステンション領域には燐のみを用いたが、高速動作のために燐及び砒素を注入することもある。この場合には、イオン源が2種類必要となるが駆動電流が増えるという効果がでる。構造は高耐圧部のNチャネル型MOSトランジスタと類似する。高耐圧MOSよりも低いエネルギーでイオン注入を行う必要があるため、高耐圧部のエクステンション領域のイオン打ちこみをするときとマスクを変える必要があり、その結果半導体領域の広がりが高耐圧部のそのものより狭くなる。

#### 【0125】

##### 実施例4

20

図8は、本発明をマイクロプロセッサに適用した実施例を示している。MOSトランジスタのゲートに使用される絶縁膜が4nm以下か、トンネルリーク電流が電源電圧1.5Vで、 $10^{-12} \text{ A} / \mu\text{m}^2$ 以上である半導体集積回路製造技術を用いて単結晶シリコンのような半導体基板に形成される。

#### 【0126】

マイクロプロセッサ130は、IP回路133、キャッシュメモリ131およびCPU132より構成されている。また、動作および待機状態をコントロールするコントロール回路134もマイクロプロセッサ130に搭載されている。

#### 【0127】

キャッシュメモリ131の接地ソース電極線VSSMは、Nチャネル型MOSトランジスタMN200を介して接地電位より高い電位VSSSに接続され、またNチャネル型MOSトランジスタMN201を介して接地電位VSSに接続されている。Nチャネル型MOSトランジスタMN200のゲート電極には制御信号STBY0が接続されている。Nチャネル型MOSトランジスタMN201のゲート電極には制御信号ACTV0が接続されている。

30

#### 【0128】

CPU回路132の接地ソース電極線VSSMは、Nチャネル型MOSトランジスタMN202を介して接地電位より高い電位VSSSに接続され、またNチャネル型MOSトランジスタMN203を介して接地電位VSSに接続されている。Nチャネル型MOSトランジスタMN202のゲート電極には制御信号STBY1が接続されている。Nチャネル型MOSトランジスタMN203のゲート電極には制御信号ACTV1が接続されている。

40

#### 【0129】

IP回路133の接地ソース電極線VSSMは、Nチャネル型MOSトランジスタMN204を介して接地電位より高い電位VSSSに接続され、またNチャネル型MOSトランジスタMN205を介して接地電位VSSに接続されている。Nチャネル型MOSトランジスタMN204のゲート電極には制御信号STBY2が接続されている。Nチャネル型MOSトランジスタMN205のゲート電極には制御信号ACTV2が接続されている。

#### 【0130】

50

制御信号STBY0が“H”、ACTV0が“L”となると、キャッシュメモリ131は、待機状態となり、VSSMの電位が接地電位より高い電圧VSSSたとえば0.5Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。ただし、キャッシュメモリ内のデータは破壊されず保持される。

【0131】

制御信号STBY0が“L”、ACTV0が“H”となると、キャッシュメモリ131は、動作状態となり、VSSMの電位が接地電位VSSとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。

【0132】

制御信号STBY1が“H”、ACTV1が“L”となると、CPU回路132は、待機状態となり、VSSMの電位が接地電位より高い電圧VSSSたとえば0.5Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。ただし、レジスタファイルおよびラッチ内のデータは破壊されず保持される。

【0133】

制御信号STBY1が“L”、ACTV1が“H”となると、CPU回路132は、動作状態となり、VSSMの電位が接地電位VSSとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。

【0134】

制御信号STBY2が“H”、ACTV2が“L”となると、IP138は、待機状態となり、VSSMの電位が接地電位より高い電圧VSSSたとえば0.5Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。

【0135】

制御信号STBY2が“L”、ACTV2が“H”となると、IP138は、動作状態となり、VSSMの電位が接地電位VSSとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。

【0136】

実施例5

図9は、本発明をマイクロプロセッサに適用した実施例を示している。MOSトランジスタのゲートに使用される絶縁膜が4nm以下か、トンネルリーク電流が電源電圧1.5Vで、 $10^{-12} \text{ A} / \mu\text{m}^2$ 以上である半導体集積回路製造技術を用いて単結晶シリコンのような半導体基板に形成される。

【0137】

マイクロプロセッサ135は、IP回路138、キャッシュメモリ136およびCPU137より構成されている。また、動作および待機状態をコントロールするコントロール回路139もマイクロプロセッサ135に搭載されている。

【0138】

キャッシュメモリ136の電源ソース電極線VDDMは、Pチャネル型MOSトランジスタMP200を介して電源電位より低い電位VDDDに接続され、またPチャネル型MOSトランジスタMP201を介して電源電位VDDに接続されている。Pチャネル型MOSトランジスタMP200のゲート電極には制御信号STBYB0が接続されている。Pチャネル型MOSトランジスタMP201のゲート電極には制御信号ACTVB0が接続されている。

【0139】

CPU回路137の電源ソース電極線VDDMは、Pチャネル型MOSトランジスタMP202を介して電源電位より低い電位VDDDに接続され、またPチャネル型MOSトランジスタMP203を介して電源電位VDDに接続されている。Pチャネル型MOSトランジスタMP202のゲート電極には制御信号STBYB1が接続されている。Pチャ

10

20

30

40

50

ネル型MOSトランジスタMP203のゲート電極には制御信号ACTVB1が接続されている。

【0140】

IP回路138の電源ソース電極線VDDMは、Pチャネル型MOSトランジスタMP204を介して電源電位より低い電位VDDDに接続され、またPチャネル型MOSトランジスタMP205を介して電源電位VDDに接続されている。Pチャネル型MOSトランジスタMP204のゲート電極には制御信号STBYB2が接続されている。Pチャネル型MOSトランジスタMP205のゲート電極には制御信号ACTVB2が接続されている。

【0141】

制御信号STBYB0が“L”、ACTVB0が“H”となると、キャッシュメモリ136は、待機状態となり、VDDMの電位が電源電位より低い電圧VDDDたとえば1.0Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。ただし、キャッシュメモリ内のデータは破壊されず保持される。

【0142】

制御信号STBYB0が“H”、ACTVB0が“L”となると、キャッシュメモリ136は、動作状態となり、VDDMの電位が電源電位VDDとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。制御信号STBYB1が“L”、ACTVB1が“H”となると、CPU回路137は、待機状態となり、VDDMの電位が電源電位より低い電圧VDDDたとえば1.0Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。ただし、レジスタファイルおよびラッチ内のデータは破壊されず保持される。

【0143】

制御信号STBYB1が“H”、ACTVB1が“L”となると、CPU回路137は、動作状態となり、VDDMの電位が電源電位VDDとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。

【0144】

制御信号STBYB2が“L”、ACTVB2が“H”となると、IP回路138は、待機状態となり、VDDMの電位が電源電位より低い電圧VDDDたとえば1.0Vとなる。この時MOSトランジスタのゲート-ソース間に印加される電圧が下がり、ゲートトンネルリーク電流が低減される。

【0145】

制御信号STBYB2が“H”、ACTVB2が“L”となると、IP回路138は、動作状態となり、VDDMの電位が電源電位VDDとなる。この場合MOSトランジスタのゲートトンネルリーク電流は待機時に比べ増加する。

【0146】

実施例6

図10は、本発明を使ったSRAMあるいはマイクロプロセッサを携帯電話などの電池で動作するシステムに応用した実施例を示している。携帯電話140には、電池141と実施例3で述べたSRAM、実施例4で述べたマイクロプロセッサ130が搭載されている。電池駆動するための端子とSRAMとマイクロプロセッサが単一の半導体基板に搭載されている半導体装置からなる。また接地電位より高い電圧VSSたとえば0.5Vを電源電位VDDから生成する回路143も搭載されている。

【0147】

SRAM98はCSが“L”のときに待機状態となり接地電極が0.5Vとなりゲートトンネルリーク電流が低減される。

【0148】

マイクロプロセッサ130はSTBYが“H”でACTVが“L”のとき待機状態となり接地電極が0.5Vとなりゲートトンネルリーク電流が低減される。

この結果電池の寿命を延ばすことが可能となる。

【0149】

実施例 6

図10は、本発明を使ったSRAMあるいはマイクロプロセッサを携帯電話などの電池で動作するシステムに応用した実施例を示している。携帯電話140には、電池141と実施例3で述べたSRAM、実施例4で述べたマイクロプロセッサ130が搭載されている。電池駆動するための端子とSRAMとマイクロプロセッサが単一の半導体基板に搭載されている半導体装置からなる。また接地電位より高い電圧VSSたとえば0.5Vを電源電位VDDから生成する回路143も搭載されている。

【0150】

SRAM98はCSが“L”のときに待機状態となり接地電極が0.5Vとなりゲートトンネルリーク電流が低減される。

【0151】

マイクロプロセッサ130はSTBYが“H”でACTVが“L”のとき待機状態となり接地電極が0.5Vとなりゲートトンネルリーク電流が低減される。

この結果電池の寿命を延ばすことが可能となる。

【0152】

実施例 7

図11は、本発明を使ったSRAMあるいはマイクロプロセッサを携帯電話などの電池で動作するシステムに応用した実施例を示している。携帯電話144には、電池141とSRAM146、マイクロプロセッサ147が搭載されている。SRAM146とマイクロプロセッサ147の電源VDDIを供給する電源チップ145も搭載されている。

【0153】

図12に動作波形を示す。動作時にはスタンバイ信号STBYが“L”となりSRAM146とマイクロプロセッサ147に電源電位VDDが与えられる。待機時にはスタンバイ信号STBYが“H”となりSRAM146とマイクロプロセッサ147に電源電位VDDより低い電位が与えられる。このときゲートトンネルリーク電流およびGIDL電流が低減される。この結果電池の寿命を延ばすことが可能となる。

【0154】

尚、本文中のMOSトランジスタのゲート酸化膜を絶縁膜としたMISトランジスタに適用してもよい。

【0155】

【発明の効果】

本発明によれば、データを破壊することなくリーク電流を低減することができる。

【図面の簡単な説明】

【図1】 実施例1に係わる半導体装置集積回路の回路図。

【図2】 実施例1に係わる半導体装置集積回路の動作波形。

【図3】 実施例2に係わる半導体装置集積回路の回路図。

【図4】 実施例2に係わる半導体装置集積回路の動作波形。

【図5】 実施例3に係わる半導体記憶装置の回路図。

【図6】 実施例3に係わる待機時および読み出し時の動作波形。

【図7】 実施例3に係わる待機時および書き込み時の動作波形。

【図8】 実施例4に係わる半導体集積回路の回路図。

【図9】 実施例5に係わる半導体集積回路の回路図。

【図10】 実施例6に係わる半導体集積回路の回路図。

【図11】 実施例7に係わる半導体集積回路の回路図。

【図12】 実施例7に係わる半導体集積回路の動作波形。

【図13】 本方式におけるMOSトランジスタ電流低減効果。

【図14】 実施例3に係わるリーク電流低減効果。

【図15】 実施例3に係わる半導体記憶装置の概略回路図。

10

20

30

40

50

- 【図 1 6】 実施例 3 に係わる降圧回路の特性図。  
 【図 1 7】 本発明の半導体集積回路の製造方法を示す半導体基板の要部断面図。  
 【図 1 8】 本発明の半導体集積回路の製造方法を示す半導体基板の要部断面図。  
 【図 1 9】 本発明の半導体集積回路の製造方法を示す半導体基板の要部断面図。  
 【図 2 0】 本発明の半導体集積回路の製造方法を示す半導体基板の要部断面図。  
 【図 2 1】 本発明の半導体集積回路の製造方法を示す半導体基板の要部断面図。  
 【図 2 2】 本発明の製造方法を適用した場合の特性図。

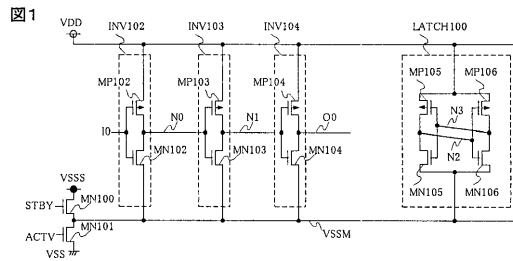
【符号の説明】

CELL.....	S R A M メモリセル	
MN.....	N チャネル型 M O S トランジスタ	10
MP.....	P チャネル型 M O S トランジスタ	
INV.....	インバータ回路	
C INV.....	クロックドインバータ回路	
L A T C H .....	ラッチ回路	
N A N D .....	N A N D 回路	
A N D .....	N A N D 回路	
N .....	接続ノード	
I .....	入力信号	
O .....	出力信号	
NL、NR.....	SRAMメモリセル内部ノード	20
V D D .....	電源電位	
V D D D .....	電源電位より低い電位	
V C C .....	外部パッドより供給される高電位側の電源電位	
V D D M .....	電源ソース電極線	
V S S .....	接地電位	
V S S S .....	接地電位より高い電位	
V S S M .....	接地ソース電極線	
D T、D B .....	データ線	
S W L .....	サブワード線	
S T B Y .....	待機選択信号	30
A C T V .....	動作選択信号	
A C V S S M .....	制御信号	
S T V S S M .....	制御信号	
C V D D D .....	制御信号	
E Q .....	イコライズ・プリチャージ回路制御信号	
Y S W、Y S W B .....	Y スイッチ制御信号	
S A .....	センスアンプ制御信号	
R B C、R B C B .....	読み出しデータ出力制御信号	
W B C、W B C B .....	書き込みデータ入力制御信号	
C S .....	チップ選択信号	40
W E .....	書き込み選択信号	
A Y .....	Y アドレス	
M A T .....	マット選択信号	
A T D .....	A T D パルス	
9 8、1 4 6 .....	S R A M	
9 9、1 0 0 .....	イコライズ、プリチャージ回路	
1 0 1、1 0 2 .....	Y スイッチ回路	
1 0 3 .....	センスアンプ回路	
1 0 4 .....	リードデータドライブ回路	
1 0 5 .....	ライトアンプ回路	50

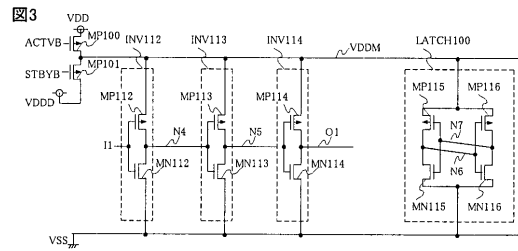
1 0 6	..... 基本ユニット									
1 0 8、	M E M B L K ..... メモリセルマツト									
1 0 9、	1 1 0 ..... スイッチ回路									
1 1 1	..... データバス									
1 1 4	..... ワードデコーダおよびワードドライバ									
1 1 5	..... プリデコーダ									
1 1 6	..... アドレスおよび制御信号									
1 1 7、	1 1 8 ..... 制御回路									
1 3 0、	1 3 5、	1 4 7 ..... マイクロプロセッサ								
1 3 1、	1 3 6	..... キャッシュメモリ								
1 3 2、	1 3 7	..... C P U 回路								
1 3 3、	1 3 8	..... I P 回路								
1 3 4、	1 3 9	..... コントロール回路								
1 4 0、	1 4 4	..... 携帯電話システム								
1 4 1	..... 電池									
1 4 3、	1 4 5	..... 電源回路。								
F M A T	..... 速いマツト選択信号									
P W R	..... 降圧回路									
I N B U F	..... インプットバッファ									
Q m n、	Q m p	..... メモリセル部の N と P チャネル型 M I S F E T								
Q p n、	Q p p	..... 周辺回路部の N と P チャネル型 M I S F E T								
Q h n、	Q h p	..... 高耐圧部の N と P チャネル型 M I S F E T								
2 0 0	..... 半導体基板									
2 0 1	..... 素子分離領域									
2 1 0、	2 1 1、	2 1 2、	2 1 3 ..... ウエル							
2 2 1	..... 絶縁膜									
2 2 2	..... 多結晶シリコン膜									
2 2 3、	2 7 0	..... レジストマスク								
2 3 0、	2 3 1、	2 3 2、	2 3 3、	2 3 4、	2 3 5 ..... ゲート電極					
2 4 1、	2 4 2、	2 4 5、	2 4 6、	2 5 3、	2 5 4、	2 5 7、	2 5 8、	2 5 9、	2 6 0、	
2 6 1、	2 6 2、	2 6 7、	2 8 0	..... n 型半導体領域						
2 4 3、	2 4 4、	2 4 7、	2 4 8、	2 5 1、	2 5 4、	2 5 5、	2 5 6、	2 6 3、	2 6 4、	
2 6 6、	2 7 1	..... p 型半導体領域								
2 6 5	..... サイドウォールスペーサ									
2 9 0、	2 9 1	..... シリサイド膜								
2 9 2	..... シリコン窒化									
3 0 0、	3 1 0、	3 3 0、	3 6 0、	3 7 0	..... 層間絶縁膜					
3 0 1、	3 1 1、	3 2 1	..... 窒化チタン膜							
3 0 2、	3 1 2、	3 2 2、	3 4 1、	3 5 2、	3 6 4	..... 金属膜				
3 4 0、	3 5 1、	3 6 4	..... バリアメタル層							
3 7 1	..... パッシベーション膜。									



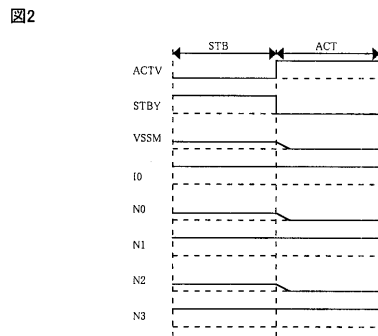
【 図 1 】



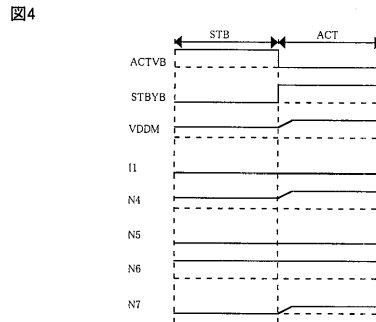
【 図 3 】



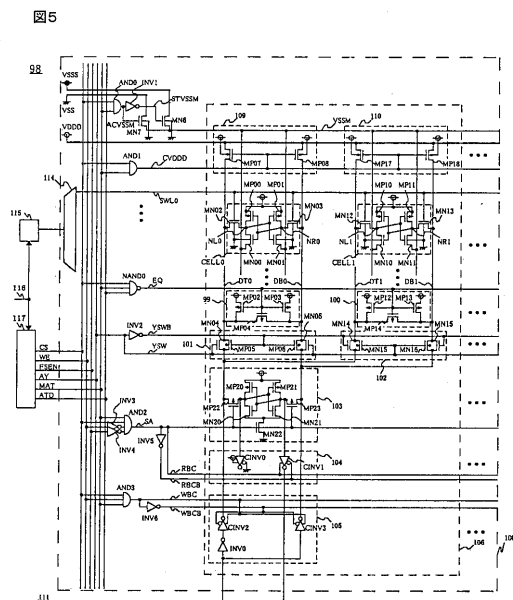
【 図 2 】



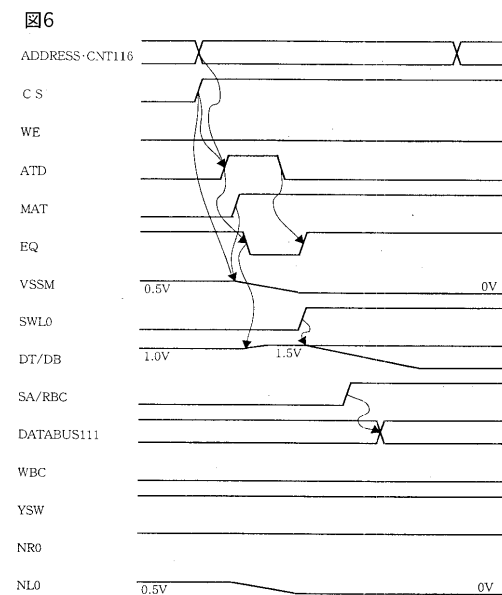
【 図 4 】



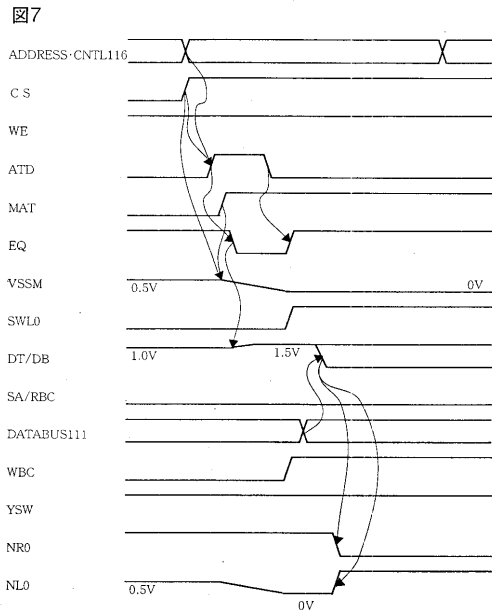
【 図 5 】



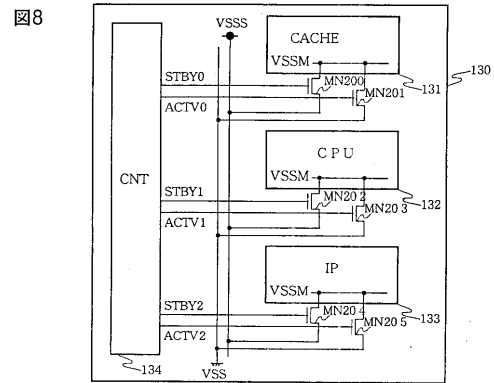
【 図 6 】



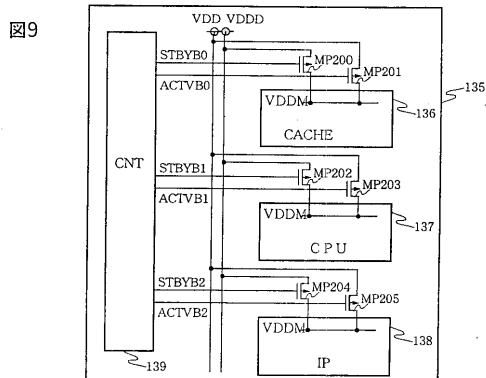
【図 7】



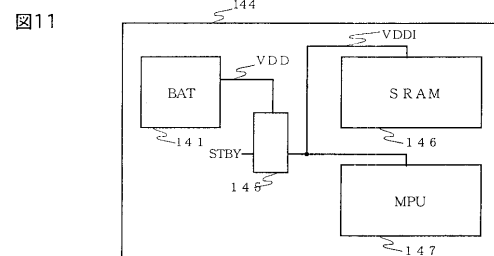
【図 8】



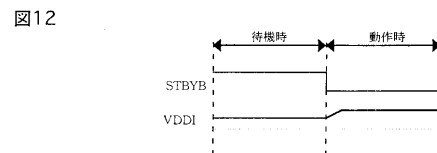
【図 9】



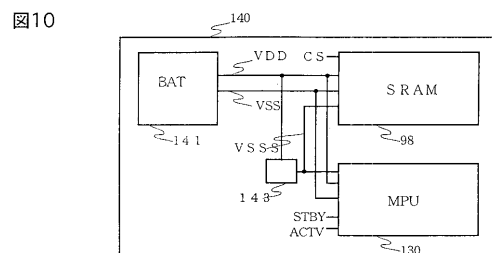
【図 11】



【図 12】

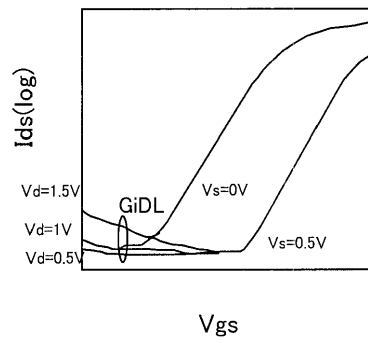


【図 10】



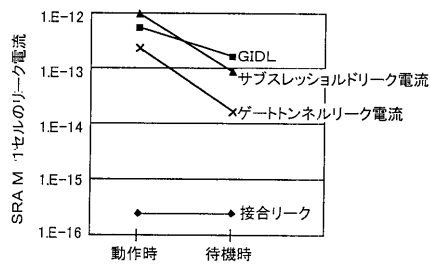
【図13】

図13



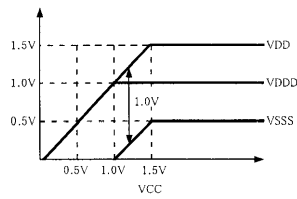
【図14】

図14



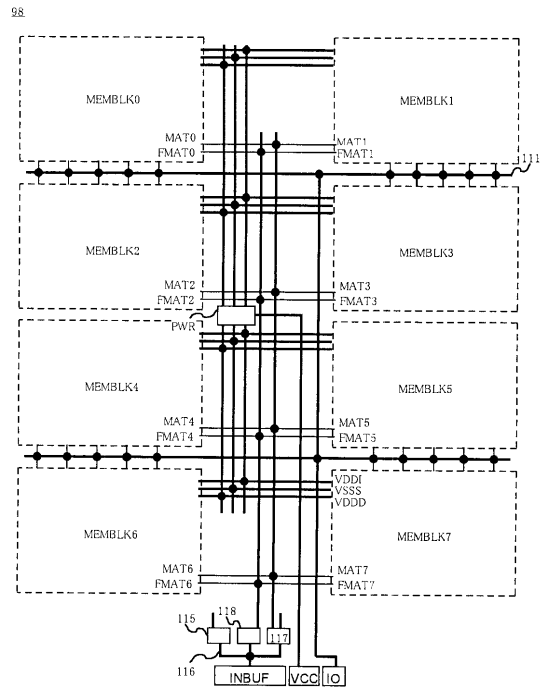
【図16】

図16



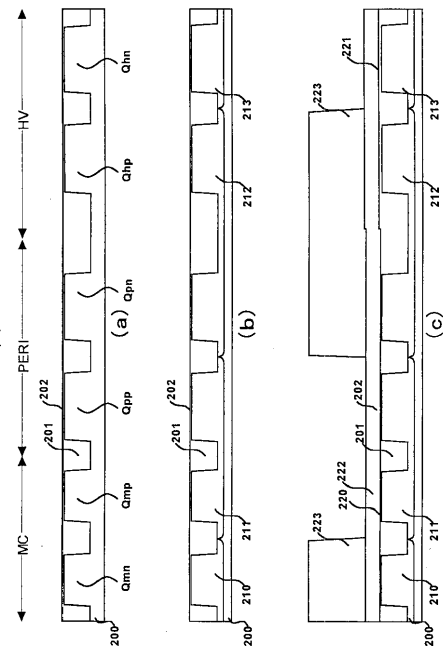
【図15】

図15

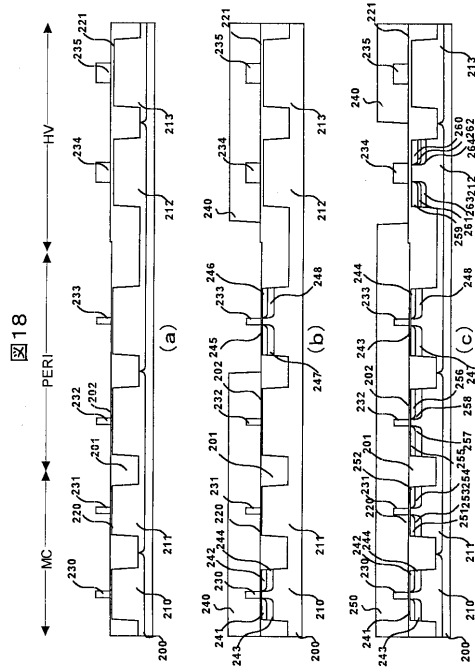


【図17】

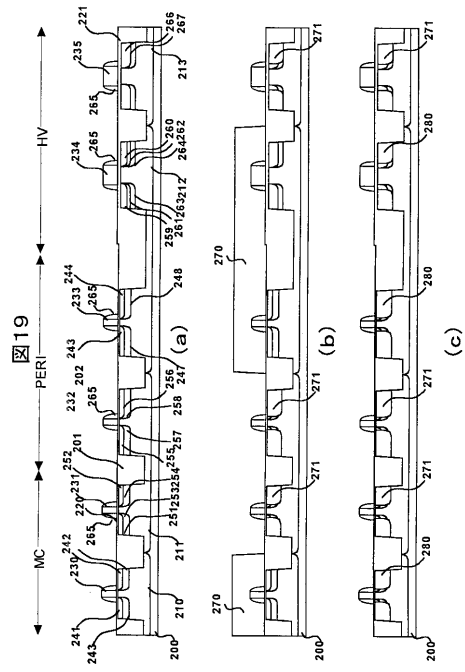
図17



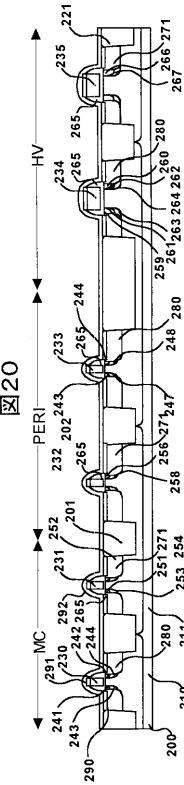
【図 18】



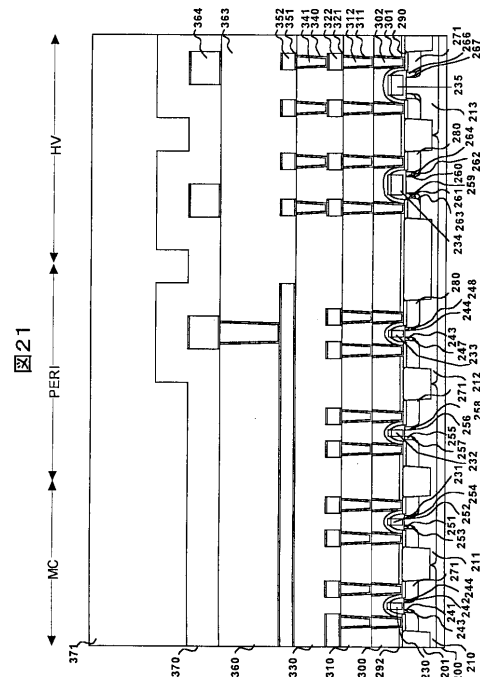
【図 19】



【図 20】

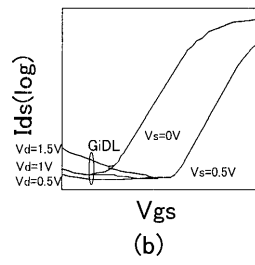
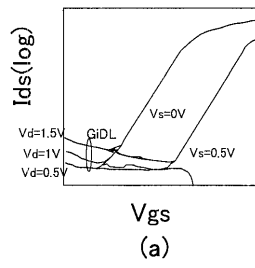


【図 21】



【図 22】

図22



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/10 (2006.01) H 0 1 L 27/10 4 8 1

- (72)発明者 齊藤 良和  
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内
- (72)発明者 西田 彰男  
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内
- (72)発明者 中道 勝  
東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 北井 直樹  
東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

審査官 正山 旭

- (56)参考文献 特開平 1 1 - 2 8 9 0 2 0 ( J P , A )  
特開 2 0 0 1 - 1 2 7 1 6 8 ( J P , A )  
国際公開第 9 7 / 0 3 8 4 4 4 ( W O , A 1 )  
特開 2 0 0 0 - 3 5 7 9 6 2 ( J P , A )  
特開平 0 9 - 1 3 5 0 2 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8244  
G11C 11/413  
H01L 21/8238  
H01L 27/092  
H01L 27/10  
H01L 27/11