



(12)发明专利

(10)授权公告号 CN 103311247 B

(45)授权公告日 2016.07.13

(21)申请号 201210067312.5

(22)申请日 2012.03.14

(73)专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3#

(72)发明人 殷华湘 徐秋霞 赵超 陈大鹏

(74)专利代理机构 北京蓝智辉煌知识产权代理
事务所(普通合伙) 11345

代理人 陈红

(51) Int. Cl.

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

审查员 李快快

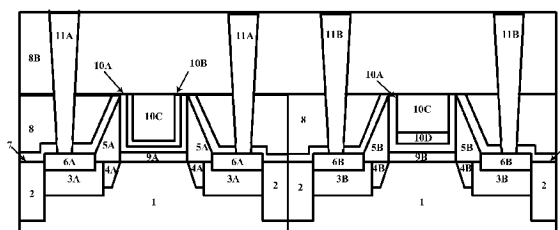
权利要求书3页 说明书9页 附图4页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本发明公开了一种半导体器件,包括衬底、衬底上的多个栅极堆叠结构、每个栅极堆叠结构两侧的多栅极侧墙结构、每个栅极侧墙结构两侧衬底中的多源漏区,多个栅极堆叠结构包括多个第一栅极堆叠结构和多个第二栅极堆叠结构,其中第一栅极堆叠结构包括第一栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层、栅极填充层,该功函数接近价带(导带)边。第二栅极堆叠结构包括第二栅极绝缘层、改性的第一功函数金属层、第二功函数金属层、栅极填充层,其特征在于:第二功函数金属层包括注入的调节功函数掺杂离子,同时部分扩散到其下的第一功函数层调节阈值,使该栅极的功函数接近导带(价带)边与原有的第一功函数相对,从而精确调节栅极功函数。



1. 一种半导体器件,包括衬底、衬底上的多个栅极堆叠结构、每个栅极堆叠结构两侧的多个栅极侧墙结构、每个栅极侧墙结构两侧衬底中的多个源漏区,多个栅极堆叠结构包括多个第一栅极堆叠结构和多个第二栅极堆叠结构,其中第一栅极堆叠结构由第一栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层、栅极填充层构成,第二栅极堆叠结构由第二栅极绝缘层、第一功函数金属层、第二功函数金属层、栅极填充层构成,其特征在于:第二功函数金属层包括注入的调节功函数掺杂离子,并且该调节功函数掺杂离子扩散到第一功函数层,共同改变第二栅极堆叠结构的功函数,使得第二栅极堆叠结构的第二栅极功函数与第一栅极堆叠结构的第一栅极功函数相对。

2. 如权利要求1的半导体器件,其中,第一栅极功函数接近价带且第二栅极功函数接近导带,或者第一栅极功函数接近导带且第二栅极功函数接近价带。

3. 如权利要求1的半导体器件,其中,第一和/或第二栅极绝缘层包括氧化硅、掺氮氧化硅、氮化硅、高K材料及其组合。

4. 如权利要求3的半导体器件,其中,高K材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的钪基材料,或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料,或是包括 Al_2O_3 ,以其上述材料的复合层。

5. 如权利要求1的半导体器件,其中,第一功函数金属层包括a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合。

6. 如权利要求1的半导体器件,其中,第二功函数金属扩散阻挡层包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M包括Ta、Ti、Hf、Zr、Mo、W及其组合。

7. 如权利要求1的半导体器件,其中,栅极填充层包括:a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合;和/或c)金属硅化物,包括 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi 及其组合;和/或d)金属氧化物导体,包括 In_2O_3 、 SnO_2 、ITO、IZO及其组合;和/或e)半导体材料,包括掺杂的多晶硅、非晶硅、多晶锗、多晶锗硅及其组合;以及上述材料的复合层。

8. 如权利要求1的半导体器件,其中,对于NMOS而言,调节功函数掺杂离子包括Al、Ga、In、B及其组合;对于PMOS而言,调节功函数掺杂离子包括Sb、As、P、N、Ar及其组合。

9. 如权利要求1的半导体器件,其中,注入的调节功函数掺杂离子的注入峰值位置为接近第一功函数金属层的栅极填充层的底部。

10. 如权利要求1的半导体器件,其中,第二栅极堆叠结构中,第二功函数金属层位于第一功函数金属层与栅极绝缘层之间的界面的上界面处。

11. 如权利要求1的半导体器件,其中,第二栅极堆叠结构中,栅极填充层与第一功函数金属层之间还包含金属离子扩散阻挡层,其材质包括氧化物、氮化物、Si:C、SiGe、非晶硅、低温多晶硅、Ge、金属或金属合金、金属氮化物及其组合。

12. 如权利要求1的半导体器件,其中,衬底包括硅、锗、应变硅、锗硅、化合物半导体、碳基半导体材料及其组合。

13. 一种半导体器件制造方法,包括以下步骤:

在衬底中形成多个源漏区;

在衬底上形成多个栅极侧墙结构,其中栅极侧墙结构包围了多个第一栅极沟槽和多个第二栅极沟槽,栅极侧墙结构周围具有层间介质层;

在第一和第二栅极沟槽中仅依次沉积第一栅极绝缘层和第二栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层;

选择性刻蚀去除第二栅极沟槽中的第二功函数金属扩散阻挡层,直至露出第一功函数金属层;

在第一栅极沟槽中的第二功函数金属扩散阻挡层上、以及在第二栅极沟槽中的第一功函数金属层上仅沉积栅极填充层;

仅对第二栅极沟槽中的栅极填充层底部注入调节功函数掺杂离子形成第二功函数金属层;

使得调节功函数掺杂离子扩散到其下的第一功函数金属层,共同改变第二栅极堆叠结构的第二栅极功函数,使得第二栅极功函数与第一栅极堆叠结构的第一栅极功函数相对,

其中第一栅极堆叠结构由第一栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层、栅极填充层构成,第二栅极堆叠结构由第二栅极绝缘层、第一功函数金属层、第二功函数金属层、栅极填充层构成。

14.如权利要求13的半导体器件制造方法,第一和/或第二栅极绝缘层包括氧化硅、掺氮氧化硅、氮化硅、高K材料及其组合。

15.如权利要求14的半导体器件制造方法,其中,高K材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料,或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料,或是包括 Al_2O_3 ,以其上述材料的复合层。

16.如权利要求13的半导体器件制造方法,其中,第一功函数金属层包括a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合。

17.如权利要求13的半导体器件制造方法,其中,第二功函数金属扩散阻挡层包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M包括Ta、Ti、Hf、Zr、Mo、W及其组合。

18.如权利要求13的半导体器件制造方法,其中,栅极填充层包括:a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合;和/或c)金属硅化物,包括 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi 及其组合;和/或d)金属氧化物导体,包括 In_2O_3 、 SnO_2 、ITO、IZO及其组合;和/或e)半导体材料,包括掺杂的多晶硅、非晶硅、多晶锗、多晶锗硅及其组合;以及上述材料的复合层。

19.如权利要求13的半导体器件制造方法,其中,对于NMOS而言,调节功函数掺杂离子包括Al、Ga、In、B及其组合;对于PMOS而言,调节功函数掺杂离子包括Sb、As、P、N、Ar及其组合。

20.如权利要求13的半导体器件制造方法,其中,第二功函数金属层中金属离子注入峰值位置位于第一功函数金属层与栅极绝缘层之间的界面的上界面处。

21.如权利要求13的半导体器件制造方法,其中,采用退火或者沉积工艺使得调节功函数掺杂离子扩散到其下的第一功函数金属层。

22. 如权利要求21的半导体器件制造方法,其中,退火温度小于等于550℃,退火时间小于等于30分钟。

23. 如权利要求21的半导体器件制造方法,其中,沉积工艺包括多层栅极填充层的沉积、栅介质层的淀积以及退火回流。

24. 如权利要求13的半导体器件制造方法,其中,在沉积栅极填充层之前,进一步包括:在第二栅极沟槽中的第一功函数金属层上沉积金属离子扩散阻挡层。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别是涉及一种利用金属注入调节功函数的MOSFET及其制造方法。

背景技术

[0002] 从45nm CMOS集成电路工艺起,随着器件特征尺寸的不断缩小,为了抑制短沟道效应,CMOS器件中栅绝缘介质层的等效氧化层厚度(EOT)必需同步减少。然而,超薄的(例如10nm)常规氧化层或氮氧化层由于(相对)介电常数不高(例如3.9左右),绝缘性能难以承受这种超小器件中相对高的场强,将产生严重的栅漏电。因此,传统的多晶硅(poly-si)/SiO₂体系不再适用。

[0003] 有鉴于此,业界开始使用高介电常数(高k, HK)材料来作为栅绝缘介质层。然而,高k材料的界面电荷与极化电荷导致器件的阈值调节困难, poly-si与高k结合将产生费米能级钉扎效应,因而不能用于MOSFET的阈值调节,故栅电极必需应用不同金属材料来调节器件阈值,也即采用金属栅(MG)/HK结构。

[0004] 对于不同MOSFET的阈值调节,比如对于NMOS与PMOS,需要不同功函数的金属电极。可采用单一金属栅工艺调节方法,然而调节范围有限。例如采用了单一金属栅工艺的具有较低待机功率的平面SOI多栅器件,对应于n+poly-si的4.1eV功函数以及p+poly-si的5.2eV功函数,可以选择合适的金属电极使得栅极功函数在两者之间的中位值附近,例如为4.65eV或者 4.65 ± 0.3 eV。但这种小范围微调难以有效控制器件阈值。最优工艺方法应当是采用不同金属材料的栅电极,例如NMOS采用导带金属,PMOS采用价带金属,以使得NMOS和PMOS的栅极功函数分别位于导带和价带边缘处,例如 4.1 ± 0.1 eV和 5.2 ± 0.1 eV。业界已经就这些栅极金属(包括金属氮化物)的材料选择做了详尽研究,在此不再赘述。

[0005] 图1所示为Intel公司45/32nm制程下的一种典型MG/HK结构的CMOSFET,左侧部分为PMOS,右侧部分为NMOS,虽然两者在图中显示为相邻,但是在实际版图图中也可以具有多个中间间隔元件,具体依照版图设计需要而设定,以下同理。具体地,CMOS包括衬底1、衬底1中的浅沟槽隔离(STI)2、源漏区3、源漏扩展区4、栅极侧墙5、源漏区上的金属硅化物层6、接触蚀刻停止层(CESL)7、层间介质层(ILD)8、栅极绝缘层9、栅极导电层10、源漏接触11。其中,源漏区3优选是嵌入式应力源漏区,对于PMOS而言是(抬升的)SiGe,对于NMOS而言是Si:C。栅极绝缘层9优选地包括多层堆叠结构,例如低介电常数(低k, LK)的界面层以及高介电常数(高k, HK)的绝缘介质层,界面层例如SiO₂,绝缘介质层例如HfO₂等Hf系氧化物,界面层用于优化栅极绝缘层与衬底中沟道之间的界面、减小缺陷。

[0006] 栅极导电层10优选地包括多层堆叠结构,例如TiN材质的栅极材料层10a以调节功函数, TaN等材质的栅极阻挡层10b以选择性控制栅极填充, TiAl等材质的栅极填充层10c。其中PMOS的栅极导电层10包括以上10a、10b和10c,而NMOS的栅极导电层10仅包括10a和10c,并且在NMOS中Al扩散到TiN层中从而使得形成TiAl/TiN-Al的层叠结构。该CMOS器件通过层10a与层10c的厚度比例来调节TiAl层中Al原子扩散到TiN层中的深度,从而调节功函

数,Al扩散到HK中与远离HK(相当于纯TiN金属栅)都将导致功函数提高并适用于PMOS,而只有在接近HK/TiN界面的上界面处才能产生较低的功函数并且适用于NMOS。

[0007] 然而,这种仅仅依靠薄膜厚度比例控制来调节功函数的方法,由于薄膜厚度达到纳米级别之后具有较大的工艺不稳定性,因此对于超薄、超小器件不再适用,因此难以合理优化控制小尺寸器件的阈值调节。

发明内容

[0008] 由上所述,本发明的目的在于提供一种能有效调节金属栅功函数的新型CMOSFET及其制造方法。

[0009] 为此,本发明提供了一种半导体器件,包括衬底、衬底上的多个栅极堆叠结构、每个栅极堆叠结构两侧的多个栅极侧墙结构、每个栅极侧墙结构两侧衬底中的多个源漏区,多个栅极堆叠结构包括多个第一栅极堆叠结构和多个第二栅极堆叠结构,其中第一栅极堆叠结构包括第一栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层、栅极填充层,第二栅极堆叠结构包括第二栅极绝缘层、第一功函数金属层、第二功函数金属层、栅极填充层,其特征在于:第二功函数金属层包括注入的调节功函数掺杂离子,并且该调节功函数掺杂离子扩散到第一功函数层,共同改变第二栅极堆叠结构的功函数,使得第二栅极堆叠结构的第二栅极功函数与第一栅极堆叠结构的第一栅极功函数相对。

[0010] 其中,第一栅极功函数接近价带且第二栅极功函数接近导带,或者第一栅极功函数接近导带且第二栅极功函数接近价带。

[0011] 其中,第一和/或第二栅极绝缘层包括氧化硅、掺氮氧化硅、氮化硅、高K材料及其组合。其中,高K材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料,或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料,或是包括 Al_2O_3 ,以其上述材料的复合层。

[0012] 其中,第一功函数金属层包括a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合。

[0013] 其中,第二功函数金属扩散阻挡层包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M包括Ta、Ti、Hf、Zr、Mo、W及其组合。

[0014] 其中,栅极填充层包括:a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合;和/或c)金属硅化物,包括 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi 及其组合;和/或d)金属氧化物导体,包括 In_2O_3 、 SnO_2 、ITO、IZO及其组合;和/或e)半导体材料,包括掺杂的多晶硅、非晶硅、多晶锗、多晶锗硅及其组合;以及上述材料的复合层。

[0015] 其中,对于NMOS而言,调节功函数掺杂离子包括Al、Ga、In、B及其组合;对于PMOS而言,调节功函数掺杂离子包括Sb、As、P、N、Ar及其组合。

[0016] 其中,注入的调节功函数掺杂离子的注入峰值位置为接近第一功函数金属层的栅极填充层的底部。

[0017] 其中,第二栅极堆叠结构中,第二功函数金属层位于第一功函数金属层与栅极绝

缘层之间的界面的上界面处。

[0018] 其中,第二栅极堆叠结构中,栅极填充层与第一功函数金属层之间还包含金属离子扩散阻挡层,其材质包括氧化物、氮化物、Si:C、SiGe、非晶硅、低温多晶硅、Ge、金属或金属合金、金属氮化物及其组合。

[0019] 其中,衬底包括硅、锗、应变硅、锗硅、化合物半导体、碳基半导体材料及其组合。

[0020] 本发明还提供了一种半导体器件制造方法,包括以下步骤:在衬底中形成多个源漏区;在衬底上形成多个栅极侧墙结构,其中栅极侧墙结构包围了多个第一栅极沟槽和多个第二栅极沟槽,栅极侧墙结构周围具有层间介质层;在第一和第二栅极沟槽中依次沉积第一栅极绝缘层和第二栅极绝缘层、第一功函数金属层、第二功函数金属扩散阻挡层;选择性刻蚀去除第二栅极沟槽中的第二功函数金属扩散阻挡层,直至露出第一功函数金属层;在第一栅极沟槽中的第二功函数金属扩散阻挡层上、以及在第二栅极沟槽中的第一功函数金属层上沉积栅极填充层;对第二栅极沟槽中的栅极填充层底部注入调节功函数掺杂离子形成第二功函数金属层;使得调节功函数掺杂离子扩散到其下的第一功函数金属层,共同改变第二栅极堆叠结构的第二栅极功函数,使得第二栅极功函数与第一栅极堆叠结构的第一栅极功函数相对。

[0021] 其中,第一和/或第二栅极绝缘层包括氧化硅、掺氮氧化硅、氮化硅、高K材料及其组合。其中,高K材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料,或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料,或是包括 Al_2O_3 ,以其上述材料的复合层。

[0022] 其中,第一功函数金属层包括a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合。

[0023] 其中,第二功函数金属扩散阻挡层包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M包括Ta、Ti、Hf、Zr、Mo、W及其组合。

[0024] 其中,栅极填充层包括:a)金属氮化物,包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ 及其组合,其中M为Ta、Ti、Hf、Zr、Mo、W及其组合;和/或b)金属或金属合金,包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合;和/或c)金属硅化物,包括 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi 及其组合;和/或d)金属氧化物导体,包括 In_2O_3 、 SnO_2 、ITO、IZO及其组合;和/或e)半导体材料,包括掺杂的多晶硅、非晶硅、多晶锗、多晶锗硅及其组合;以及上述材料的复合层。

[0025] 其中,对于NMOS而言,调节功函数掺杂离子包括Al、Ga、In、B及其组合;对于PMOS而言,调节功函数掺杂离子包括Sb、As、P、N、Ar及其组合。

[0026] 其中,第二功函数金属层位于第一功函数金属层与栅极绝缘层之间的界面的上界面处。

[0027] 其中,采用退火或者沉积工艺使得调节功函数掺杂离子扩散到其下的第一功函数金属层。

[0028] 其中,退火温度小于等于 550°C ,退火时间小于等于30分钟。

[0029] 其中,沉积工艺包括多层栅极填充层的沉积、栅介质层的淀积以及退火回流。

[0030] 其中,在沉积栅极填充层之前,进一步包括:在第二栅极沟槽中的第一功函数金属

层上沉积金属离子扩散阻挡层。

[0031] 依照本发明的半导体器件及其制造方法,通过单独的离子注入在NMOS的金属栅极堆叠中形成了由注入离子聚集形成的第二功函数金属层,从而有效地精确调节了金属功函数,简单高效地控制了器件阈值,并且提高了器件性能。

附图说明

[0032] 以下参照附图来详细说明本发明的技术方案,其中:

[0033] 图1为现有技术后栅工艺MOSFET的剖面示意图;以及

[0034] 图2至图10为依照本发明的MOSFET的制造方法各步骤的剖面示意图。

具体实施方式

[0035] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果,公开了能有效调节金属栅功函数从而控制阈值的新型MOSFET及其制造方法。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0036] 以下将参照图2至图10的剖面示意图来详细说明依照本发明的CMOSFET的制造方法各步骤,其中特别地,所述方法优先适用于后栅工艺(gate-last)。

[0037] 首先,参照图2,形成CMOS基础结构,也即在包含STI的衬底中分别形成至少一个第一MOSFET和至少一个第二MOSFET,其中第一MOSFET包括第一源漏区、第一源漏扩展区、第一栅绝缘层、第一栅极侧墙、第一金属硅化物、第一接触刻蚀停止层、第一层间介质层,第二MOSFET包括第二源漏区、第二源漏扩展区、第二栅绝缘层、第二栅极侧墙、第二金属硅化物、第二接触刻蚀停止层、第二层间介质层。第一MOSFET与第二MOSFET类型相反,例如第一MOSFET为PMOS时第二MOSFET为NMOS,第一MOSFET为NMOS时第二MOSFET为PMOS。类似地,以下涉及“第一”和“第二”的材料、结构或特性的限定均可以互换。

[0038] 具体地,首先提供衬底1。衬底1依照器件用途需要而合理选择,可包括单晶硅(Si)、绝缘体上硅(SOI)、单晶硅锗(Ge)、绝缘体上锗(GeOI)、应变硅(Strained Si)、锗硅(SiGe),或是化合物半导体材料,例如氮化镓(GaN)、砷化镓(GaAs)、磷化铟(InP)、锑化铟(InSb),以及碳基半导体例如石墨烯、SiC、碳纳米管等等。衬底1如图所示为块状,第一MOSFET和第二MOSFET相邻地形成在其中,但是两个器件也可以相间隔地形成,例如分别形成在不同导电类型的阱区(未示出)中或其间具有其他间隔电子元件或结构。

[0039] 其次,在衬底1中形成浅沟槽隔离(STI)2,例如先光刻/刻蚀衬底1形成浅沟槽然后采用LPCVD、PECVD等常规技术沉积绝缘隔离材料并CMP平坦化直至露出衬底1,形成STI 2。其中STI2的填充材料可以是氧化物、氮化物或氮氧化物。如图所示,STI2将所包围的衬底1分成至少一个第一MOSFET有源区和至少一个第二MOSFET有源区,后续的各种工序将针对两者选择性地沉积、刻蚀以此形成不同类型的器件。

[0040] 再次,在整个晶片表面也即衬底1和STI2表面依次沉积垫氧化层和伪栅极层并刻蚀形成第一和第二伪栅极堆叠结构(均未示出)。第一和第二伪栅极堆叠结构将在后续工艺中去除,因此垫氧化层优选为氧化硅,伪栅极层优选为多晶硅、非晶硅或微晶硅甚至是氧化

硅。第一和第二伪栅极堆叠结构的宽度和厚度依照PMOS、NMOS版图设计规则、器件导电特性需要而制定。

[0041] 然后,在第一和第二伪栅极堆叠结构两侧形成第一和第二伪栅极侧墙(未示出)。例如在器件表面沉积氧化硅、氮化硅或其复合层的侧墙材料层然后刻蚀形成伪栅极侧墙。

[0042] 接着,在伪栅极侧墙两侧衬底1中形成第一源漏区3A和第二源漏区3B。传统工艺的源漏区3A/3B可以是利用不同的掩膜分别向衬底1中进行第一次源漏离子注入,以选择性注入不同导电类型的掺杂离子形成,例如向第一MOSFET有源区注入p型杂质,向第二MOSFET有源区注入n型杂质。在本发明优选实施例中,源漏区3A/3B是嵌入式应变源漏区,也即分别以第一和第二伪栅极侧墙为掩模刻蚀衬底1的第一MOSFET有源区和第二MOSFET有源区形成第一和第二源漏凹槽(未示出),然后在第一和第二源漏凹槽中选择性外延生长SiGe或Si:C等与衬底1材质不同的高应力材料从而形成相应材质的嵌入式应变源漏区。其中嵌入式应变源漏区3A/3B的上表面不限于图2所示与衬底1上表面齐平,而是可以高于衬底1上表面形成提升源漏。优选地,也可以向嵌入式应变源漏区3A/3B中注入掺杂离子以调节类型和浓度,或者在形成上述嵌入式源漏同时进行原位掺杂,第一MOSFET对应于PMOS则源漏区3A是嵌入式应变SiGe(e-SiGe)并且掺杂硼、铝、镓、铟等,第二MOSFET对应于NMOS则源漏区3B是嵌入式应变Si:C(e-Si:C)且掺杂磷、砷、锑等,反之亦然。

[0043] 随后,分别去除第一或第二伪栅极侧墙并在第一或第二伪栅极堆叠结构两侧的衬底1中分别形成第一源漏扩展区4A或第二源漏扩展区4B。可以通过湿法腐蚀去除氮化硅或氮氧化硅的伪栅极侧墙,然后进行第二次源漏离子注入,形成轻掺杂(LDD)的源漏扩展区4A/4B。其中,源漏扩展区4A/4B的导电类型分别与源漏区3A/3B的导电类型相同,只是掺杂浓度较低、结深较浅。

[0044] 然后,在第一和第二伪栅极堆叠结构两侧分别形成第一栅极侧墙结构5A和第二栅极侧墙结构5B。栅极侧墙结构5A/5B的材质可以是常规材料,例如氧化硅(SiO_x)或氮化硅(SiN_x ,x可为1~2,不限于整数)或氮氧化硅(SiO_xN_y ,x、y可依照需要合理调整)及其组合。或者优选地,第一和/或第二栅极侧墙结构5A/5B至少为两层层叠结构,例如先在器件表面通过传统工艺沉积较低应力的栅极侧墙材料,可为氧化硅(SiO_x)或氮化硅(SiN_x ,x可为1~2,不限于整数)或氮氧化硅(SiO_xN_y ,x、y可依照需要合理调整),也可为这些材料的堆叠,然后控制刻蚀掩模版图和刻蚀工艺参数使得刻蚀得到的低应力栅极侧墙的剖面形状为L形,也即包括与伪栅极堆叠结构直接接触的垂直部分,以及与嵌入式应变源漏区3A/3B和/或源漏扩展区4A/4B直接接触的水平部分。第一栅极侧墙41用作高应力侧墙的缓冲层,其厚度优选为1~25nm,较薄的厚度有利于应力传递。形成低应力栅极侧墙之后,再形成高应力栅极侧墙。通过磁过滤脉冲阴极真空弧放电(FCVA)、PECVD、磁控溅射等低温方法沉积形成具有较高本征应力的类金刚石无定形碳(DLC)薄膜,然后采用 O_2 和/或Ar等离子体干法刻蚀形成位于低应力栅极侧墙水平部分上的高应力栅极侧墙,并使其剖面形状为近似三角形或1/4椭圆。其中,由于DLC薄膜的材料特性很大程度上取决于 sp^3 键的含量,较高的 sp^3 键的含量使得DLC结构更类似于金刚石而不是石墨,因此为了提高本征应力,本发明优选实施例中控制工艺参数使得DLC中 sp^3 键的含量至少大于50%、氢原子含量少于40%、氮原子含量少于20%,如此使得用作高应力栅极侧墙的DLC薄膜本征应力不小于2GPa并优选为4~10GPa。高应力栅极侧墙的厚度优选为2~60nm,这种高应力栅极侧墙能向沟道区提供更高的应力,从而提

高载流子迁移率、改善器件性能。对于nMOS而言DLC薄膜为张应力,而对于pMOS而言DLC薄膜为压应力,因此在CMOS器件的制造工艺中高应力栅极侧墙要分两次形成以分别控制应力种类和大小。

[0045] 随后,分别以第一和第二栅极侧墙5A/5B为掩模,执行自对准硅化物工艺,在整个器件表面沉积Pt、Co、Ni、Ti等金属或金属合金的薄膜,然后高温退火处理,使得嵌入式应变源漏区3A/3B中所含的硅与金属发生反应生成如 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi 等第一/第二源漏接触金属硅化物6A/6B以降低源漏接触电阻,从而进一步提高器件性能。

[0046] 形成源漏接触金属硅化物6A/6B之后,在整个器件表面沉积形成接触刻蚀停止层(CESL)7,也即CESL 7位于STI 2、源漏接触金属硅化物6A/6B、栅极侧墙5A/5B、伪栅极堆叠结构上,其材质可以是具有高应力的传统的 SiO_x 、 SiN_x 材料,或者是前述的高应力DLC。CESL 7提供额外的应力增强,进一步增大了沟道区应力。具体地,CESL7所谓的高应力在本发明中为材料的本征应力大于1GPa,并优选介于2~10GPa。

[0047] 淀积层间介质层(ILD)8用于后栅工艺,该层可以为氧化硅、磷硅玻璃、掺氟氧化硅、掺碳氧化硅、氮化硅或者低介电常数(low-k,LK)材料,或者多层复合层;运用CMP,干法回刻等方法平坦化8,使之上表面与伪栅极堆叠结构顶部平齐。

[0048] 通过湿法腐蚀去除第一和第二伪栅极堆叠结构,留下第一和第二栅极沟槽,如图2中所示。然后通过PECVD、HDPCVD、ALD等方法在第一和第二栅极沟槽中分别沉积氧化硅、掺氮氧化硅、氮化硅、或其它高K材料从而形成第一栅极绝缘层9A和第二栅极绝缘层9B,栅极绝缘层9A/9B可以仅位于栅极沟槽底部也可位于栅极沟槽底部和侧壁。栅极绝缘层9A/9B所用的高k材料包括但不限于包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料,或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料,或是包括 Al_2O_3 ,以其上述材料的复合层。优选地,高k材料构成的栅极绝缘层9A/9B与衬底1之间还具有低k材料的界面层(未分层示出),以改善界面缺陷,其材质例如为氧化硅、掺氮氧化硅、氮化硅及其组合。

[0049] 至此,参照图2的基础结构已经形成,以下将参照图3至图10来进一步详细说明本发明的注入金属扩散栅的工艺顺序。

[0050] 接着,参照图3,在第一和第二栅极沟槽中的第一和第二栅极绝缘层9A/9B上通过PVD、CVD、ALD等常规方法沉积第一功函数金属层10A。第一功函数金属层10A可包括a)金属氮化物,例如 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$,其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素;和/或b)金属或金属合金,例如Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La。且其中可掺入C、F、N、O、B、P、As等元素。

[0051] 随后,参照图4,通过PVD、CVD、ALD等常规方法在第一功函数金属层10A上沉积第二功函数金属扩散阻挡层10B,其材质为 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$,其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素。优选地,第一功函数金属层10A与第二功函数金属扩散阻挡层10B不仅采用上下叠置的复合层结构,还可以采用混杂的注入掺杂层结构,也即构成第一功函数金属层10A与第二功函数金属扩散阻挡层10B的材料同时沉积在栅极绝缘层9A/9B上,因此栅极材料层包括上述阻挡层的材料。

[0052] 然后,参照图5,选择性刻蚀去除位于第二MOSFET上的部分第二功函数金属扩散阻

挡层10B,从而露出第二栅极沟槽中的第一功函数金属层10A。例如采用硬掩膜和光刻胶(未示出)覆盖第一MOSFET,然后采用湿法腐蚀或者干法刻蚀去除部分的第二功函数金属扩散阻挡层10B。

[0053] 接着,参照图6,通过PVD、CVD、ALD等常规方法在第一和第二MOSFET上沉积高应力的栅极填充层10C。栅极填充层10C同时也作为第二功函数扩散金属层,其材质可以包括:a)金属氮化物,例如 M_xN_y 、 $M_xSi_yN_z$ 、 $M_xAl_yN_z$ 、 $M_aAl_xSi_yN_z$,其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素;b)金属或金属合金,例如Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La;c)金属硅化物,例如 $CoSi_2$ 、 $TiSi_2$ 、 $NiSi$ 、 $PtSi$ 、 $NiPtSi$ 、 $CoGeSi$ 、 $TiGeSi$ 、 $NiGeSi$ 等;d)金属氧化物导体,例如 In_2O_3 、 SnO_2 、ITO、IZO等;e)半导体材料,例如掺杂的多晶硅、非晶硅、多晶锗、多晶锗硅等。优选地,可掺入C、F、N、O、B、P、As等元素以调节功函数,并且进一步地,整个器件表面优选采用例如包括激光退火、Spike退火的高温快速退火来提高或者改变应力。优选地,使得栅极填充层10C的应力大于2GPa。

[0054] 随后,参照图7,采用CMP等工艺平坦化第一MOSFET和第二MOSFET,直至露出层间介质层8A。

[0055] 此后,参照图8,对第二MOSFET进行调节功函数离子注入。在第一MOSFET和第二MOSFET上旋涂光刻胶PR,并曝光、显影,使得仅在第一MOSFET上留下PR图形。然后对NMOS类型的第二MOSFET进行离子注入,注入的离子包括Al、Ga、In、B等及其组合。之后去除PR。类似地,也可以对PMOS类型的第一MOSFET进行离子注入,注入的离子包括Sb、As、P、N、Ar等及其组合。调节注入的离子掺杂发布峰值位置优选的为接近第一功函数金属层10A的栅极填充层10C的底部,例如位于10C/10A界面附近 10 ± 5 nm处。由此,在栅极填充层10C底部形成包含较多调节离子浓度的第二功函数金属层10D。换言之,层10D是层10C中包含了较多调节功函数离子的那部分,例如注入剂量为 $1e14 \sim 1e15$ cm⁻²。

[0056] 接着,参照图9,采用退火或者随后的沉积工艺,通过施加热能使得第二MOSFET的栅极填充层10C中注入的上述离子扩散至底部或者第一功函数金属层10A中,以共同改变第二MOSFET的栅极功函数。例如其中,退火温度小于等于550°C,退火时间小于等于30分钟,采用RTA退火、炉管退火或者激光退火。随后沉积工艺包括多层栅填充层,栅介质层的淀积以及退火回流。例如,栅极填充层10C为多层结构,例如10C1/10C2/10C3等等,包括上述层10C的多个材质的组合叠层,或者在层与层之间还插入有绝缘材料的层间介质层以形成电荷捕捉结构从而适用于闪存等电可擦除存储器。

[0057] 优选地,第二功函数金属层10D中金属离子注入峰值位置接近第一功函数金属层10A与栅极绝缘层9B之间的界面的上界面处,例如在该界面的顶部,也即从上至下依次构成10D峰值/10A/9B的层叠结构。或者注入深度增大,使得10D峰值与10A重合。又或者进一步地,注入深度进一步增大,使得10D峰值位于10A与9B之间,形成10A/10D/9B的层叠结构。优选地,层10D峰值与层10A/层9B的界面之间的距离小于等于20nm,更优选地小于等于10nm。

[0058] 调节退火与随后沉积工艺条件同样可以改变10D峰值与10A和9B的相对位置从而调节功函数。

[0059] 此外,由于上述退火过程不仅会驱使注入的调节功函数离子向下扩散到层10A/层9B界面,还同样会驱使层10C中的金属离子向下扩散到层10A中从而改变功函数。可以通过控制注入以及退火工艺参数等的组合来使得退火驱动深度远小于注入深度而基本不改变

层10A中金属分布,例如退火驱动深度仅为注入深度的 $1/10\sim 1/8$ 。可以采用扩散阻挡层(未示出)技术。也即,在图5的选择性刻蚀露出层10A之后,并且在图6的沉积层10C之前,在第二MOSFET沟槽中的层10A上形成扩散阻挡层,其材质包括氧化物(例如 SiO_x)、氮化物(例如 SiN_x)、 Si:C 、 SiGe 、非晶硅(a-Si)、低温多晶硅(p-Si)、Ge、金属或金属合金、金属氮化物及其组合。其中,金属包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La及其组合。金属氮化物包括 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$,其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素。形成扩散阻挡层的方法例如蒸发、ALD等PVD技术,或者CVD、电镀技术等等。值得注意的是,该加热隔离层或扩散阻挡层的厚度应当比较薄,使得层10C(层10D以上)中的金属离子不足以大量扩散到层10A中,但是可以使得层10D中的调节功函数掺杂离子顺利注入到层10A中并且在后续退火中进一步扩散到层10A/层9B之间的界面附近。例如,该加热隔离层或扩散阻挡层的厚度仅相当于第二功函数金属扩散阻挡层10B厚度的 $1/4\sim 1/2$,具体地例如仅为10nm。此外,当层10C为多层堆叠结构时,扩散阻挡层也可以包括在其内,例如位于层10C中靠近层10A的底部部分中。

[0060] 由于本发明的单独离子注入工艺并配合相应的扩散工艺,使得能调节功函数的原子直接抵达HK/TiN界面处,因而无需采用背景技术中不稳定的厚度比例调节方法,从而有效调节了金属栅极功函数、控制了器件阈值以及提高了器件性能。特别地,通过选择第一功函数金属层10A、第二功函数金属扩散阻挡层10B、栅极填充层10C、第二功函数金属层10D以及注入离子的具体材质以及各层深度、厚度分布、退火条件,可以调节金属栅极功函数,使得例如第一MOSFET的第一金属栅极功函数大于 4.55eV 、并优选大于等于 4.90eV 从而接近价带边 5.15eV 从而对应于PMOS,或者使得第二MOSFET的第二金属栅极功函数小于 4.55eV 、并优选小于等于 4.10eV 从而接近 4.05eV 从而对应于NMOS。例如,对于NMOS而言,注入Al离子,射程峰值在层10A/层10C界面上方 $10\pm 5\text{nm}$ 处,注入剂量为 $1\text{e}14\sim 1\text{e}15\text{cm}^{-2}$,如此可以使得注入的Al离子在上述退火过程中扩散到合适的位置从而调整NMOS金属功函数为小于 4.55eV 且接近 4.05eV 。值得注意的是,上述功函数具体数值的选择应当依照NMOS、PMOS器件电学特性需要而定,只要第一栅极功函数与第二栅极功函数相对,也即一个接近价带而另一个接近导带即可,具体的数值范围选择可以合理调整。

[0061] 最后,参照图10,完成器件制造。在整个器件表面沉积形成第二层间介质(ILD)8B并CMP平坦化,刻蚀第一ILD8A、第二ILD 8B以及CESL7形成源漏接触孔以暴露第一和第二源漏接触金属硅化物6A/6B,沉积接触金属形成第一和第二源漏金属塞11A/11B并CMP平坦化直至暴露ILD 8B。

[0062] 最终形成的半导体器件结构如图10所示,包括衬底1、STI2、至少一个第一MOSFET和至少一个第二MOSFET,其中,第一MOSFET包括衬底1中的第一源漏区3A、第一源漏区3A内侧的第一源漏扩展区4A、第一源漏扩展区4A上的第一栅极侧墙5A、第一源漏区3A上的第一源漏接触金属硅化物6A、衬底1上第一栅极侧墙5A之间的第一栅极堆叠结构、接触刻蚀停止层7A、层间介质层8/8B、穿过层间介质层而与第一源漏接触金属硅化物6A接触的第一源漏金属塞11A,接触刻蚀停止层7位于第一源漏接触金属硅化物6A、第一栅极侧墙5A以及第一栅极堆叠结构上,其中第一栅极堆叠结构依次包括第一栅极绝缘层9A、第一功函数金属层10A、第二功函数金属扩散阻挡层10B、栅极填充层10C;第二MOSFET包括衬底1中的第二源漏区3B、第二源漏区3B内侧的第二源漏扩展区4B、第二源漏扩展区4B上的第二栅极侧墙5B、第

二源漏区3B上的第二源漏接触金属硅化物6B、衬底1上第二栅极侧墙5B之间的第二栅极堆叠结构、接触刻蚀停止层7、层间介质层8/8B、穿过层间介质层而与第二源漏接触金属硅化物6B接触的第二源漏金属塞11B,接触刻蚀停止层7B位于第二源漏接触金属硅化物6B、第二栅极侧墙5B以及第二栅极堆叠结构上,其中第二栅极堆叠结构依次包括第二栅极绝缘层9B、第一功函数金属层10A、第二功函数金属层10D、栅极填充层10C。其中各层的具体材质、形成方法已详述在以上制造方法中,在此不再赘述。

[0063] 此外,虽然本发明附图中仅显示了平面沟道的MOSFET示意图,但是本领域技术人员应当知晓的是本发明的MOSFET结构也可应用于其他例如立体多栅、垂直沟道、纳米线等器件结构。

[0064] 依照本发明的半导体器件及其制造方法,通过单独的离子注入在NMOS的金属栅极堆叠中形成了由注入离子聚集形成的第二功函数金属层,从而有效地精确调节了金属功函数,简单高效地控制了器件阈值,并且提高了器件性能。

[0065] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

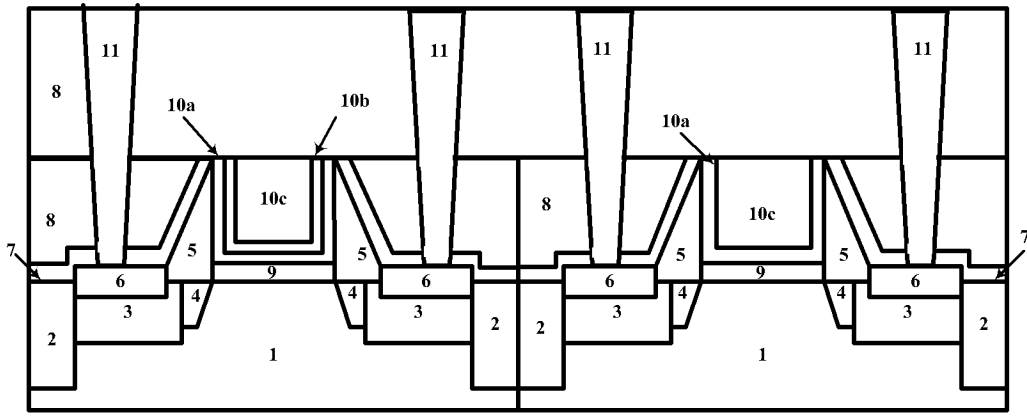


图1

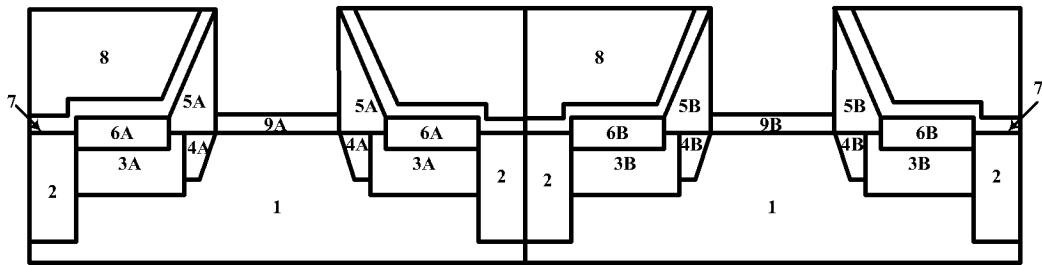


图2

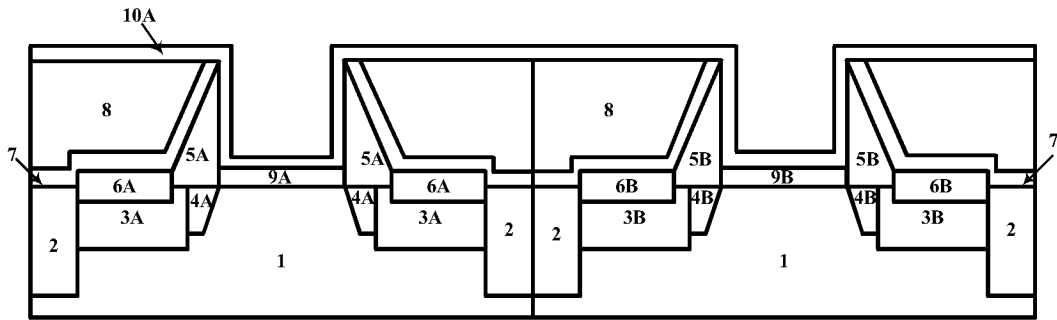


图3

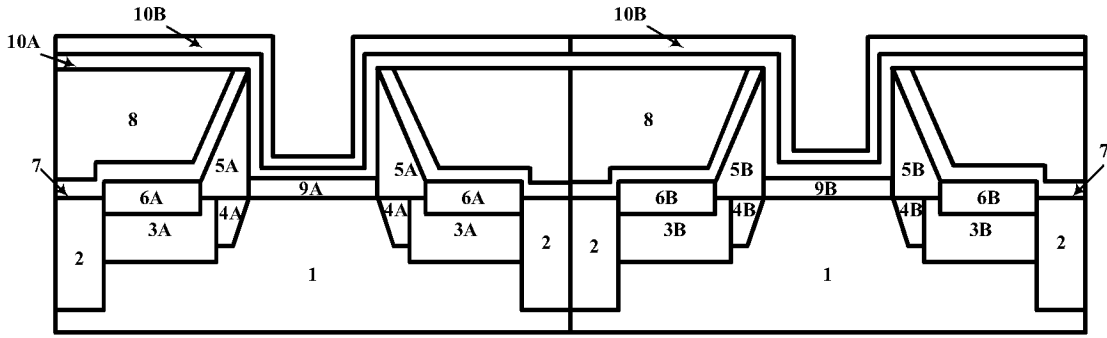


图4

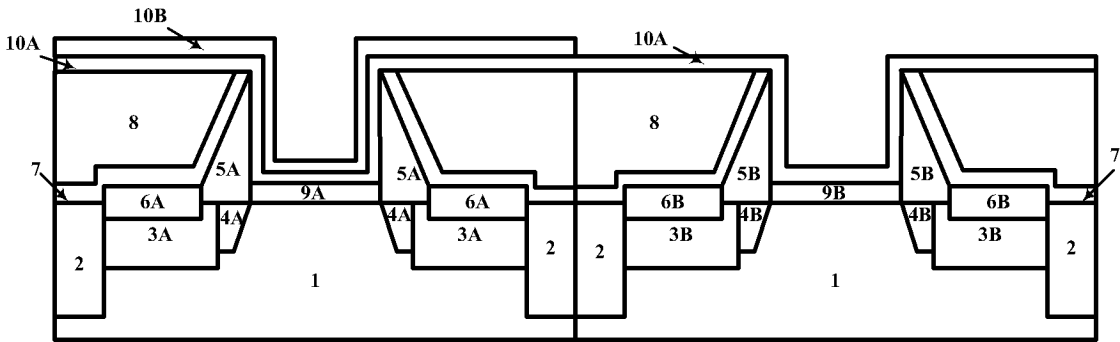


图5

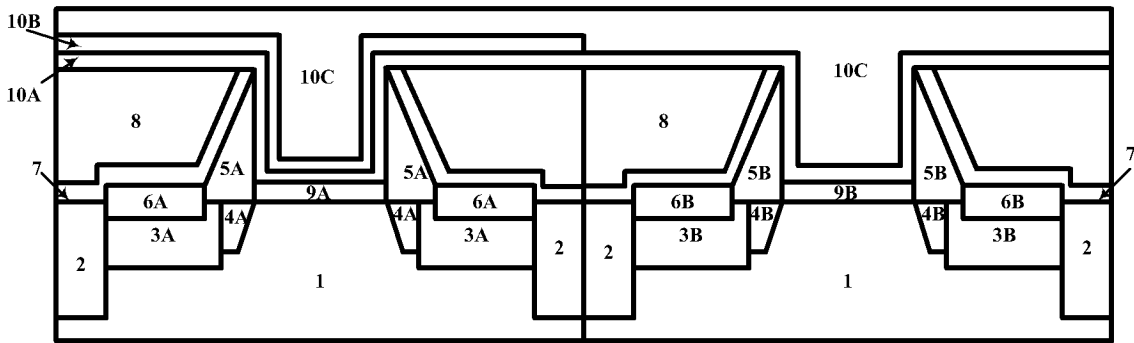


图6

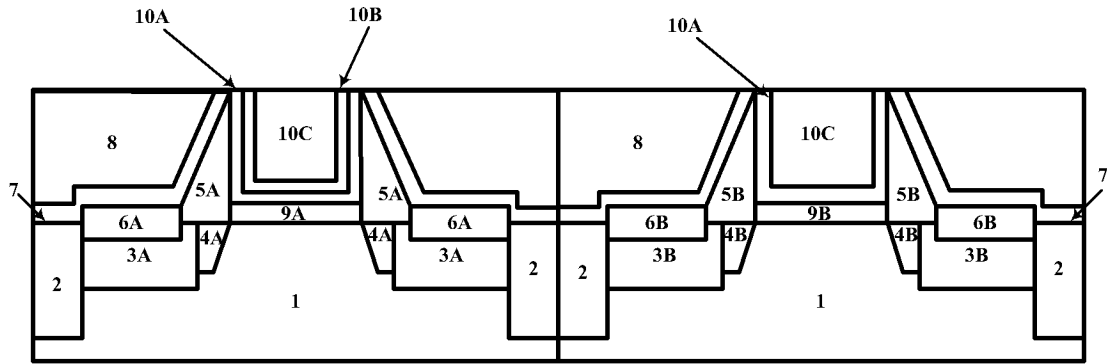


图7

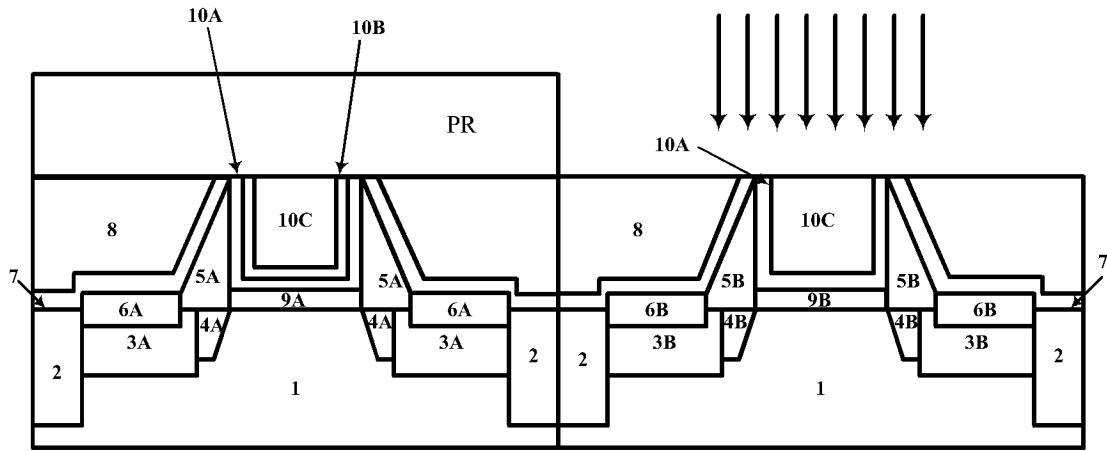


图8

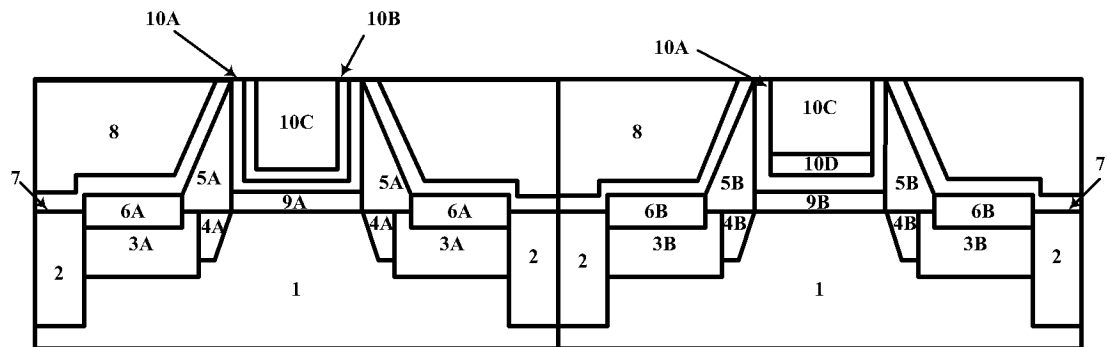


图9

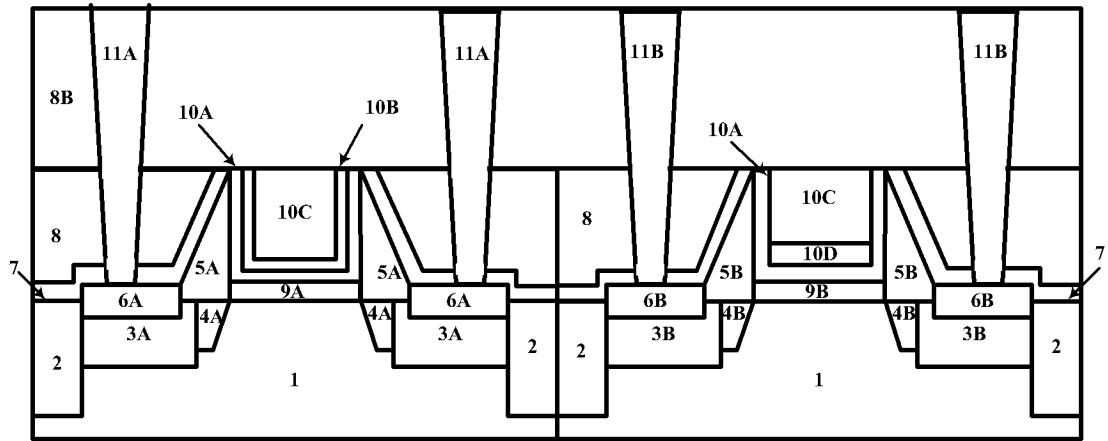


图10