



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월15일
(11) 등록번호 10-0931875
(24) 등록일자 2009년12월07일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0029767

(22) 출원일자 2008년03월31일

심사청구일자 2008년03월31일

(65) 공개번호 10-2008-0107990

(43) 공개일자 2008년12월11일

(30) 우선권주장

200710100342.0 2007년06월08일 중국(CN)

(56) 선행기술조사문헌

JP05315616 A*

KR100615205 B1*

KR100336890 B1*

KR1019990030267 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

베이징 보에 옵토일렉트로닉스 테크놀로지 컴퍼니
리미티드

중국, 베이징 100176, 비디에이, 지하우안종루 8
호

(72) 발명자

쉐 지옌서

중국 베이징 100176 비디에이 씨후안종루 넘버 8

임 승 무

중국 베이징 100176 비디에이 씨후안종루 넘버 8

리양 커

중국 베이징 100176 비디에이 씨후안종루 넘버 8

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 16 항

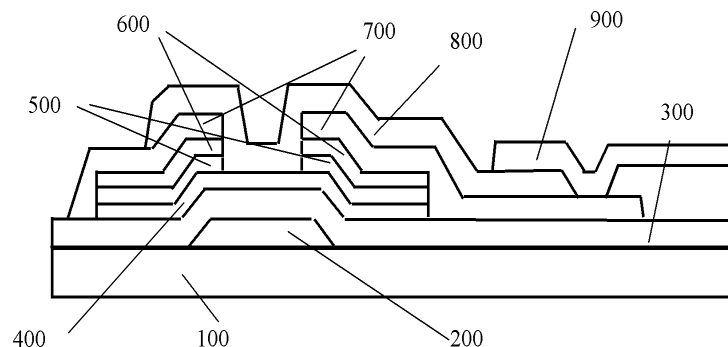
심사관 : 임동재

(54) 박막 트랜지스터 및 이의 제조 방법

(57) 요약

본 발명은 박막 트랜지스터에 관한 것으로, 본 발명의 일 실시 예에 따른 박막 트랜지스터는 게이트 전극, 게이트 절연층, 액티브층 및 소스와 드레인 전극들을 포함하며, 게이트 전극은 액티브층의 채널 영역과 오버랩되고, 게이트 절연층은 게이트 전극과 액티브층 사이에 제공되고, 소스와 드레인 전극들은 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고, 전자들이 터널링되도록 하는 SiN_x 또는 SiO_xN_y 박막이 액티브층과 소스와 드레인 전극들 사이에 제공된다.

대표도 - 도2



특허청구의 범위

청구항 1

게이트 전극, 게이트 절연층, 액티브층, 및 소스와 드레인 전극들을 포함하며,

상기 게이트 전극은 상기 액티브층의 채널 영역과 오버랩되고, 상기 게이트 절연층은 상기 게이트 전극과 상기 액티브층 사이에 제공되고, 상기 소스와 드레인 전극들은 상기 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고,

전자들이 터널링되도록 하는 두께를 가지는 SiN_x 또는 SiO_xN_y 박막이 상기 액티브층과 상기 소스와 드레인 전극들 사이에 제공되며, 상기 SiN_x 또는 SiO_xN_y 박막은 확산 방지 층으로 작용하고, 상기 소스와 드레인 전극들의 재료는 알루미늄(Al) 합금을 포함하는,

박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 SiN_x 또는 SiO_xN_y 박막은 8nm 내지 15nm의 두께를 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 Al합금은,

AlNd, AlTa, AlNi, AlZr, AlCu 및 AlNdNi를 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 박막 트랜지스터는 바텀 게이트 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 박막 트랜지스터는 탑 게이트 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제 1 항에 있어서,

상기 액티브층은,

서로 적층되는 반도체층과 옴 접촉층을 포함하고, 상기 전자들이 터널링되도록 하는 두께를 가지는 SiN_x 또는 SiO_xN_y 박막은 상기 옴 접촉층과 상기 소스와 드레인 전극들 사이에 제공되는 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제 7 항에 있어서,

상기 옴 접촉층은 도핑된 반도체층 또는 미세결정(microcrystal) 실리콘 층인 것을 특징으로 하는 박막 트랜지

스터.

청구항 9

게이트 전극, 게이트 절연층, 액티브층, 및 소스와 드레인 전극들을 형성하는 단계를 포함하며,

상기 게이트 전극은 상기 액티브층의 채널 영역과 오버랩되고, 상기 게이트 절연층은 상기 게이트 전극과 상기 액티브층 사이에 제공되고, 상기 소스와 드레인 전극들은 상기 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고,

전자들이 터널링되도록 하는 두께를 가지는 SiN_x 또는 SiO_xN_y 박막이 상기 액티브층과 상기 소스와 드레인 전극들 사이에 제공되며, 상기 SiN_x 또는 SiO_xN_y 박막은 확산 방지 층으로 작용하고, 상기 소스와 드레인 전극들의 재료는 알루미늄(Al) 합금을 포함하는,

박막 트랜지스터 제조 방법.

청구항 10

제 9 항에 있어서,

상기 SiN_x 또는 SiO_xN_y 박막은 5nm 내지 15nm의 두께를 갖는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 11

삭제

청구항 12

제 9 항에 있어서,

상기 Al 합금은,

AlNd, AlTa, AlNi, AlZr, AlCu 및 AlNdNi를 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 13

제 9 항에 있어서,

상기 액티브층은,

서로 적층되는 반도체층과 옴 접촉층을 포함하고, 상기 전자들이 터널링되도록 하는 SiN_x 또는 SiO_xN_y 박막은 상기 옴 접촉층과 상기 소스와 드레인 전극들 사이에 제공되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 14

제 13 항에 있어서,

상기 옴 접촉층은 도핑된 반도체층 또는 미세결정(microcrystal) 실리콘 층인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 15

픽셀 유닛의 스위칭 소자로서 박막 트랜지스터를 포함하는 박막 트랜지스터 액정표시장치에 있어서,

상기 박막 트랜지스터는,

게이트 전극, 게이트 절연층, 액티브층, 및 소스와 드레인 전극들을 포함하며, 상기 게이트 전극은 상기 액티브층의 채널 영역과 오버랩되고, 상기 게이트 절연층은 상기 게이트 전극과 상기 액티브층 사이에 제공되고, 상기 소스와 드레인 전극들은 상기 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고, 전자들이 터널링되도록 하는 두께를 가지는 SiN_x 또는 SiO_xN_y 박막이 상기 액티브층과 상기 소스와 드레인 전극들 사이에 제공되며, 상기 SiN_x 또는 SiO_xN_y 박막은 확산 방지 층으로 작용하고, 상기 소스와 드레인 전극들의 재료는 알루미늄(Al) 합

금을 포함하는,

박막 트랜지스터 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 소스와 드레인 전극들 중 하나와 접속되는 픽셀 전극을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 액정표시장치.

청구항 17

제 16 항에 있어서,

상기 픽셀 전극은 비아 홀을 통해 상기 소스와 드레인 전극들 중 하나와 접속된 것을 특징으로 하는 박막 트랜지스터 액정표시장치.

청구항 18

제 16 항에 있어서,

상기 픽셀 전극은 상기 소스와 드레인 전극들 중 하나 상에 직접 래핑된 것을 특징으로 하는 박막 트랜지스터 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 박막 트랜지스터에 관한 것으로, 더 상세하게는 박막 트랜지스터 제조 방법과 이러한 박막 트랜지스터를 이용한 박막 트랜지스터 액정 표시 장치(TFT-LCD)에 관한 것이다.

배경 기술

- <2> 박막 트랜지스터(TFTs)는 픽셀 유닛들의 스위칭 소자로 액정표시장치(LCD)에 사용된다. 도 1에 도시된 바와 같이, 현재 일반적으로 바텀 게이트(bottom gate) TFT 구조가 대부분의 TFT-LCD 제조에 이용된다. 이러한 구조는 주로 다음 층들, 유리 기판(100)과 게이트(200), 하부로부터 유기 기판(100) 위에 순서대로 형성된 게이트 절연층(300), 반도체층(400), 도핑된 반도체층(500), 소스와 드레인 전극들(700), 표면보호층(passivation layer) 및 픽셀 전극(900)을 포함한다. 바텀 게이트 TFT의 제조 프로세스는 다음과 같이 요약된다.
- <3> 1. 금속 박막이 기판, 예를 들면 유리 또는 단결정 실리콘 웨이퍼 위에 자기 스퍼터링 기법에 의해 증착되고 나서, 게이트 라인과 게이트 전극의 패턴이 포토 리소그라피와 에칭에 의해 형성된다. 종래에, 금속 박막을 증착하기 위한 타겟물질은 알루미늄(Al)과 알루미늄 합금을 포함하며, 또한, 집적회로(IC)가 준비된 경우, 다른 금속들과 합금들이 사용될 수 있다.
- <4> 2. SiN_x 또는 SiO_xN_y 박막 층이 게이트 절연층으로서 화학 기상 증착 기법(이하, 'CVD'라 함)을 이용해 준비된다. 반도체 층, 예를 들면 실리콘층과 도핑된 반도체층, 예를 들면 N^+ 실리콘층이 게이트 절연층과 동일한 프로세스, CVD기법에 의해 증착된다. 반도체 층과 도핑 층은 실리콘 섬과 채널 영역을 형성하기 위해 포토 리소그라피와 드라이 에칭을 이용해 패턴링된다.
- <5> 3. 금속 층이 도핑된 반도체 층위에 자기 스퍼터링 기법에 의해 증착되고, 소스와 드레인 전극들 및 데이터 라인이 포토리소그라피와 에칭에 의해 형성된다. 소스와 드레인 전극들, 데이터 라인을 위한 재료들은 Mo, Cr, Ti, 또는 MoW, 또는 이들의 합금과 같은 녹는점이 높은 금속들을 포함하며, 형성된 소스와 드레인 전극들은 도핑 반도체층과 각각 양호한 옴 접촉(Ohmic Contact)을 한다.
- <6> 4. 표면보호층, 예를 들면 SiO_xN_y 층은 CVD에 의해 증착되고, 채널 보호층이 포토리소그라피와 에칭에 의해 준비되고, 동시에 비아 홀이 보호층에 에칭된다.

- <7> 5. 픽셀 전극층, 예를 들면 ITO 전도성 박막이 자기 스퍼터링에 의해 증착되고, 픽셀 전극 패턴이 포토리소그라피와 에칭에 의해 형성되고, 픽셀 전극은 예를 들면, 비아 홀을 통해 드레인 전극과 접속된다.
- <8> 상술한 프로세스를 통해 형성된 TFT 구조는 다음의 특징이 있다. 각각의 층을 형성하기 위한 프로세스가 비교적 간단하다. 수율이 비교적 높다. 예를 들면, 구조 형성을 위해 6 마스크 프로세스, 5 마스크 프로세스, 4 마스크 프로세스와 3 마스크 프로세스(프로세스에서, 하나의 마스크가 하나의 포토리소그라피와 에칭에 상응한다)조차도 사용하는 것이 가능하고, 필요한 장비들도 변경할 필요가 없다.
- <9> 하지만, TFT-LCD 텔레비전 시장이 증가하고, 제조 라인의 세대가 발전하고, 패널 크기가 더욱더 커진다. 비교적 큰 사이즈와 텔레비전에 사용되는 패널들에 대한 요구조건들은 비교적 작은 사이즈와 컴퓨터 모니터에 사용되는 패널들과는 차이가 있다. 패널 크기의 증가는 게이트 라인들과 데이터 라인들의 길이의 증가를 필요로 하고, 라인들의 전체 저항이 증가하고, 이는 신호의 지연(retardation)을 가져오므로 수평방향에서 크로스-토크(cross-talk)와 비균일 휘도와 같은 문제점들을 유발한다.
- <10> 비교적 큰 사이즈와 텔레비전에 사용되는 패널들을 위해, 현재 Mo, Cr 및 그들의 합금과 같은 높은 저항 내화성 금속들을 대체하기 위해서, 소스와 드레인 전극들로 사용되는 재료들은 Al과 Al합금을 포함한다. 그러나, Al층과 N^+ 도핑 반도체층 사이의 접촉이 일 함수(work function)에 있어서 큰 차이로 인하여 양호하지 않기 때문에, 얇은 Mo 층이 먼저 버퍼층으로 밑에 있는 층 위에 증착된다. 또한, 픽셀 전극과 Al 층 사이의 양호하지 않은 접촉 문제를 해결하기 위해, 얇은 Mo 층이 Al 층 위에 증착된다. 상기 구성으로는, ITO 박막과 Al 층 사이의 큰 접촉 저항 문제뿐만 아니라 순수 Al이 가열될 경우 힐록(hillocks)이 생성되는 문제가 해결된다.
- <11> 하지만, 그러한 샌드위치 구조가 채택될 경우 상술한 장점과 함께 다음과 같은 단점을 수반한다.
- <12> 1. 에칭과 관련하여 발생하는 문제점들, 예를 들면 소스와 드레인 전극들이 깨지기 쉬운데, 그 이유는 중간 Al 층과 아래와 위에 있는 Mo 금속층 사이의 에칭률 사이에 차이 때문이다.
- <13> 2. 생산성이 감소하는데, 증착하기 위해 두 가지 종류의 금속들의 3 층이 필요한데, 이는 한 가지 종류의 금속만을 증착하는 것과 비교해서 증착 주기가 증가하기 때문이다.
- <14> 3. 비용이 증가하는데, Mo의 현재 시장 가격이 Al보다 매우 비싸기 때문이다.

발명의 내용

해결 하고자하는 과제

- <15> 본 발명의 목적은 전술한 종래 기술들의 단점들을 해결하고, 소스와 드레인 전극들의 구성과 이의 제조 방법을 변경함으로써 소스와 드레인 전극들이 깨지기 쉬운 결함을 극복할 수 있고, 따라서 생산성이 향상되고 비용을 줄일 수 있는 TFT-LCD 용 박막 트랜지스터와 이의 제조 방법을 제공하는 데 있다.

과제 해결수단

- <16> 본 발명의 일 실시 예는 박막 트랜지스터를 제공한다. 박막 트랜지스터는 게이트 전극, 게이트 절연층, 액티브층 및 소스와 드레인 전극들을 포함한다. 게이트 전극은 액티브층의 채널 영역과 오버랩되고, 게이트 절연층은 게이트 전극과 액티브층 사이에 제공되고, 소스와 드레인 전극들은 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고, 전자들이 터널링되도록 하는 SiN_x 또는 SiO_xN_y 박막이 액티브층과 소스와 드레인 전극들 사이에 제공된다.
- <17> 본 발명의 다른 실시 예는 박막 트랜지스터 제조방법을 제공한다. 상기 방법은 게이트 전극, 게이트 절연층, 액티브층 및 소스와 드레인 전극들을 형성하는 단계를 포함한다. 게이트 전극은 액티브층의 채널 영역과 오버랩되고, 게이트 절연층은 게이트 전극과 액티브층 사이에 제공되고, 소스와 드레인 전극들은 액티브층의 소스 영역 및 드레인 영역과 각각 오버랩되고, 전자들이 터널링되도록 하는 SiN_x 또는 SiO_xN_y 박막이 액티브층과 소스와 드레인 전극들 사이에 제공된다.
- <18> 본 발명의 또 다른 실시 예는 박막 트랜지스터 디스플레이를 제공한다. 상기 박막 트랜지스터 디스플레이는 픽셀 유닛의 스위칭 소자로서 박막 트랜지스터를 포함하며, 박막 트랜지스터는 게이트 전극, 게이트 절연층, 액티브층, 및 소스와 드레인 전극들을 포함하며, 게이트 전극은 액티브층의 채널 영역과 오버랩되고, 게이트 절연층은 상기 게이트 전극과 상기 액티브층 사이에 제공되고, 소스와 드레인 전극들은 상기 액티브층의 소스 영역 및

드레인 영역과 각각 오버랩되고, 전자들이 터널링되도록 하는 SiN_x 또는 SiO_xN_y 박막이 액티브층과 소스와 드레인 전극들 사이에 제공된다.

- <19> 본 발명의 적용 추가 범위는 다음의 상세한 설명으로부터 더욱 명확해 질 것이다. 하지만, 상세한 설명과 특정 예시들은 본 발명의 바람직한 실시 예들을 나타내고 단지 설명을 위한 것으로 이해되어야 한다. 본 발명의 개념과 범위 내에서 다양한 변경 및 개조가 다음 상세한 설명으로부터 당업자에게 자명할 것이다.

효 과

- <20> 본 발명의 일 실시 예에 따른 박막 트랜지스터는 소스와 드레인 전극들이 깨지기 쉬운 결함을 극복할 수 있고, 따라서 생산성이 향상되고 비용을 줄일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <21> 도 2는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 개략적인 단면도이고, 도 3은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 개략적인 단면이다.
- <22> 도 2에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 박막 트랜지스터는 기판(100)과 게이트(200), 기판(100) 위에 바닥으로부터 순서대로 형성된 게이트 절연층(300), 반도체 층(400), 도핑된 반도체층(500), 소스와 드레인 전극들(700), 표면보호층(800), 및 픽셀 전극(900)을 포함한다.
- <23> 픽셀 전극(900)은 표면보호층(800)에 형성된 비아 홀을 통해서 소스와 드레인 전극들(700) 중 하나, 예를 들면 드레인 전극과 접촉될 수 있다. 반도체 층(400)과 도핑된 반도체층(500)은 박막 트랜지스터의 액티브 층을 구성하기 위해 사용된다. 도핑된 반도체층(500)은 반도체층과 소스와 드레인 전극들 사이의 접촉 저항을 감소시키기 위해 사용되는 옴 접촉 층으로 언급될 수도 있고, 마이크로 크리스탈 실리콘과 같은 다른 재료들을 포함할 수 있다.
- <24> 또 다른 실시 예에서, 픽셀 전극(900)은 도 3에 도시된 것처럼, 소스와 드레인 전극들(700) 중 하나 위에 직접 래핑(lapped)될 수 있다. 본 발명의 일 실시 예에 따른 박막 트랜지스터에서, 소스와 드레인 전극들(700)은 소스와 드레인 영역에서 액티브 층과 각각 오버랩된다. 예를 들면, 대략 8-15nm의 두께를 가지는 SiN_x 또는 SiO_xN_y 층(600)이 도핑된 반도체 층(500)(또는 액티브 층)과 소스와 드레인 양쪽 전극들(700) 사이에 제공된다. 소스와 드레인 전극들을 위한 재료는 종래에 사용되던 순수 Al 또는 Al/Mo, Mo/Al/Mo 등과 같은 다층 구조를 대체하는 Al합금을 포함한다. Al 합금은, 예를 들면 AlNd, AlTa, AlNi, AlZr 및 AlCu 등과 같은 이차 합금과, AlNdNi와 같은 다른 합금들일 수 있다.
- <25> 본 발명의 일 실시 예에서, Al 합금이 순수 Al 재료를 대체하여 사용되기 때문에, TFT의 소스와 드레인 전극들은 자기 스퍼터링으로 형성될 수 있고, Mo 층은 더 이상 소스와 드레인 전극들 상부에 증착될 필요가 없다. Al 합금과 픽셀 전극(ITO 전도성 박막) 사이의 접촉이 양호하기 때문에, 상부의 Mo 층의 증착이 생략될 수 있다. 전술한 특징을 통해 소스와 드레인 전극들의 에칭에 관한 문제점들, 예를 들면 에칭 층의 틸트 각도가 해결될 수 있다.
- <26> 또한, 본 발명의 일 실시 예에서, Mo의 하부 층이 또한 증착되지 않고, 대략 8-15nm 두께의 SiN_x 또는 SiO_xN_y 박막으로 대체된다. 비록 SiN_x 또는 SiO_xN_y 박막이 절연되지만, 그러한 박막이, 예를 들면 대략 8-15nm로 매우 얇기 때문에, 하부의 소스와 드레인 전극들이 전자의 터널링 효과로 인하여 전도가 가능하게 픽셀 전극과 접속될 수 있다. 전술한 특징을 통해, 종래기술에서 소스와 드레인 전극들의 제조 동안에 다층 금속 층 증착으로부터 기인한 생산성 감소 문제점이 해결될 수 있다. 또한, 상하부 Mo층들을 증착할 필요가 없기 때문에, 소스와 드레인 전극들의 원재료 비용이 감소한다. 동시에, 하부 Mo층을 대체하는 SiN_x 또는 SiO_xN_y 박막은 동일한 반응 챔버에서 도핑된 반도체층의 증착 후에 CVD에 의해 쉽게 증착될 수 있어서, 제조 프로세스를 단순화한다.
- <27> 또한, 상기 실시 예의 바텀 게이트 박막 트랜지스터는 도 2 및 3의 구조들에 한정되지 않으며, 예를 들면 소스와 드레인 전극들과 액티브 층의 순서가 반대일 수 있다. 즉, 소스와 드레인 전극들이 게이트 절연층 위에 있고, 반도체층과 도핑된 반도체층이 소스와 드레인 전극들 위에 순차적으로 형성된다. 예를 들면 대략 8-15nm 두께의 SiN_x 또는 SiO_xN_y 박막이 도핑된 반도체층과 소스와 드레인 전극들 사이에 제공된다. 소스와 드레인 전극들의 재료는 Al합금을 포함한다.

- <28> 본 발명의 일 실시 예에 따른 박막 트랜지스터는 탑-게이트 형태일 수 있다. 또한, 반도체층과 도핑된 반도체층은 액티브 층을 구성하며, 도핑된 반도체층은 예를 들면 대략 8-15nm 두께의 SiN_x 또는 SiO_xN_y 박막의 소스와 드레인 전극들과 접촉된다. 소스와 드레인 전극들의 재료는 Al 합금을 포함한다.
- <29> 또한, 본 발명의 일 실시 예는 또한 픽셀 유닛의 스위칭 소자로서 상기 박막 트랜지스터를 가진 TFT-LCD를 제공한다.
- <30> 또한, 박막 트랜지스터를 제조하는 방법 및 TFT-LCD를 제조하는 방법을 제공한다. 예를 들면 바텀 게이트 박막 트랜지스터를 제조하는 방법이 설명될 것이다.
- <31> 제1 실시 예
- <32> 단계 1. 금속 박막이 기판, 예를 들면 유리 또는 단결정 실리콘 웨이퍼 상에, 예를 들면 자기 스퍼터링에 의해 증착되고, 금속 박막을 증착하기 위한 타겟 재료는 Al 합금을 포함하며, 게이트 라인과 게이트 전극 패턴이 포토 리소그래피와 에칭에 의해 형성된다.
- <33> 단계 2. SiN_x 또는 SiO_xN_y 박막이 게이트 절연층으로 CVD에 의해 준비된다. 반도체층(예를 들면 Si 층)과 도핑된 반도체층(예를 들면 N^+ Si 층)이 게이트 절연층 위에 CVD에 의해 동일한 프로세스로 증착된다.
- <34> 단계 3. 단계 2에서 사용된 것과 동일한 챔버에서, 대략 10nm 두께의 SiN_x 또는 SiO_xN_y 박막이 CVD에 의해 형성되고, 채널이 포토리소그래피와 에칭에 의해 형성된다.
- <35> 단계 4. 단계 3에서 형성된 기판 위에 Al 합금 금속층이 자기 스퍼터링에 의해 증착되고, 소스와 드레인 전극들이 포토리소그래피와 에칭에 의해 형성된다. 형성된 소스와 드레인 전극들은 SiN_x 또는 SiO_xN_y 박막의 도핑된 반도체층과 양호한 접촉을 가진다.
- <36> 단계 5. 표면보호층(예를 들면 SiO_xN_y)이 CVD에 의해 증착되고, 채널 보호층이 포토리소그래피와 에칭에 의해 준비되고, 동시에 비아 홀이 보호층에 에칭된다.
- <37> 단계 6. 투명한 픽셀 박막(예를 들면 ITO)이 자기 스퍼터링에 의해 증착되고, 픽셀 전극 패턴이 포토리소그래피와 에칭에 의해 형성되고, 픽셀 전극이 비아 홀을 통해 소스와 드레인 전극들 중 하나(예를 들면 드레인 전극)와 접촉된다.
- <38> 따라서, TFT-LCD의 픽셀 유닛이 완성되고, 형성된 박막 트랜지스터가 도 2에 도시된다.
- <39> 제2 실시 예
- <40> TFT-LCD의 픽셀 유닛과 박막 트랜지스터를 제조하는 또 다른 방법이 첨부한 도면들을 참조하여 설명된다.
- <41> 단계 1. 금속 박막이 기판, 예를 들면 유리 또는 단결정 실리콘 웨이퍼 상에, 예를 들면 자기 스퍼터링에 의해 증착되고, 금속 박막을 증착하기 위한 타겟 재료는 Al 합금을 포함하며, 게이트 라인과 게이트 전극 패턴이 포토 리소그래피와 에칭에 의해 형성된다.
- <42> 단계 2. SiN_x 또는 SiO_xN_y 박막이 게이트 절연층으로 CVD에 의해 준비된다. 반도체층(예를 들면 Si 층)과 도핑된 반도체층(예를 들면 N^+ Si 층)이 게이트 절연층 위에 CVD에 의해 연속적으로 증착된다.
- <43> 단계 3. 단계 2에서 사용된 것과 동일한 챔버에서, 대략 10nm 두께의 SiN_x 또는 SiO_xN_y 박막이 CVD에 의해 형성되고, 실리콘 섬이 포토리소그래피와 드라이 에칭에 의해 형성된다.
- <44> 단계 4. 픽셀 전극 박막(예를 들면, ITO 박막)이 예를 들면 자기 스퍼터링에 의해 증착되고, 픽셀 전극의 패턴이 포토리소그래피와 에칭에 의해 형성된다.
- <45> 단계 5. Al 합금의 금속 층이 상기 패턴 위에 예를 들면 자기 스퍼터링에 의해 증착되고, 소스와 드레인 전극들이 포토리소그래피와 에칭에 의해 형성된다. 형성된 소스와 드레인 전극들은 단계 3에서 형성된 SiN_x 또는 SiO_xN_y 박막을 가진 도핑된 반도체층과 각각 양호한 접촉을 가진다. 동시에, 소스와 드레인 전극들은 픽셀 전극과 양호한 접촉하고 그 사이에 양호한 접촉을 가진다.

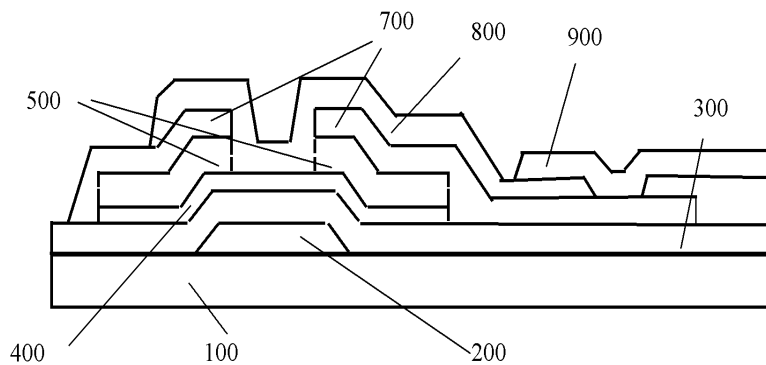
- <46> 단계 6. 도핑된 반도체층과 SiN_x 또는 SiO_xN_y 박막이 채널 형성을 위해 에칭된다.
- <47> 단계 7. 표면보호층(예를 들면 SiO_xN_y)이 CVD에 의해 증착되고나서, 채널 보호층이 포토리소그라피와 에칭에 의해 준비된다.
- <48> 따라서, TFT-LCD 픽셀 유닛이 완성되고, 형성된 박막 트랜지스터가 도 3에 도시된다.
- <49> 종래기술과 비교해서, 본 발명의 실시 예들은 종래에 사용된 다층 소스와 드레인 전극들을 단층 소스와 전극들로 변경하고, 다층 구조 구성으로 인한 에칭 문제점들을 해결한다. 예를 들면, 소스와 드레인 전극들은 깨지기 쉬운데, 그 이유는 중간 Al 금속과 상하부 Mo 금속층들의 에칭률 간의 차이 때문이다. 또한, 두 종류의 금속들의 3층 구조 증착은 비교적 긴 증착 주기가 필요하기 때문에 비교적 낮은 생산성을 가져왔다. 이러한 문제점들과 관련하여, 본 발명의 실시 예들은 소스와 드레인 전극들을 형성하기 위해 하나의 금속을 증착하고, 이는 생산성을 높인다. 본 발명의 실시 예들은 단지 하나의 금속층만을 증착하기 때문에, 자기 스퍼터링을 위한 챔버들의 수가 감소되고, 이는 장비와 유지 비용을 감소시킨다. 또한, Mo 시장 가격이 매우 비싸기 때문에, 본 발명의 실시 예들에서 상하부 Mo층이 생략될 수 있고 따라서 원재료 비용이 감소될 수 있다. 마지막으로, 본 발명의 실시 예들은 Al 금속의 낮은 전기 저항이 유지된다.

도면의 간단한 설명

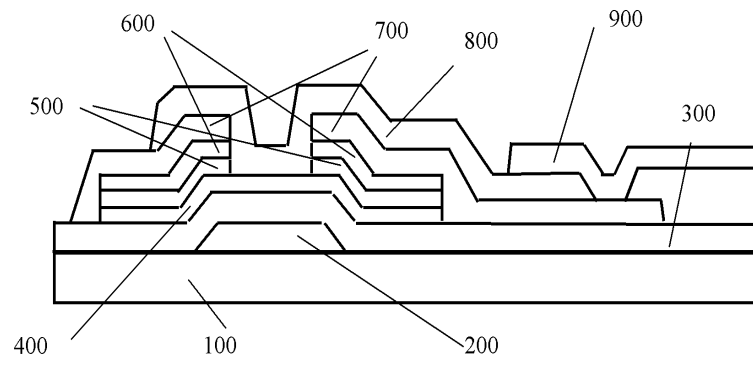
- <50> 도 1은 종래의 바텀-게이트 박막 트랜지스터(TFT) 구조의 개략적인 단면도이다.
- <51> 도 2는 본 발명의 일 실시 예에 따른 박막 트랜지스터의 개략적인 단면도이다.
- <52> 도 3은 본 발명의 다른 실시 예에 따른 박막 트랜지스터의 개략적인 단면도이다.

도면

도면1



도면2



도면3

