



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월31일
(11) 등록번호 10-1823790
(24) 등록일자 2018년01월24일

- (51) 국제특허분류(Int. Cl.)
H03L 7/18 (2006.01) H03L 7/089 (2006.01)
H03L 7/093 (2006.01) H03L 7/099 (2006.01)
- (52) CPC특허분류
H03L 7/18 (2013.01)
H03L 7/089 (2013.01)
- (21) 출원번호 10-2016-0159124
(22) 출원일자 2016년11월28일
심사청구일자 2016년11월28일
- (56) 선행기술조사문헌
Y. Yan 외, "A 1.25Gb/s half-rate clock and data recovery circuit," 2005 IEEE VLSI-TSA International Symposium on VLSI Design, Automation and Test, pp. 116-119, 2005. 04.*
R. Inti 외, "A 0.5-to-2.5 Gb/s Reference-Less Half-Rate Digital CDR With Unlimited Frequency Acquisition Range and Improved Input Duty-Cycle...", IEEE JSSC, vol. 46, no. 12, pp. 3150-3162, 2011. 12.*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
- (72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 101동 1104호(우면동, 서초참누리에코리치)
- 손경섭
인천광역시 연수구 청능대로 175, 117동 1905호(연수동, 연수1차우성아파트)
- (74) 대리인
양성보

전체 청구항 수 : 총 5 항

심사관 : 신우열

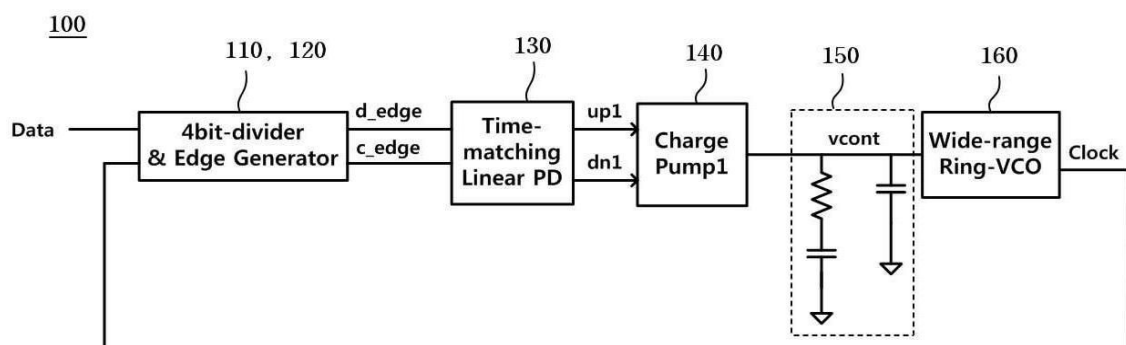
(54) 발명의 명칭 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프

(57) 요약

업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프가 제시된다. 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프는 상기 데이터와 상기 클럭을 입력 받아 복수의 엣지 신호를 생성하는 4비트 디바이더 및 엣지 생성기; 상기 4비트 디바이더 및 엣지 생성기를 통해 생성된 상기

(뒷면에 계속)

대표도



복수의 엣지 신호를 전달 받아 상기 데이터의 위상과 상기 클럭의 위상을 비교하여 업(up) 또는 다운(down) 신호를 발생시키는 선행 위상 검출기; 상기 선행 위상 검출기에서의 업(up) 또는 다운(down) 신호에 따라 제어 전압을 변화시키기 위한 전류를 생성하는 전하 펌프; 상기 전하 펌프로부터 입력되는 전류에 따라 전류를 소싱하거나 싱크하여 제어 전압을 변화시키는 루프 필터; 및 상기 전하 펌프 및 상기 루프 필터에 의해 변화된 제어 전압에 따라 클럭 주파수가 변화되며, 변화된 주파수를 갖는 상기 클럭을 복원하여 상기 4비트 디바이더 및 엣지 생성기로 피드백시키는 전압 제어 발진기를 포함하여 이루어질 수 있다.

(52) CPC특허분류

H03L 7/0891 (2013.01)

H03L 7/093 (2013.01)

H03L 7/0995 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026649

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 대학ICT연구센터육성지원사업

연구과제명 정보기기용 시스템반도체 핵심 설계 기술 개발 및 인력양성

기 여 율 1/1

주관기관 서울시립대학교 산학협력단

연구기간 2016.01.01 ~ 2016.12.31

명세서

청구범위

청구항 1

데이터와 클럭을 입력 받아 복수의 엣지 신호를 생성하는 4비트 디바이더 및 엣지 생성기;

상기 4비트 디바이더 및 엣지 생성기를 통해 생성된 상기 복수의 엣지 신호를 전달 받아 상기 데이터의 위상과 상기 클럭의 위상을 비교하여 업(up) 또는 다운(down) 신호를 발생시키는 선형 위상 검출기;

상기 선형 위상 검출기에서의 업(up) 또는 다운(down) 신호에 따라 제어 전압을 변화시키기 위한 전류를 생성하는 전하 펌프;

상기 전하 펌프로부터 입력되는 전류에 따라 전류를 소싱하거나 싱크하여 제어 전압을 변화시키는 루프 필터; 및

상기 전하 펌프 및 상기 루프 필터에 의해 변화된 제어 전압에 따라 클럭 주파수가 변화되며, 변화된 주파수를 갖는 상기 클럭을 복원하여 상기 4비트 디바이더 및 엣지 생성기로 피드백시키는 전압 제어 발진기

를 포함하고,

상기 선형 위상 검출기는,

복수의 AND 게이트와 복수의 D 플립플롭을 포함하는 타임 매칭 선형 위상 검출기(Time-Matching Linear Phase Detector, TMLPD)로 이루어지며, 상기 데이터와 상기 클럭의 위상 고정 후, 업(up) 신호와 다운(down) 신호가 동시에 발생되어 리플이 발생되지 않아 저 지터 성능을 가지고,

상기 타임 매칭 선형 위상 검출기는,

상기 복수의 엣지 신호를 전달 받아 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)가 하이(high)인 경우, 스타트(start) 신호를 발생시키는 제1 AND 게이트;

상기 제1 AND 게이트에서 상기 스타트(start) 신호를 발생시킴에 따라 이네이블(enable, en) 신호를 발생시키는 제1 D 플립플롭;

상기 제1 D 플립플롭에서 상기 이네이블 신호를 발생시킴에 따라 각각 상기 데이터의 엣지 신호(d_edge)의 하강 엣지에 업(up) 신호를 발생시키고, 상기 클럭의 엣지 신호(c_edge)의 하강 엣지에 다운(down) 신호가 발생시키는 제2, 제3 D 플립플롭; 및

상기 업(up) 신호와 다운(down) 신호가 순차적으로 발생된 후, 리셋(reset) 신호를 발생시켜 제1, 제2, 및 제3 D 플립플롭을 리셋시키는 AND 게이트

를 포함하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프.

청구항 2

제1항에 있어서,

상기 4비트 디바이더는,

16번의 데이터 하강 엣지마다 카운터가 출력되는 4비트 카운터; 및

상기 4비트 카운터에서의 출력되는 카운터에 따라 온(on)되어 상기 데이터를 통과시키는 스위치

를 포함하고,

상기 엣지 생성기는,

상기 데이터와 클럭을 입력 받아 상기 4비트 디바이더를 통과한 데이터의 상승 엣지마다 딜레이를 가진 신호를 발생시키는 것

을 특징으로 하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 전하 펌프는,

상기 선형 위상 검출기에서의 업(up) 또는 다운(down) 신호에 따라 상기 데이터의 위상과 상기 클럭의 위상을 일치시키는 방향으로 동작되도록 상기 전압 제어 발진기의 제어 전압을 변화시키는 업 또는 다운 전류를 생성하고,

상기 루프 필터는,

상기 전하 펌프로부터 입력되는 업 또는 다운 전류에 상응하는 제어 전압을 출력하는 것

을 특징으로 하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프.

청구항 6

제2항에 있어서,

상기 루프 필터는,

저항 및 복수의 커패시터를 포함하고,

상기 4비트 디바이더와 상기 엣지 생성기에 의해 상승 엣지마다 딜레이를 가진 신호를 발생시켜 데이터의 속도가 16배 감소되어, 상기 저항의 사이즈는 16배 증가하고, 상기 복수의 커패시터의 사이즈는 16배 감소되어 전체적인 칩 면적이 감소되는 것

을 특징으로 하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프.

청구항 7

제1항에 있어서,

상기 전압 제어 발진기는,

광-대역 링-전압 제어 발진기(Ring-Voltage Control Oscillator, Ring-VCO)로 이루어지는 것

을 특징으로 하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프.

발명의 설명

기술 분야

[0001] 아래의 실시예들은 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프에 관한 것이다.

배경 기술

[0002]일반적으로, 위상고정루프(Phase Locked Loop, 주로 'PLL' 이라 약칭함)이란 기준이 되는 주파수 신호를 외부로부터 입력 받고, 자체적으로 생성되어 출력되는 주파수 신호를 부채환(Negative Feedback) 루프를 통하여 입력받아, 입력된 2 개의 주파수 신호가 동일 주파수이면서 동일 위상(phase) 또는 동일 주파수이면서 동일한 위상차(phase difference)가 최소가 되는 신호를 출력하도록 제어하는 회로이다. 이러한 위상고정루프는 클럭 신호 생성이나 복구, 주파수 변조, 복조, 합성 및 체배 등과 같이 통신시스템이나 디지털 장비에서 널리

사용된다.

- [0003] 상기와 같은 위상고정루프(PLL)로부터 출력되는 클럭 또는 주파수 파형은 위상이 일정하지 못하게 되는 현상이 발생하는데, 이러한 현상을 지터(Jitter)라고 한다.
- [0004] 지터의 발생 원인은 대표적으로 위상고정루프를 이루는 회로 내부의 잡음에 의해서 발생하는 것과, 위상고정루프의 입력으로 들어오는 기준 주파수 파형 자체가 가지고 있는 지터가 출력 주파수 파형에 그대로 반영되는 것이 있다.
- [0005] 한국공개특허 10-2012-0072200호는 이러한 동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프에 관한 것으로, 디지털 컨버터(TDC)와, 디지털 루프 필터(DLF)와, 디지털 제어 발진기(DCO)를 가진 디지털 위상고정루프에 관한 기술을 기재하고 있다.

발명의 내용

해결하려는 과제

- [0006] 실시예들은 데이터와 클럭의 엣지 신호를 생성하고 데이터와 클럭의 엣지 신호의 위상을 비교함으로써 업(up) 신호와 다운(dn) 신호의 타임-미스-매칭 현상을 해결하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 제공하는데 있다.
- [0007] 실시예들은 데이터와 클럭의 엣지 신호의 위상을 비교하고, 위상 고정 이후, 타임-매칭을 통해 전압 제어 발진기(VCO)의 제어 전압에 리플 현상이 발생되지 않음으로써, 저 지터 성능을 가지는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 제공하는데 있다.

과제의 해결 수단

- [0008] 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프는 상기 데이터와 상기 클럭을 입력 받아 복수의 엣지 신호를 생성하는 4비트 디바이더 및 엣지 생성기; 상기 4비트 디바이더 및 엣지 생성기를 통해 생성된 상기 복수의 엣지 신호를 전달 받아 상기 데이터의 위상과 상기 클럭의 위상을 비교하여 업(up) 또는 다운(down) 신호를 발생시키는 선형 위상 검출기; 상기 선형 위상 검출기에서의 업(up) 또는 다운(down) 신호에 따라 제어 전압을 변화시키기 위한 전류를 생성하는 전하 펌프; 상기 전하 펌프로부터 입력되는 전류에 따라 전류를 소싱하거나 싱크하여 제어 전압을 변화시키는 루프 필터; 및 상기 전하 펌프 및 상기 루프 필터에 의해 변화된 제어 전압에 따라 클럭 주파수가 변화되며, 변화된 주파수를 갖는 상기 클럭을 복원하여 상기 4비트 디바이더 및 엣지 생성기로 피드백시키는 전압 제어 발진기를 포함한다.
- [0009] 상기 4비트 디바이더는, 16번의 데이터 하강 엣지마다 카운터가 출력되는 4비트 카운터; 및 상기 4비트 카운터에서의 출력되는 카운터에 따라 온(on)되어 상기 데이터를 통과시키는 스위치를 포함하고, 상기 엣지 생성기는, 상기 데이터와 클럭을 입력 받아 상기 4비트 디바이더를 통과한 데이터의 상승 엣지마다 딜레이를 가진 신호를 발생시킬 수 있다.
- [0010] 상기 선형 위상 검출기는, 복수의 AND 게이트와 복수의 D 플립플롭을 포함하는 타임 매칭 선형 위상 검출기(Time-Matching Linear Phase Detector, TMLPD)로 이루어지며, 상기 데이터와 상기 클럭의 위상 고정 후, 업(up) 신호와 다운(down) 신호가 동시에 발생되어 리플이 발생되지 않아 저 지터 성능을 가질 수 있다.
- [0011] 상기 타임 매칭 선형 위상 검출기는, 상기 복수의 엣지 신호를 전달 받아 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)가 하이(high)인 경우, 스타트(start) 신호를 발생시키는 제1 AND 게이트; 상기 제1 AND 게이트에서 상기 스타트(start) 신호를 발생시킴에 따라 이네이블(enable, en) 신호를 발생시키는 제1 D 플립플롭; 상기 제1 D 플립플롭에서 상기 이네이블 신호를 발생시킴에 따라 각각 상기 데이터의 엣지 신호(d_edge)의 하강 엣지에 업(up) 신호를 발생시키고, 상기 클럭의 엣지 신호(c_edge)의 하강 엣지에 다운(down) 신호가 발생시키는 제2, 제3 D 플립플롭; 및 상기 업(up) 신호와 다운(down) 신호가 순차적으로 발생된 후, 리셋(reset) 신호를 발생시켜 제1, 제2, 및 제3 D 플립플롭을 리셋시키는 AND 게이트를 포함할 수 있다.
- [0012] 상기 전하 펌프는, 상기 선형 위상 검출기에서의 업(up) 또는 다운(down) 신호에 따라 상기 데이터의 위상과 상기 클럭의 위상을 일치시키는 방향으로 동작되도록 상기 전압 제어 발진기의 제어 전압을 변화시키는 업 또는 다운 전류를 생성하고, 상기 루프 필터는, 상기 전하 펌프로부터 입력되는 업 또는 다운 전류에 상응하는 제어 전압을 출력할 수 있다.

[0013] 상기 루프 필터는, 저항 및 복수의 커패시터를 포함하고, 상기 4비트 디바이더와 상기 엣지 생성기에 의해 상승 엣지마다 딜레이를 가진 신호를 발생시켜 데이터의 속도가 16배 감소되어, 상기 저항의 사이즈는 16배 증가하고, 상기 복수의 커패시터의 사이즈는 16배 감소되어 전체적인 칩 면적이 감소될 수 있다.

[0014] 상기 전압 제어 발진기는, 링-대역 링-전압 제어 발진기(Ring-Voltage Control Oscillator, Ring-VCO)로 이루어질 수 있다.

발명의 효과

[0015] 실시예들에 따르면 데이터와 클럭의 엣지 신호를 생성하고 데이터와 클럭의 엣지 신호의 위상을 비교함으로써 업(up1) 신호와 다운(dn1) 신호의 타임-미스-매칭 현상을 해결하는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 제공할 수 있다.

[0016] 실시예들에 따르면 데이터와 클럭의 엣지 신호의 위상을 비교하고, 위상 고정 이후, 타임-매칭을 통해 전압 제어 발진기(VCO)의 제어 전압에 리플 현상이 발생되지 않음으로써, 저 지터 성능을 가지는 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 개략적으로 나타내는 도면이다.

도 2는 일 실시예에 따른 4비트 디바이더 및 엣지 생성기를 설명하기 위한 도면이다.

도 3은 일 실시예에 따른 타임 매칭 선형 위상 검출기를 설명하기 위한 도면이다.

도 4는 일 실시예에 따른 타임 매칭 선형 위상 검출기(TMLPD)의 위상 차이에 따른 이득 곡선 시뮬레이션 결과를 나타낸다.

도 5는 일 실시예에 따른 위상 고정 이후를 설명하기 위한 도면이다.

도 6은 다른 실시예에 따른 페스트(fast) 또는 슬로우(slow) 방향 결정기를 가진 클럭 및 데이터 복원(CDR) 회로를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 실시예들을 설명한다. 그러나, 기술되는 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명되는 실시예들에 의하여 한정되는 것은 아니다. 또한, 여러 실시예들은 당해 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.

[0019] 도 1은 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프를 개략적으로 나타내는 도면이다.

[0020] 도 1을 참조하면, 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프(Phase Lock Loop, PLL)(100)는 4비트 디바이더(4bit-divider)(110), 엣지 생성기(Edge Generator, EG)(120), 선형 위상 검출기(Linear Phase Detector, LPD)(130), 전하 펌프(Charge-Pump1, CP1)(140), 루프 필터(150), 그리고 전압 제어 발진기(Voltage Control Oscillator, VCO)(160)를 포함하여 이루어질 수 있다.

[0021] 4비트 디바이더(110)와 엣지 생성기(EG)(120)를 통해 입력된 데이터(data)와 클럭(clock)의 엣지 신호인 d_edge(데이터의 엣지 신호, DE)와 c_edge(클럭의 엣지 신호, CE)를 생성할 수 있다.

[0022] 더 구체적으로, 4비트 디바이더(110)와 엣지 생성기(EG)(120)는 입력된 데이터와 전압 제어 발진기(VCO)(160)에서 출력된 클럭의 상승 엣지마다 특정 지연시간에 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)를 생성하고, 생성된 두 개의 엣지 신호를 선형 위상 검출기(LPD)(130)로 전달할 수 있다.

[0023] 여기에서, 4비트 디바이더(110)는 4비트 카운터 및 스위치를 포함할 수 있다.

[0024] 4비트 카운터는 16번의 데이터 하강 엣지마다 카운터가 출력될 수 있고, 스위치는 4비트 카운터에서의 출력되는

카운터에 따라 온(on)되어 데이터를 통과시킬 수 있다.

- [0025] 엣지 생성기(EG)(120)는 데이터와 클럭을 입력 받아 4비트 디바이더(110)를 통과한 데이터의 상승 엣지마다 딜레이를 가진 신호를 발생시킬 수 있다.
- [0026] 선형 위상 검출기(LPD)(130)는 엣지 생성기(EG)(120)에서 생성된 두 개의 엣지 신호(d_edge, c_edge)를 입력 받아 두 개의 엣지 신호(d_edge, c_edge)의 위상 정보를 비교하여 업(up, up1) 신호 또는 다운(down, dn1) 신호를 발생시키고, 전하 펌프(CP1)(140)로 전달할 수 있다.
- [0027] 여기에서, 선형 위상 검출기(LPD)(130)는 타임 매칭 선형 위상 검출기(Time-Matching Linear Phase Detector, TMLPD)가 사용될 수 있다. 아래에서는 선형 위상 검출기(LPD)(130) 중 타임 매칭 선형 위상 검출기(TMLPD)(130)를 예로 설명하기로 한다.
- [0028] 선형 위상 검출기(LPD)(130)는 복수의 AND 게이트와 복수의 D 플립플롭을 포함하는 타임 매칭 선형 위상 검출기(TMLPD)(130)로 이루어질 수 있다.
- [0029] 이러한 타임 매칭 선형 위상 검출기(TMLPD)(130)는 데이터의 위상과 클럭의 위상의 고정 이후, 업(up) 신호와 다운(down) 신호가 동시에 발생되어 리플이 발생되지 않음으로써 저 지터 성능을 가질 수 있다.
- [0030] 전하 펌프(CP1)(140)는 타임 매칭 선형 위상 검출기(TMLPD)(130)로부터 업(up1) 또는 다운(dn1) 신호를 수신 받아 이에 상응하는 업 또는 다운 전류를 생성할 수 있다. 그리고 전하 펌프(CP1)(140)는 업(up1) 또는 다운(dn1) 신호의 너비에 따라 전류를 후술할 루프 필터(150)에 소싱 또는 싱크시켜 제어 전압 vcont을 변화시킬 수 있다. 이후, 변화된 제어 전압 vcont에 따라 후술할 전압 제어 발진기(VCO)(160)의 클럭 주파수는 변화될 수 있다. 이러한 과정은 데이터의 주파수와 클럭의 주파수가 일치할 때까지 피드백되고 반복될 수 있다.
- [0031] 즉, 전하 펌프(CP1)(140)는 타임 매칭 선형 위상 검출기(TMLPD)(130)에서의 업(up1) 또는 다운(dn1) 신호에 따라 데이터의 위상과 클럭의 위상을 일치시키는 방향으로 동작되도록 전압 제어 발진기(VCO)(160)의 제어 전압 vcont을 변화시키는 업 또는 다운 전류를 생성할 수 있다.
- [0032] 루프 필터(150)는 전하 펌프(CP1)(140)로부터 입력되는 업 또는 다운 전류에 상응하는 아날로그 전압 조정신호를 출력할 수 있다.
- [0033] 루프 필터(150)는 전하 펌프(CP1)(140)의 출력단과 접지 사이에 서로 직렬로 연결된 저항(R) 및 제1 커패시터(C1)와 전하 펌프(CP1)(140)의 출력단과 접지 사이에 연결된 제2 커패시터(C2)로 구성될 수 있다.
- [0034] 다시 말하면 루프 필터(150)는 저항 및 복수의 커패시터를 포함하고, 4비트 디바이더(110)와 엣지 생성기(EG)(120)에 의해 상승 엣지마다 딜레이를 가진 신호를 발생시켜 데이터의 속도가 16배 감소되어, 상기 저항의 사이즈는 16배 증가하고, 상기 복수의 커패시터의 사이즈는 16배 감소되어 전체적인 칩 면적이 감소될 수 있다.
- [0035] 이와 같이, 전하 펌프(CP1)(140)로부터 출력된 업 또는 다운 신호는 루프 필터(150)를 거치면서 후술할 전압 제어 발진기(VCO)(160)의 제어 전압 vcont으로 바뀌게 된다.
- [0036] 전압 제어 발진기(VCO)(160)는 루프 필터(150)에서 출력되는 아날로그 전압 조정신호에 따라 변화된 주파수 및 위상을 갖는 클럭을 복원하고, 복원된 클럭을 다시 4비트 디바이더(110) 및 패스트 또는 슬로우 방향 결정기(121)로 피드백시킬 수 있다. 여기에서, 전압 제어 발진기(VCO)(160)는 광-대역 링-전압 제어 발진기(Ring-Voltage Control Oscillator, Ring-VCO)가 사용될 수 있다. 아래에서는 전압 제어 발진기(VCO)(160) 중 광-대역 링-전압 제어 발진기(Ring-Voltage Control Oscillator, Ring-VCO)(160)를 예로 설명하기로 한다.
- [0037] 다시 말하면, 위상 고정 루프(PLL)(100)는 4비트 디바이더(110)를 통해 데이터 속도를 16배 감소시킬 수 있다. 그 이후, 데이터와 클럭은 엣지 생성기(120)를 통해 각 상승 엣지마다 신호를 발생시킬 수 있다. 여기에서 데이터와 클럭의 상승 엣지를 통해 생성된 엣지 신호는 각각 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)로 표현될 수 있다. 두 개의 엣지 신호인 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)를 입력으로 타임 매칭 선형 위상 검출기(TMLPD)(130)는 위상 정보를 비교하여 업(up1) 또는 다운(dn1) 신호를 발생시킬 수 있다. 이러한 정보는 전하 펌프(140)를 통해 루프 필터(150)의 전하를 소싱 또는 싱크시키고 데이터와 클럭의 위상이 일치하는 방향으로 동작될 수 있다.
- [0038] 실시예들에 따르면 데이터와 클럭의 엣지 신호를 생성하고 데이터와 클럭의 엣지 신호의 위상을 비교함으로써 업(up1) 신호와 다운(dn1) 신호의 타임-미스-매칭 현상을 해결할 수 있다.

- [0039] 또한, 실시예들에 따르면 데이터와 클럭의 엣지 신호의 위상을 비교하고, 위상 고정 이후, 타임-매칭을 통해 전압 제어 발진기(VCO)의 제어 전압에 리플 현상이 발생되지 않음으로써, 저 지터 성능을 질 수 있다.
- [0040] 도 2는 일 실시예에 따른 4비트 디바이더 및 엣지 생성기를 설명하기 위한 도면이다.
- [0041] 도 2a는 일 실시예에 따른 4비트 디바이더 및 엣지 생성기를 개략적으로 나타내는 도면이다.
- [0042] 도 2a를 참조하면, 일 실시예에 따른 4비트 디바이더(4bit-divider) 및 엣지 생성기(Edge Generator, EG)를 나타내는 것으로, 4비트 디바이더(210)는 4비트 카운터(211)와 스위치(212)로 구성될 수 있다. 4비트 디바이더(210)는 16번의 데이터 하강 엣지마다 카운터가 출력되고 이 신호로 스위치(212)를 온(on) 시킨 후, 그 때마다 데이터를 통과시킬 수 있다.
- [0043] 도 2b는 일 실시예에 따른 엣지 생성 과형 그래프를 나타내는 도면이다.
- [0044] 도 2b를 참조하면, 입력되는 데이터와 클럭은 엣지 생성기(220)를 통해 상승 엣지마다 Td의 딜레이를 가진 신호를 발생시킬 수 있다. 이 때, 입력되는 데이터는 스위치가 온(on) 되는 경우 엣지 생성기(220)에 전달될 수 있다.
- [0045] 즉, 엣지 생성기(220)는 입력 데이터와 클럭을 입력 받고, 4비트 디바이더(210)를 통과한 입력 데이터의 상승 엣지마다 Td의 딜레이를 가진 신호를 발생시킬 수 있다.
- [0046] 도 2c는 일 실시예에 따른 루프 필터 사이즈의 변화를 나타내는 도면이다.
- [0047] 도 2c를 참조하면, 일 실시예에 따른 4비트 디바이더(210)의 사용으로 인한 루프 필터 사이즈의 변화를 나타내는 것으로, 4비트 디바이더(210)에 의하여 데이터 속도는 16배 감소되고 이에 따라 루프 필터의 패시브 소자의 사이즈가 변경될 수 있다.
- [0048] 한편, 일반적인 칩 공정에서 커패시터는 저항보다 많은 면적을 차지한다. 이에 따라 4비트 디바이더(210)의 사용으로 인하여 저항 사이즈는 16배 증가하지만 커패시터 사이즈는 16배 감소되어 전체적인 칩 면적은 감소된다. 즉, 4비트 디바이더(210)의 사용으로 루프 필터 사이즈가 감소될 수 있다.
- [0049] 도 3은 일 실시예에 따른 타임 매칭 선형 위상 검출기를 설명하기 위한 도면이다.
- [0050] 도 3a는 일 실시예에 따른 타임 매칭 선형 위상 검출기를 개략적으로 나타내는 도면이다.
- [0051] 도 3a를 참조하면, 일 실시예에 따른 타임 매칭 선형 위상 검출기(Time-Matching Linear Phase Detector, TMLPD)의 회로 구성을 나타내는 것으로, 타임 매칭 선형 위상 검출기(TMLPD)(300)는 AND 게이트와 D 플립플롭을 포함하여 이루어질 수 있다.
- [0052] 타임 매칭 선형 위상 검출기(TMLPD)(300)는 제1 AND 게이트(310), 제2 AND 게이트(320), 제1 D 플립플롭(330), 제2 D 플립플롭(340), 및 제3 D 플립플롭(350)를 포함하여 이루어질 수 있다.
- [0053] 제1 AND 게이트(310)는 상기 복수의 엣지 신호를 전달 받아 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)가 하이(high)인 경우, 스타트(start) 신호를 발생시킬 수 있다.
- [0054] 제1 D 플립플롭(330)는 상기 제1 AND 게이트에서 상기 스타트(start) 신호를 발생시킴에 따라 이네이블(enable, en) 신호를 발생시킬 수 있다.
- [0055] 제2 D 플립플롭(340)와 제3 D 플립플롭(350)는 상기 제1 D 플립플롭에서 상기 이네이블 신호를 발생시킴에 따라 각각 상기 데이터의 엣지 신호(d_edge)의 하강 엣지에 업(up) 신호를 발생시키고, 상기 클럭의 엣지 신호(c_edge)의 하강 엣지에 다운(down) 신호가 발생시킬 수 있다.
- [0056] 제2 AND 게이트(320)는 상기 업(up) 신호와 다운(down) 신호가 순차적으로 발생된 후, 리셋(reset) 신호를 발생시켜 제1, 제2, 및 제3 D 플립플롭을 리셋시킬 수 있다.
- [0057] 다시 말하면, 타임 매칭 선형 위상 검출기(TMLPD)는 엣지 생성기(EG)에서 생성된 두 개의 엣지 신호(d_edge, c_edge)를 입력 받아 위상 정보를 비교함으로써 업(up1) 또는 다운(dn1) 신호를 발생시킬 수 있다.
- [0058] 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)가 둘 다 하이(high)이면 스타트(start) 신호가 발생되

고 첫 번째 D-플립플롭은 이네이블(en) 신호를 발생시킬 수 있다. 이후, 데이터의 엣지 신호(d_edge)의 하강 엣지에 업(up1) 신호가 발생되고 클럭의 엣지 신호(c_edge)의 하강 엣지에 다운(dn1) 신호가 발생될 수 있다. 업(up1) 신호와 다운(dn1) 신호가 순차적으로 발생된 이후에 AND 게이트를 통해 리셋(reset) 신호가 발생되고 3개의 D 플립플롭은 리셋될 수 있다.

- [0059] 도 3b는 일 실시예에 따른 데이터의 위상과 클럭 위상에 따른 각 노드의 타이밍 그래프를 나타내는 도면이다.
- [0060] 도 3b를 참조하면, Case. 1은 데이터의 위상과 클럭의 위상이 같을 경우 각 노드에서의 파형을 나타낸다. 이 때, 업(up1) 신호와 다운(dn1) 신호는 동시에 발생되고 그 너비는 동일하다.
- [0061] Case. 2는 데이터의 위상이 클럭의 위상보다 느린 경우 각 노드에서의 파형을 나타낸다. 이 때, 업(up1) 신호가 다운(dn1) 신호보다 먼저 발생되고 위상 차이만큼 너비가 크다.
- [0062] Case. 3은 데이터의 위상이 클럭의 위상보다 빠른 경우 각 노드에서의 파형을 나타낸다. 이 때, 업(up1) 신호가 다운(dn1) 신호보다 나중에 발생되고 위상 차이만큼 너비가 작다.
- [0063] 일반적으로 클럭 및 데이터 복원 회로에 사용되는 선형 위상 검출기 또는 뱅뱅 위상 검출기는 위상 고정 이후, 업(up1) 신호와 다운(dn1) 신호가 주기적으로 번갈아 가며 출력된다. 이에 따라, 전압 제어 발진기(VCO)의 제어 전압이 주기적으로 흔들리는 리플이 발생하고, 이는 주기적인 지터로 발생될 수 있다.
- [0064] 여기에서, 타임 매칭 선형 위상 검출기(TMLPD)는 위상 고정 이후, 업(up1) 신호와 다운(dn1) 신호가 동시에 발생되므로 리플이 발생되지 않고, 더 적은 지터 성능을 가질 수 있다.
- [0065] 도 3c는 일 실시예에 따른 타임 매칭 선형 위상 검출기(TMLPD)의 위상 차이에 따른 이득 곡선을 나타내는 도면이다.
- [0066] 도 3c를 참조하면, 타임 매칭 선형 위상 검출기(TMLPD)의 위상 차이에 따라 이득은 선형적으로 증가한다. 타임 매칭 선형 위상 검출기(TMLPD)의 사용 범위는 생성된 엣지 신호의 Td에서 검출기 첫 번째 AND-게이트에 시간 지연(τ_{and})을 뺀 나머지 시간만큼이 될 수 있다.
- [0067] 도 4는 일 실시예에 따른 타임 매칭 선형 위상 검출기(TMLPD)의 위상 차이에 따른 이득 곡선 시뮬레이션 결과를 나타낸다.
- [0068] 도 4를 참조하면, 위상 차이($\Delta\phi$)가 0 일 때(500ps), up1과 dn1 차에 평균값은 0이 될 수 있다. 위상 차이에 따라 선형적으로 이득이 증가되고 $|T_d - \tau_{and}|$ (약 100ps)의 위상 슬롯 범위를 가질 수 있다.
- [0069] 도 5는 일 실시예에 따른 위상 고정 이후를 설명하기 위한 도면이다.
- [0070] 도 5a는 일 실시예에 따른 위상 고정 이후의 타이밍 그래프를 나타내는 도면이다.
- [0071] 도 5a를 참조하면, 위상 고정 이후, 중요 노드의 타이밍 그래프를 나타낸 것으로, 데이터와 클럭은 동일한 위상에 발생되고, 이는 동일 타이밍에 데이터의 엣지 신호(d_edge)와 클럭의 엣지 신호(c_edge)를 발생할 수 있다.
- [0072] 즉, 업(up1) 신호와 다운(dn1) 신호는 동일 시간에 발생되고, 전압 제어 발진기(VCO)의 제어 전압은 리플이 발생되지 않는다.
- [0073] 도 5b는 일 실시예에 따른 위상 고정 이후의 클럭의 아이-다이아그램을 나타내는 도면이고, 도 5c는 도 5b의 확대도이다.
- [0074] 도 5b 및 도 5c를 참조하면, 위상 고정 이후, 피크-피크 지터(jitter)는 3.44ps로 0.01UI 미만의 저 지터 성능을 보인다.
- [0075] 더욱이, 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프는 주파수 고정 루프(Frequency Lock Loop, FLL)와 구현되어 패스트 또는 슬로우 방향 결정기를 가진 기준 신호 없는 클럭

및 데이터 복원 회로를 제공할 수 있다.

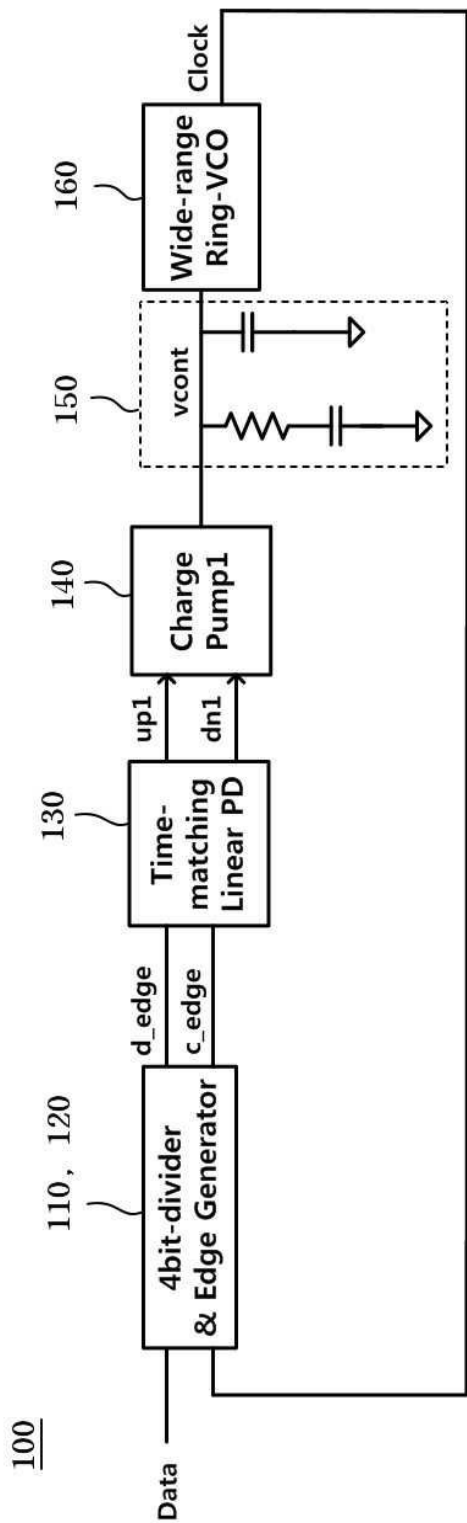
- [0076] 아래에서 하나의 예를 들어 다른 실시예에 따른 패스트(fast) 또는 슬로우(slow) 방향 결정기를 가진 클럭 및 데이터 복원(Clock and Data Recovery, CDR) 회로에 대해 더 구체적으로 설명한다.
- [0077] 도 6은 다른 실시예에 따른 패스트(fast) 또는 슬로우(slow) 방향 결정기를 가진 클럭 및 데이터 복원(CDR) 회로를 나타낸다.
- [0078] 도 6을 참조하면, 다른 실시예에 따른 패스트(fast) 또는 슬로우(slow) 방향 결정기를 가진 클럭 및 데이터 복원(Clock and Data Recovery, CDR) 회로(600)는 위상 고정 루프(Phase Lock Loop, PLL)(610), 주파수 고정 루프(Frequency Lock Loop, FLL)(620), 루프 필터(630), 그리고 전압 제어 발진기(Voltage Control Oscillator, VCO)(640)를 포함하여 이루어질 수 있다. 이 때 클럭은 기준-신호-없는 클럭(Reference-less Clock)이다. 그리고, 위상 고정 루프(Phase Lock Loop, PLL)는 도 1 내지 도 5에서 설명한 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프일 수 있다. 일 실시예에 따른 업 또는 다운 펄스 타이밍 매칭을 이용한 저 지터 선형 위상 고정 루프에서는 루프 필터(630), 그리고 전압 제어 발진기를 포함하여 설명하였으나, 여기에서는 루프 필터(630), 그리고 전압 제어 발진기를 위상 고정 루프와 별도로 설명하기로 한다.
- [0079] 위상 고정 루프(PLL)(610)는 4비트 디바이더(4bit-divider)(611), 엣지 생성기(Edge Generator, EG)(612), 타임 매칭 선형 위상 검출기(Time-Matching Linear Phase Detector, TMLPD)(613), 및 제1 전하 펌프(Charge-Pump1, CP1)(614)를 포함할 수 있다.
- [0080] 위상 고정 루프(PLL)(610)는 4비트 디바이더(611)를 통해 데이터 속도를 16배 감소시킬 수 있다. 그 이후, 데이터와 클럭은 엣지 생성기(612)를 통해 각 상승 엣지마다 신호를 발생시킬 수 있다. 여기에서 데이터와 클럭의 상승 엣지를 통해 생성된 엣지 신호는 각각 d_edge(DE)와 c_edge(CE)로 표현될 수 있다. 두 개의 엣지 신호인 d_edge, c_edge를 입력으로 타임 매칭 선형 위상 검출기(TMLPD)(613)는 위상 정보를 비교하여 업(up1) 또는 다운(dn1) 신호를 발생시킬 수 있다. 이러한 정보는 제1 전하 펌프(614)를 통해 루프 필터(630)의 전하를 소싱 또는 싱크시키고 데이터와 클럭의 위상이 일치하는 방향으로 동작될 수 있다.
- [0081] 주파수 고정 루프(FLL)(620)는 패스트 또는 슬로우 방향 결정기(Fast/Slow Direction Selector, FSDDS)(621), 편향된 위상 검출기(Slant Phase Detector, SPD)(622), 및 제2 전하 펌프(Charge-Pump2, CP2)(623)를 포함할 수 있다.
- [0082] 패스트 또는 슬로우 방향 결정기(FSDDS)(621)는 입력된 데이터와 전압 제어 발진기(VCO)(640)에서 출력된 클럭의 주파수를 비교할 수 있다. 그리고 패스트 또는 슬로우 방향 결정기(621)는 주파수의 빠르고 느린 정보를 검출하여 패스트(fast, 빠른) 또는 슬로우(slow, 느린)의 방향을 결정하고 이를 출력할 수 있다.
- [0083] 특히, 패스트 또는 슬로우 방향 결정기(FSDDS)(621)는 데이터의 주파수와 출력 클럭의 주파수를 비교하여, 데이터의 주파수가 출력 클럭의 주파수보다 느릴 경우 패스트(fast) 방향이 결정되고, 데이터의 주파수가 출력 클럭의 주파수보다 빠를 경우 슬로우(slow) 방향이 결정될 수 있다.
- [0084] 더 구체적으로, 패스트 또는 슬로우 방향 결정기(FSDDS)(621)는 데이터와 복원 데이터를 비교함으로써 패스트(fast) 또는 슬로우(slow) 방향 결정이 이루어질 수 있다. 이에, 데이터와 클럭의 주파수를 비교하여 패스트(fast) 또는 슬로우(slow) 방향을 선택하고, 추가적인 한 방향의 위상 검출을 통해 추가적인 기준 신호 없이 데이터만을 사용하여 주파수를 고정시킬 수 있다.
- [0085] 편향된 위상 검출기(SPD)(622)는 4비트 디바이더(611)와 엣지 생성기(612)를 통해 생성된 두 개의 엣지 신호(d_edge, c_edge)를 전달 받아 이를 비교하여 업(up2) 또는 다운(dn2) 신호를 발생시킬 수 있다.
- [0086] 이 때, 편향된 위상 검출기(SPD)(622)는 이전 패스트(fast) 또는 슬로우(slow) 선택 정보에 따라 오직 업(up2) 또는 다운(dn2) 신호만 제2 전하 펌프(CP2)(623)에 전달할 수 있다. 여기에서 편향된 위상 검출기(SPD)(622)는 패스트 또는 슬로우 방향 결정기(FSDDS)(621)로부터 이전 패스트(fast) 또는 슬로우(slow) 선택 정보를 전달 받을 수 있다.
- [0087] 제2 전하 펌프(CP2)(623)는 편향된 위상 검출기(SPD)(622)로부터 입력되는 업(up2) 또는 다운(dn2) 신호를 수신 받아 이에 상응하는 업 또는 다운 전류를 생성할 수 있다. 여기에서, 제2 전하 펌프(CP2)(623)는 업(up2) 또는 다운(dn2) 신호에 따라 전류를 소싱 또는 싱크시켜 데이터와 클럭의 주파수가 일치하는 방향으로 동작될 수 있

다.

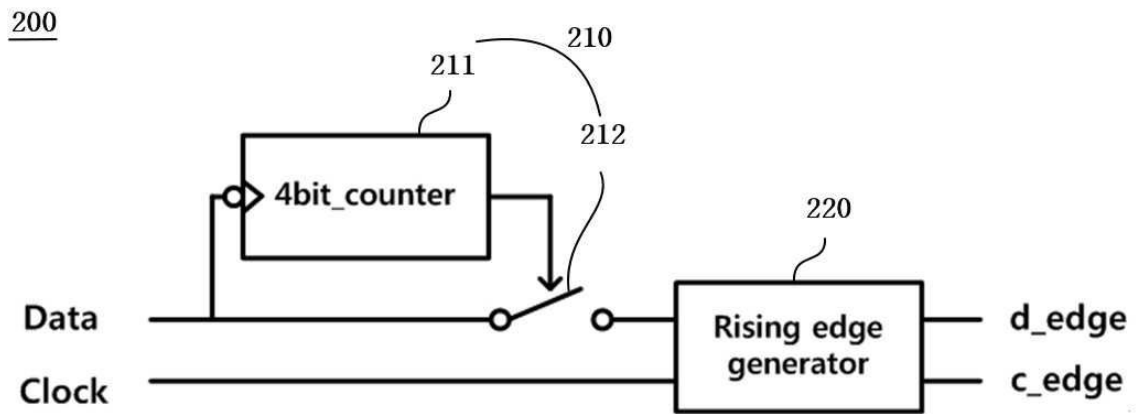
- [0088] 다시 말하면, 주파수 고정 루프(FLL)(620)에서 패스트 또는 슬로우 방향 결정기(FSDS)(621)를 통해 입력된 데이터와 전압 제어 발진기(VCO)(640)에서 출력된 클럭의 주파수를 비교하여 빠른(fast) 또는 느린(slow) 방향성을 결정할 수 있다. 편향된 위상 검출기(SPD)(622)는 두 개의 엣지 신호 d_edge, c_edge를 비교하여 위상 정보를 출력할 수 있다. 여기에서 편향된 위상 검출기(SPD)(622)는 결정된 방향 정보인 패스트(fast) 또는 슬로우(slow)에 따라 오직 업(up2) 또는 다운(dn2) 신호만 출력할 수 있다. 이러한 업(up2) 또는 다운(dn2) 신호는 주파수가 일치할 때까지 계속적으로 생성될 수 있다. 클럭과 데이터의 주파수가 고정되면, 추가적인 업(up2) 또는 다운(dn2) 신호는 발생되지 않는다. 즉, 주파수 고정 후, 주파수 고정 루프(FLL)(620)는 위상 고정 루프(PLL)(610)에 영향을 미치지 않는다.
- [0089] 루프 필터(630)는 제1 전하 펌프(CP1)(614) 및 제2 전하 펌프(CP2)(623)로부터 입력되는 업 또는 다운 전류에 상응하는 아날로그 전압 조정신호를 출력할 수 있다.
- [0090] 더 구체적으로, 루프 필터(630)는 제1 전하 펌프(CP1)(614) 및 제2 전하 펌프(CP2)(623)의 출력단과 접지 사이에 서로 직렬로 연결된 저항(R) 및 제1 커패시터(C1)와 제1 전하 펌프(CP1)(614) 및 제2 전하 펌프(CP2)(623)의 출력단과 접지 사이에 연결된 제2 커패시터(C2)로 구성될 수 있다.
- [0091] 이와 같이, 제1 전하 펌프(CP1)(614) 및 제2 전하 펌프(CP2)(623)로부터 출력된 업 또는 다운 신호는 루프 필터(630)를 거치면서 후술할 전압 제어 발진기(VCO)(640)의 제어 전압 vcont으로 바뀌게 된다.
- [0092] 전압 제어 발진기(VCO)(640)는 루프 필터(630)에서 출력되는 아날로그 전압 조정신호에 따라 변화된 주파수 및 위상을 갖는 클럭을 복원하고, 복원된 클럭을 다시 4비트 디바이더(611) 및 패스트 또는 슬로우 방향 결정기(621)로 피드백시킬 수 있다. 여기에서, 전압 제어 발진기(VCO)(640)는 링-대역 링-전압 제어 발진기(Ring-Voltage Control Oscillator, Ring-VCO)가 사용될 수 있다.
- [0093] 이에 따라 입력 데이터와 복원 데이터를 사용하여 데이터와 클럭 간 패스트(fast) 또는 슬로우(slow) 방향을 결정하여 추가적인 업 또는 다운 신호를 통해 주파수 고정이 이루어지며, 주파수 고정 이후 추가적인 신호가 발생되지 않음으로써 위상 고정 루프에 영향을 미치지 않는다.
- [0094] 또한, 입력 데이터와 복원 데이터를 사용하여 데이터와 클럭 간 패스트(fast) 또는 슬로우(slow) 방향을 결정되, 서로 다른 카운터의 발생 시간을 통해 이루어지고, 주파수 습득 범위에 제한을 가지지 않음으로써, 데이터의 주파수와 클럭의 주파수의 차이가 큰 경우에도 주파수의 방향 결정과 주파수의 습득이 가능하다.
- [0095] 이상에서, 실시예들에 따르면 데이터와 클럭의 엣지 신호를 생성하고 이 신호의 위상을 비교함으로써 업(up1) 신호와 다운(dn1) 신호의 타임-미스-매칭 현상을 해결할 수 있다. 위상 고정 이후, 타임-매칭을 통해 전압 제어 발진기(VCO)의 제어 전압에 리플 현상이 발생되지 않고, 이에 따라 적은 지터 성능을 가지는 위상 고정 루프 설계가 가능하다.
- [0096] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0097] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.
- [0098]

도면

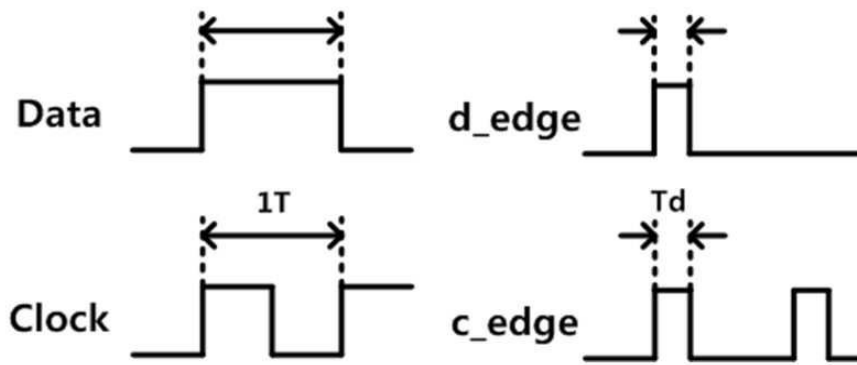
도면1



도면2a



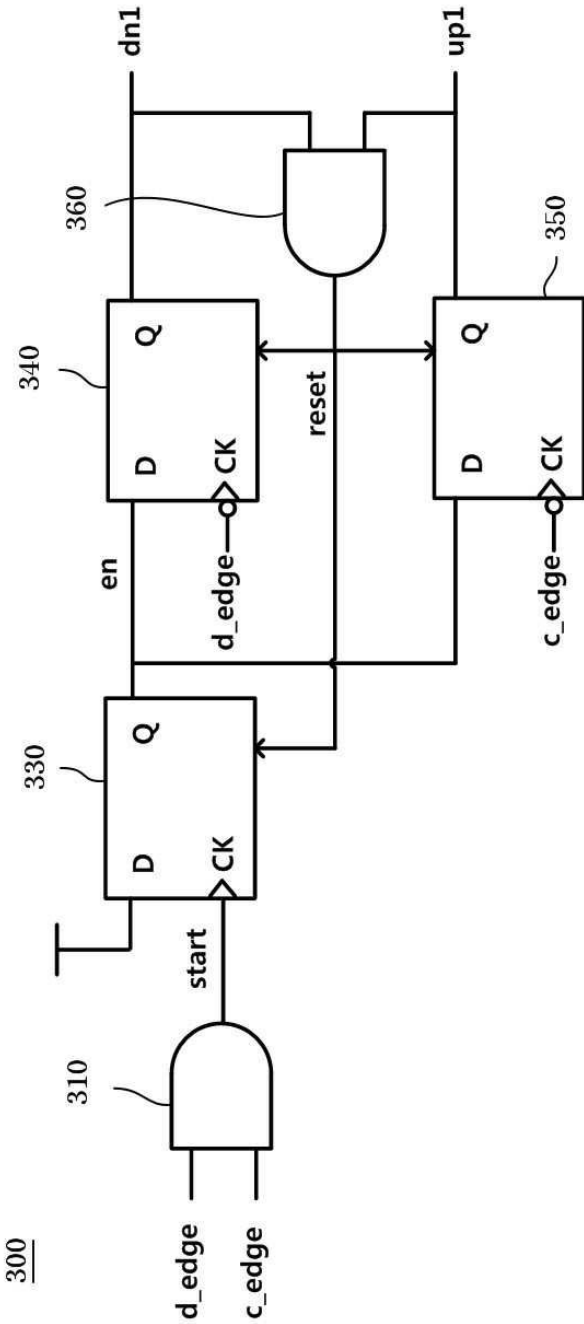
도면2b



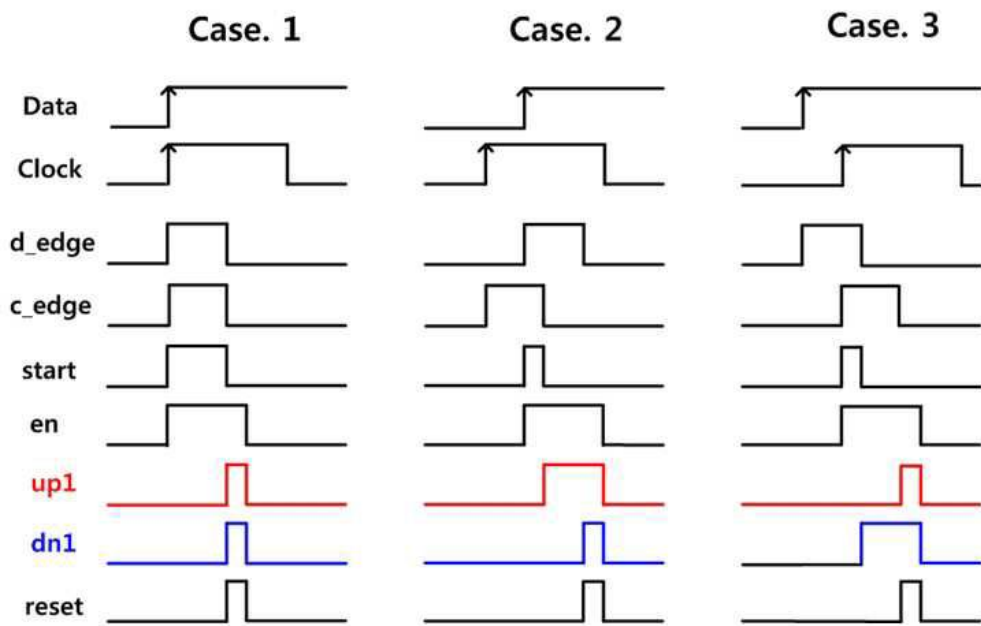
도면2c



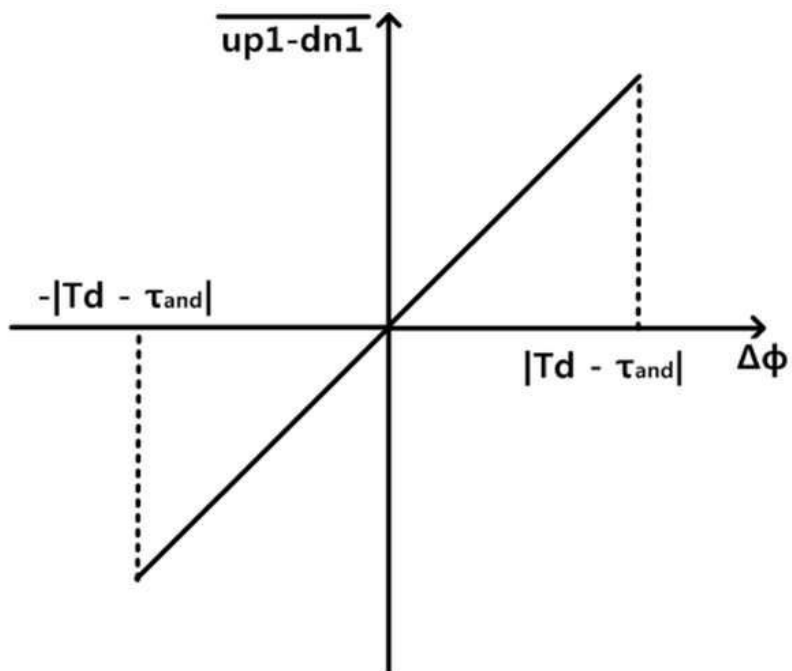
도면3a



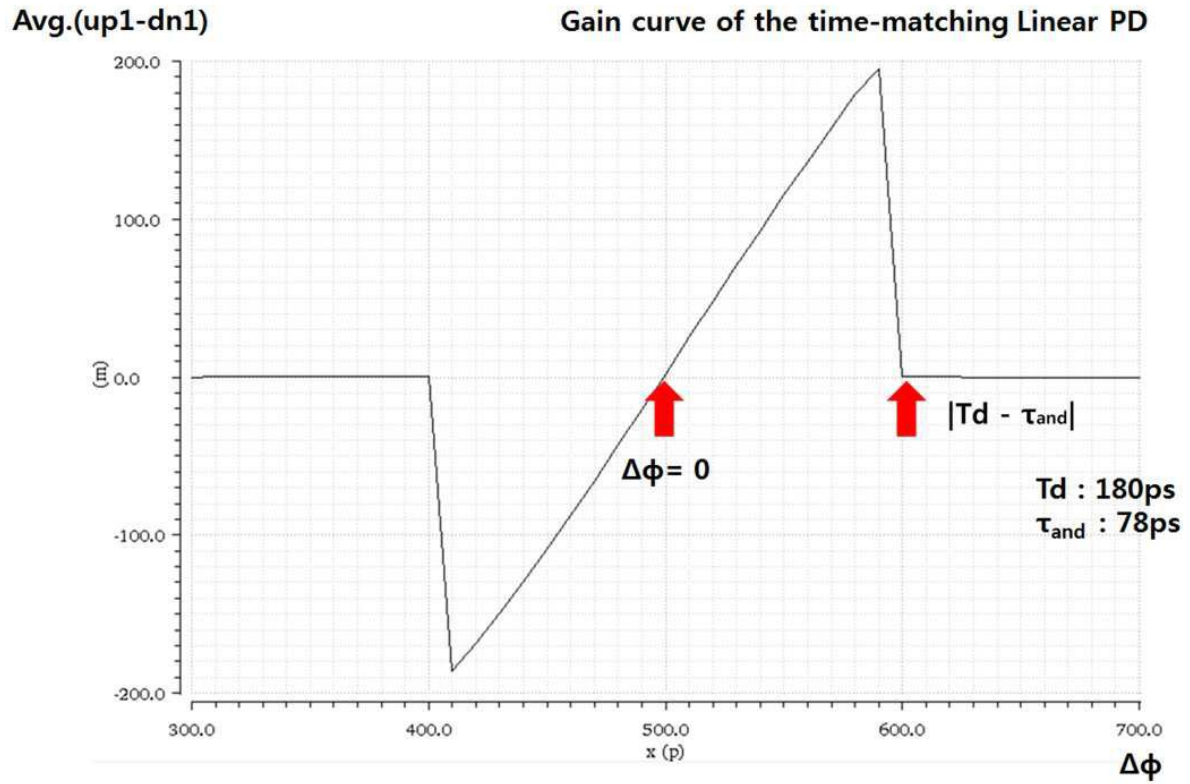
도면3b



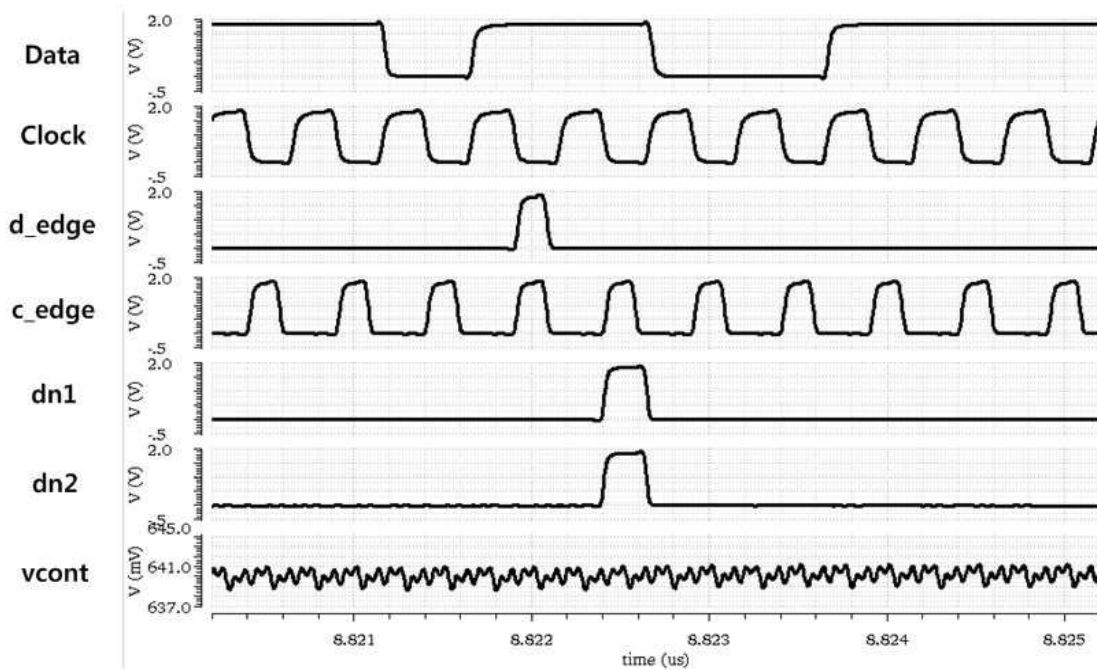
도면3c



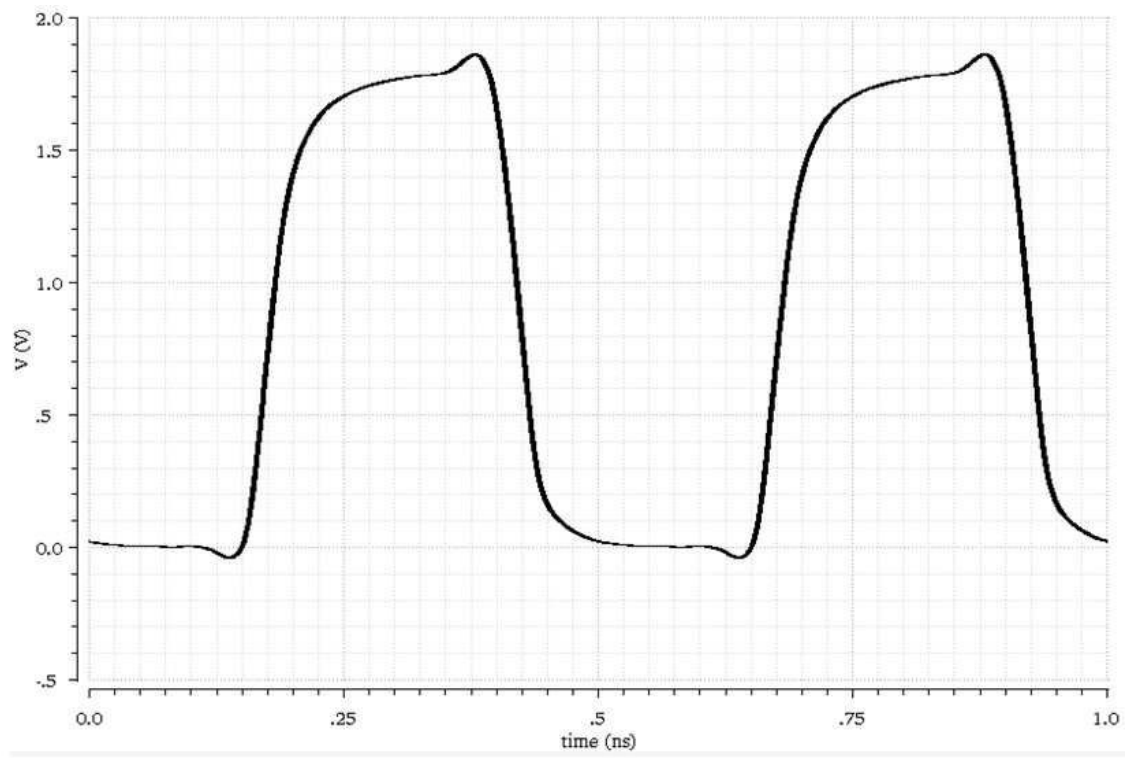
도면4



도면5a



도면5b



도면6

