



(21)申請案號：100129074 (22)申請日：中華民國 96 (2007) 年 02 月 26 日
 (51)Int. Cl. : **H01L21/3065(2006.01)** **H01J37/32 (2006.01)**
 (30)優先權：2006/02/27 美國 11/363,703
 (71)申請人：蘭姆研究公司(美國) LAM RESEARCH CORPORATION (US)
 美國
 (72)發明人：漢沙 羅金德 DHINDSA, RAJINDER (US)；史寧凡森 馬庫德 SRINIVASAN,
 MUKUND (US)；竹下健二 TAKESHITA, KENJI (JP)；瑪瑞塔諾 艾力西
 MARAKHTANOV, ALEXEI (RU)；費雪 安德里斯 FISCHER, ANDREAS (US)
 (74)代理人：許峻榮
 (56)參考文獻：
 TW 191296 TW 473909
 TW 485464 JP 5-121386A
 JP 9-330885A JP 2004-83983A
 US 5540800 US 5817534
 US 6165311 US 6297165B1
 審查人員：宋國明
 申請專利範圍項數：18 項 圖式數：8 共 0 頁

(54)名稱

電漿蝕刻室用之整合電容性及電感性電源

INTEGRATED CAPACITIVE AND INDUCTIVE POWER SOURCES FOR A PLASMA ETCHING CHAMBER

(57)摘要

本發明之各實施例提供了改良的處理室清理機構。本發明亦用來提供額外之調整蝕刻處理用的調節器。在一實施例中，一種用以產生電漿的電漿處理室包含了具有下電極之下電極組件，其中該下電極係用以容納基板。電漿處理室亦包含具有上電極及圍繞上電極之感應線圈的上電極組件。感應線圈係用以在處理室內所定義的區域中將氣體轉變為電漿，其中該區域位於被定義在下電極之上表面上方的面積的外部。

The embodiments of the present invention provide an improved chamber cleaning mechanism. The present invention can also be used to provide additional knobs to tune the etch processes. In one embodiment, a plasma processing chamber configured to generate a plasma includes a bottom electrode assembly with an bottom electrode, wherein the bottom electrode is configured to receive a substrate. The plasma processing chamber includes a top electrode assembly with a top electrode and an inductive coil surrounding the top electrode. The inductive coil is configured to convert a gas into a plasma within a region defined within the chamber, wherein the region is outside an area defined above a top surface of the bottom electrode.

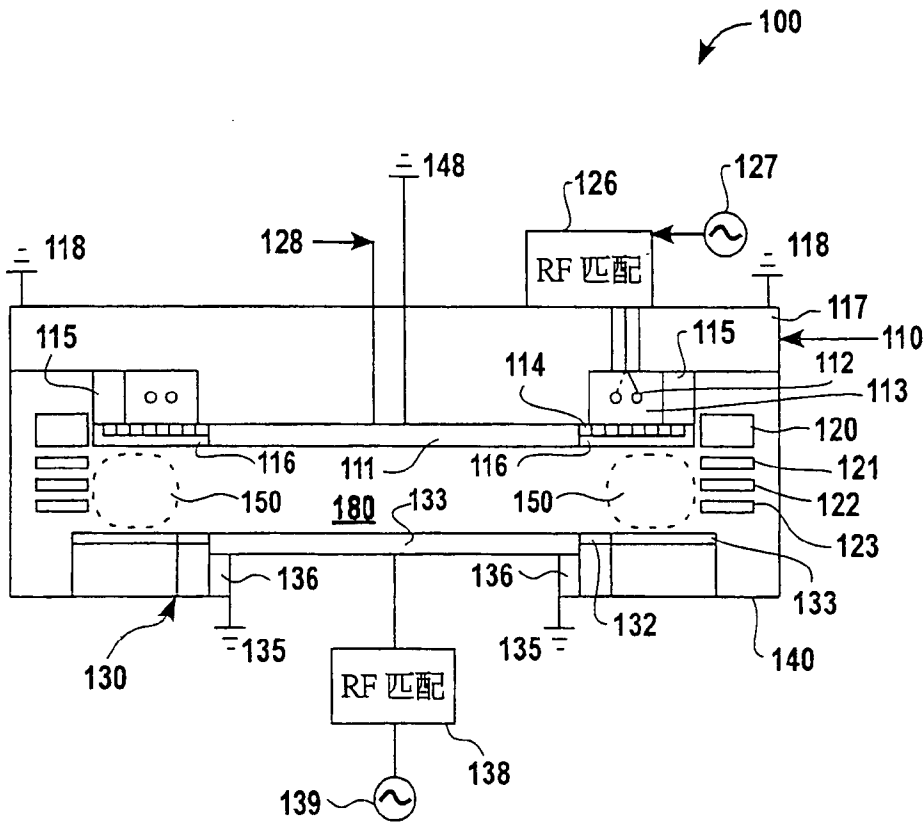


圖 1A

- 100 . . . 電漿處理設備
- 110 . . . 上電極組件
- 111 . . . 第一上電極
- 112 . . . 第二上電極 (感應線圈)
- 113 . . . 介電材料
- 114 . . . 法拉第屏蔽
- 115 . . . 導電性擋件
- 116 . . . 介電環
- 117 . . . 處理室罩蓋
- 118 . . . 接地件
- 120 . . . 絕緣體
- 121 . . . 電漿限制環
- 122 . . . 電漿限制環
- 123 . . . 電漿限制環
- 126 . . . RF 匹配
- 127 . . . RF 電源
- 128 . . . 氣體饋送件
- 131 . . . 下電極
- 132 . . . 介電環
- 133 . . . 導電環
- 135 . . . 接地件
- 136 . . . 介電材料
- 138 . . . RF(射頻)匹配
- 139 . . . RF 電源
- 140 . . . 室壁
- 148 . . . 接地件
- 150 . . . 區域
- 180 . . . 處理室空間

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：100129074

※申請日期：96.2.26

※IPC 分類：

H01L 21/3065 (2006.01)

H01J 37/32 (2006.01)

原申請案號：96106430

一、發明名稱：(中文/英文)

電漿蝕刻室用之整合電容性及電感性電源

INTEGRATED CAPACITIVE AND INDUCTIVE POWER

SOURCES FOR A PLASMA ETCHING CHAMBER.

二、中文發明摘要：

本發明之各實施例提供了改良的處理室清理機構。本發明亦用來提供額外之調整蝕刻處理用的調節器。在一實施例中，一種用以產生電漿的電漿處理室包含了具有下電極之下電極組件，其中該下電極係用以容納基板。電漿處理室亦包含具有上電極及圍繞上電極之感應線圈的上電極組件。感應線圈係用以在處理室內所定義的區域中將氣體轉變為電漿，其中該區域位於被定義在下電極之上表面上方的面積的外部。

三、英文發明摘要：

The embodiments of the present invention provide an improved chamber cleaning mechanism. The present invention can also be used to provide additional knobs to tune the etch processes. In one embodiment, a plasma processing chamber configured to generate a plasma includes a bottom electrode assembly with an bottom electrode, wherein the bottom electrode is configured to receive a substrate. The plasma processing chamber includes a top electrode assembly with a top electrode and an inductive coil surrounding the top electrode. The inductive coil is configured to convert a gas into a plasma within a region defined within the chamber, wherein the region is outside an area defined above a top surface of the bottom electrode.

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

- 100：電漿處理設備
- 110：上電極組件
- 111：第一上電極
- 112：第二上電極(感應線圈)
- 113：介電材料
- 114：法拉第屏蔽
- 115：導電性擋件
- 116：介電環
- 117：處理室罩蓋
- 118：接地件
- 120：絕緣體
- 121：電漿限制環
- 122：電漿限制環
- 123：電漿限制環
- 126：RF 匹配
- 127：RF 電源
- 128：氣體饋送件
- 131：下電極
- 132：介電環
- 133：導電環
- 135：接地件
- 136：介電材料
- 138：RF(射頻)匹配
- 139：RF 電源
- 140：室壁
- 148：接地件

150：區域

180：處理室空間

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於電漿蝕刻室用之整合電容性及電感性電源。

【先前技術】

在半導體系裝置(如積體電路或平面顯示器)之製造期間，材料層會被交替地沈積至基板表面上並自基板(例如，半導體晶圓或玻璃板)表面受到蝕刻。如此領域中人所熟知，材料層之沈積與蝕刻可藉由各種技術所完成，包含電漿增強沈積及蝕刻。在電漿增強蝕刻期間，基板的真實沈積係於電漿處理室內部進行。在蝕刻處理期間，電漿係自適當的蝕刻源氣體所形成，以蝕刻未受到蝕刻遮罩保護的工作件區域，並留下期望之圖案。

在電漿蝕刻基板期間，由光阻或被蝕刻材料層與蝕刻化學品所形成之聚合物所構成的蝕刻副產物主要會沈積在周圍之處理室硬體上。沈積後之副產物會隨著接續之基材蝕刻而累積。為了改善基板製造之裝置良率，維持可再現之處理室是很重要的，其可藉由蝕刻一或多片基板後週期性地施行處理室清理程序來達成。通常，在蝕刻每片基板後施行處理室清理。

電容性耦合真空電漿系統常被用來自半導體基板蝕刻介電材料。電容性系統具有產生低電漿損害及對下層及光阻層具有較高選擇率的優點。然而，當在基板蝕刻後使用電容性耦合電漿來清理處理室時，具有較高離子能量的電容性耦合電漿會轟擊裸露的靜電夾頭。靜電夾頭係用以在基材蝕刻期間支撐基材，而轟擊裸露的靜電夾頭會導致靜電夾頭的壽命降低並產生粒子。此外，由處理室中之上與下電極所產生的電容性耦合電漿係主要集中在靜電夾頭之上方的中央區域，因此無法有效地清理週邊處理室硬體。為了完全地清理週邊處理室硬體，需要更長的清理時間，此衝擊了製造的生產率。在現行的電容性耦合電漿反應室中，在處理(或蝕刻)每片基板後的處理室清理通常利用上述之限制來加以

最佳化。

有鑑於上述問題，需要一種方法及設備來提供較佳的處理室清理機制，以增加靜電夾頭的壽命，改善基板良率，並增加製造的生產率。

【發明內容】

大體而言，本發明之實施例藉由提供改良的處理室清理機制來滿足上述需求。此外，本發明之實施例提供了額外的調節器來調整蝕刻處理。應注意：本發明可以多種方式來加以實施，包含處理、裝置或系統。以下將敘述本發明之數個新穎性實施例。

在一實施例中，一種用以產生電漿的電漿處理室包含了具有下電極之下電極組件，其中該下電極係用以容納基板。電漿處理室亦包含具有上電極及圍繞上電極之感應線圈的上電極組件。感應線圈係用以在處理室內所定義之區域中將氣體轉變為電漿，其中該區域位於被定義在下電極之上表面上方的面積的外部。

在另一實施例中，一種用以產生電漿的電漿處理室包含具有下電極之下電極組件，其中該下電極係用以容納基板。電漿處理室亦包含上電極組件，上電極組件包含上電容性電極、設置在上電容性電極之上方的內與外感應線圈。外感應線圈係設置在一表面之上方，其中該表面係定義於下電極之圓周的外部。上電容性電極係設置在下電極的正上方。下電極及上電容性電極係用以將第一氣體轉變為第一電漿。外感應線圈係用以將第二氣體轉變為第二電漿。

在更另一實施例中，一種在電漿處理室中產生電漿的方法包含了將處理氣體供給至電漿處理室的步驟。該產生電漿之方法包含藉由供電子感應線圈而產生電漿。感應線圈為上電極組件之一部分且圍繞上電極組件之上電極的周邊。感應線圈亦設置在一表面上方，此表面被定義在設置於上電容性電極之下方的下電極之圓周的外部。

自下列之詳細敘述並結合附圖以本發明之原理實例的方式加以說明，本發明之其他態樣及優點將愈形清晰。

【實施方式】

現將敘述改良式之較有效率且較彈性之處理室清理及蝕刻系統、方法及設備的數個例示性實施例。熟知此技術者應瞭解：在未使用本文中所述之部分或全部特定細節的情況下，仍可施行本發明。

如前所述，在蝕刻每片基板後之再現性處理室壁表面會改善良率。有效的現場處理室清理已成為了下個世代之電漿蝕刻反應器的關鍵特徵。本發明之一實施例提供圍繞基板支撐件的第二電漿源。靠近處理室之周邊的第二電漿源可在基板蝕刻後之處理室處理操作期間啟動，以清理已累積了基板蝕刻期間之蝕刻副產物的周邊處理室硬體。圖 1A 顯示了電漿處理設備 100 的橫剖面圖，其具有圍繞基板支撐件的第二電漿源。此實施例包含了：下電極 131，由導電材料所構成且操作性地連接至 RF(射頻)匹配 138 及 RF 電源 139。下電極 131 亦為基板支撐件及下電極組件 130 的一部分。在一實施例中，RF 電源 139 為複數頻率電源。例如，該電源可具有介於約 400 kHz 至約 60 MHz 間的混合頻率範圍。當 RF 電力自下電極 131 被輸送至處理室內的氣體時產生了電漿。在一實施例中，RF 電源輸送上至約 1 瓦至約 10 瓦的 RF 電力等級。

在一實施例中，下電極組件 130 具有內建的冷卻機構(未圖示)，其可將基板冷卻至介於約 -20 °C 至約 70 °C 間之溫度範圍。圍繞基板支撐件的為導電環 133，其在基板處理期間提供了電漿之額外接地路徑。在下電極 131 與導電環 133 之間設有介電環 132，其使基板支撐件與導電環 133 絕緣。

藉由例示性而非限制性之方式，下電極 131 具有適合容納 300 mm 基板的區域。在一實施例中，已供電之下電極 131 係用以容納基板(未圖示)並用以在基板蝕刻操作期間夾持至下電極 131。使用

已知之系統或方法來靜電地夾持基板或「支撐(chuck)」基板。此些已知之系統及方法包含：利用包含了夾持及去夾持目的用之高電壓電極(未圖示)的介電材料來包覆下電極 131。電漿處理設備 100 包含經由接地件 135 接地的室壁 140。接地件 135 係藉由介電材料 136 來與下電極 131 分離。

第一上電極 111 係設置在下電極 131 上方之短距離處。一般而言，上電極 111 係由與基板相容的材料所製成，以避免污染。第一上電極 111 為上電極組件 110 的一部分，其連接至接地件 148 並提供 RF 電力用之完整電路。第一上電極 111 所具有之表面積可不同於下電極 131 之表面積。上電極組件 110 係耦合至經由接地件 118 接地之處理室罩蓋 117。藉由例示性而非限制性的方式，第一上電極 111 係由導電材料如矽或碳化矽所構成。此外，藉由例示性而非限制性的方式，第一上電極 111 係位於距離下電極約 2 cm 至約 3 cm 處。

圍繞上電極 111 的為由感應線圈 112 所構成的第二上電極 112。感應線圈 112 係埋置於介電材料 113 中。線圈 112 係耦合至 RF 匹配 126，而 RF 匹配 126 係耦合至 RF 電源 127。在一實施例中，RF 電源 127 可供給混合頻率電力。RF 電源 127 之電力頻率可為介於約 400 kHz 至約 26 MHz 範圍間的單一或多重頻率。在一實施例中，用以產生電感性耦合電漿的電力係介於約 0 瓦至約 2000 瓦之間。

法拉第屏蔽 114 係位於介電材料 113 下方。圍繞介電材料 113 的是導電性擋件 115，其與法拉第屏蔽 114 相接觸以提供自下電極 131 之 RF 電力的接地路徑。法拉第屏蔽 114 之外緣下方且圍繞法拉第屏蔽 114 之外緣的為凹形介電環 116。在一實施例中，介電環 116 係由石英所構成。

法拉第屏蔽 114 提供了來自任何電極之 RF 電力的 RF 接地路徑。法拉第屏蔽 114 亦幫助維持處理室中之接地面積與供電面積間的面積比，以使電容性耦合電漿處理期間處理室中的壓降不會

隨著感應線圈 112 的導入而改變。維持相同的面積比使得蝕刻處理即使在導入感應線圈 112 時仍然維持一致。此外，法拉第屏蔽 114 阻擋了來自電感源的電場，以將電感性電漿處理期間自感應線圈 112 之電容性耦合最小化，以避免處理室元件受到濺射。如何設計法拉第屏蔽的更進一步細節可在申請於 2002 年 8 月 30 日之共讓渡之美國專利申請號 10/232,564 之名為「Faraday Shield Disposed within an Inductively Coupled Plasma Etching Chamber」及申請於 2003 年 1 月 15 日之美國專利申請號 10/345,582 之名為「Dual Interleaved Faraday Shields For An Inductively Coupled Plasma Etching Chamber」中找到。在處理室清理期間，RF 電源 127 供應線圈 112 電力以在區域 150 中產生電感性耦合電漿。在處理室清理期間，導電環 133 係接地且下電極為浮接，因此區域 150 中之電感性耦合電漿係主要集中在感應線圈 112 與導電環 133 之間。

圍繞第一上電極 111 與第二上電極 112 的為絕緣體 120。絕緣體 120 下方的為電漿限制環 121、122、123。應注意：此處可為一或多個電漿限制環。限制環 121、122、123 對處理室內所產生的電漿提供限制。在一實施例中，限制環 121、122 及 123 係由石英所構成。在 2004 年 6 月 1 日發證之共讓渡之美國專利號 6,744,212 之名為「Plasma Processing Apparatus And Method For Confining An RF Plasma Under Very High Gas Flow and RF Power Density Conditions」中及在 2005 年 3 月 29 日發證之美國專利號 6,872,281 之名為「Chamber Configuration For Confining A Plasma」中可找到有關電漿限制環之更進一步細節。

氣體饋送件 128 係連接至上電極組件 110 之中央。由氣體饋送件 128 供應進入處理室空間 180 之氣體可為單一氣體或多種氣體的氣體混合物。在一實施例中，一旦氣體到達上電極組件 110 後，氣體饋送件 128 自第一上電極 111 之中央及邊緣將氣體供應至處理室。在一實施例中，第一上電極 111 亦為氣體分散噴淋頭。

藉由例示性而非限制性之方式，總氣體流量係上至 1500 sccm。在一實施例中，上電極組件 110 亦具有加熱板(未圖示)，加熱板可被用來將上電極 111 之溫度維持在介於 22 °C 至約 200 °C 之間。

如早先所述，上電極 111 係經由接地件 148 而接地。上電極 111 亦可耦合至 RF 電源(未圖示)或 DC 電源(未圖示)。在第一上電極 111 與下電極 131 間之電容性耦合電漿所用之電源可來自於耦合至第一上電極 111 而非下電極 131 的電源。當自上電極 111 供應電力時，下電極 131 係接地。此外，上及下電極可交替供給 RF 電源。例如，第一上電極 111 之 RF 電源亦可具有 2 MHz、27 MHz 及 60 MHz 之混合頻率。

電感性電漿源可在周邊區域 150 中產生高密度電漿卻不會對處理室壁材料產生任何大幅的濺射。如早先所述，處理室壁材料之濺射會污染處理室或減少元件的壽命。電感性電漿源可有效地清理沈積在與蝕刻處理電漿相接觸之周邊處理室硬體上的聚合物(或蝕刻副產物)。

圖 1B 顯示了產生處理室清理電漿之處理流程的實施例。在操作 161 處，將處理室清理氣體如 O₂、CF₄ 等供給至電漿處理室。在操作 163 處，將 RF 供電至處理室空間 180 之感應線圈 112，以產生處理室清理電漿。接著可使用處理室清理電漿來清理處理室。在處理室之清理期間，下電極 131 為浮接。區域 150 中之處理室清理電漿係遠離下電極 131，且主要被佈置在圖 1A 中之電感性電極 112 與導電環 133 之間。

在蝕刻處理期間，典型的平行板電容性耦合電漿在靠近基板(或晶圓)邊緣處顯示了電漿密度下降。電感性電漿源提供了徑向均勻度控制調節器。在蝕刻處理期間可開啟電感性電漿以在基板邊緣提供額外的電漿密度而不影響主電容性電力的 RF 接地路徑。應瞭解：由於使用法拉第擋板，因此 RF 接地路徑不會受到影響。此外，電感源電漿亦可提供電漿予在基板上需要高電漿密度但低離子能量的處理，例如低介電常數 low-k 介電蝕刻用之光阻剝除。因

此，使用電感源電漿可增加反應室之蝕刻製程窗。

圖 1C 顯示了產生蝕刻電極之處理流程的實施例。在操作 171 處，將蝕刻氣體例如高縱橫比之接觸插塞蝕刻(HARC)用之 Ar、 C_4F_8 及 O_2 ，或氧化物蝕刻用之 Ar、 CF_4 、 CHF_3 及 O_2 供給至電漿處理室。在蝕刻氣體進入處理室後，將 RF 供電至電容性電極及電感性電極，以在操作 173 處產生蝕刻電漿。所產生之蝕刻電漿具有電容性成分及電感性成分。如上所述，靠近基板邊緣之電感性成分可增加基板邊緣處之電漿密度，以補償基板邊緣處造成電漿密度之下降。因此藉由在基板邊緣處添加電感性成分，可使蝕刻電漿在整個基板表面上變得更均勻。

圖 2 顯示了圖 1A 之前一實施例 100 的變化型 200。兩組感應線圈 212A、212B 係設置在上電極組件 210 中。兩組感應線圈係由一內線圈 212A 及一外線圈 212B 所構成。法拉第屏蔽 214 係設置在整個上電極 211 上，以覆蓋內線圈 212A 及外線圈 212B 兩者。法拉第屏蔽 214 具有與上圖 1A 所述之法拉第屏蔽 114 類似的功能。兩組線圈 212A 及 212B 係耦合至 RF 匹配 226，而 RF 匹配 226 係耦合至 RF 電源 227。由於設置了兩組線圈 212A、212B，因此處理氣體係經由中央氣體饋送件 228B 及邊緣氣體饋送件 228A 而供給至亦可為噴淋頭的上電極 211。圖 2 中之其他元件係類似於圖 1A 中已述者。

在處理室清理期間，可供電至兩感應線圈 212A 及 212B 或僅供電至外線圈 212B，以產生清理電漿。若在處理室清理期間供電至兩線圈，例如可將 0% 至 50% 的電力百分比供給至內線圈，而將例如 50% 至 100% 的剩餘電力供給至外線圈。應注意：軟式電感性電漿不會在清理期間損害靜電夾頭。更應注意：額外的內感應線圈提供了處理室清理處理用之額外處理調整調節器。可以不同頻率或混合頻率來供電予內及外線圈。在此情況下，內及外線圈需要分離的電源。可增加額外的電源。

在一實施例中，區域 250 中之電感性電漿係藉由下列方式所

產生：先將清理氣體(或清理氣體混合物)供給至電漿處理室，接著藉由將所有電力供給至線圈 212B 來供電至感應線圈 212A 及 212B。在處理室清理操作期間，可將下電極 231 維持浮接並將導電環 233 接地。

如上所述，電感性電漿源可在周邊區域中產生高密度電漿而不會對處理室壁材料產生任何大幅的濺射，此種濺射會污染處理室或減少元件的壽命。電感性電漿源可有效地清理沈積在與蝕刻處理電漿相接觸之周邊處理室硬體上的聚合物(或蝕刻副產物)。

亦可供電至感應線圈 212A、212B 之兩者或其中一者以及電容性電漿電力，以調整蝕刻電漿均勻度。除了在上電極 211 與下電極 231 間產生之電容性耦合電漿外，亦可開啟感應電源 212A、212B 以產生電感性電漿，並可調整電漿以改善蝕刻處理期間之整個基板的電漿均勻度。通常對於電容性耦合電漿而言，電漿密度在基板的邊緣處低。在圖 1A 中之感應線圈 112 及圖 2 中之外線圈 212B 可幫助增加基板之邊緣處的離子密度。亦可同時使用圖 2 之內線圈 212A 及外線圈 212B 以調整電漿密度。如上所述，可將某一百分比的電力供給至內線圈 212A 並將剩餘之電力供給至外線圈 212B。在圖 2 中內及外線圈 212A、212B 提供了蝕刻處理用之額外處理調整調節器。對於某些應用而言，僅使用來自感應線圈(內、外或兩者)的電感電力來產生電感性電漿。

藉由使用法拉第屏蔽 214，不會影響 RF 接地路徑。此外，電感源電漿可將電漿提供予在基板上需要高電漿密度及極低離子能量的處理，如低介電常數 low-k 介電材料之光阻剝除。因此，使用兩組感應線圈會增加蝕刻處理之製程窗。除了單一電感性電極為雙電感性電極(線圈 212A、212B)所取代外，藉由圖 2 中所示之實施例之用以產生蝕刻電漿的處理流程係類似於圖 1C 之處理流程。所產生之蝕刻電漿具有電容性成分及電感性成分。可調整電感性成分以增加整個基板上的電漿均勻度。

本發明之另一實施例 300 係顯示於圖 3A 中。在圖 3A 中，除

了內部下電極 331 外，外部下電極 335 係設置於導電環 333 之下方。內部下電極 331 係用以支撐基板。外部下電極 335 可與內部下電極 331 耦合至相同的 RF 電源 339，內部下電極係為下電極組件 330 之一部分。RF 電源 339 可供應介於約 400 kHz 至約 60 MHz 範圍間之單一頻率或多頻率。RF 電源 339 將電力供給至內部下電極 331 及外部下電極 335，並連接至 RF 匹配 338。在一實施例中，開關 336 控制 RF 電力至電極之施加。在基板蝕刻期間，開關 336 控制了待供給至內部下電極 331 之 RF 電力。在此處理期間，外部下電極 335 可耦合至接地件 337 或 RF 調整區塊套件(RF tuning block kit)357。RF 調整區塊套件 357 允許由電源 339 供給至內部下電極 331 之 RF 電量的某個頻率的選擇性接地。例如，若被供給至內部下電極 331 之 RF 電力包含 2 MHz、27 MHz 及 60 MHz。藉由 RF 調整區塊套件 357 的選擇性接地允許一或兩個特定頻率如 60 MHz 接地，以調整蝕刻處理之均勻度。

亦可使用分離的電源來同時或交替供給電力予內部下電極 331 及外部下電極 335。圖 3A 中之其他元件係類似於圖 1A 中已示者。在處理室清理期間，將電力供給至外部下電極 335，以在區域 350 中提供電容性耦合電漿以清理周邊處理室。區域 350 中之電容性耦合電漿係產生於上電極 311 與外部下電極 335 之間。在清理處理期間，下電極可浮接，因此電容性耦合清理電漿及其破壞性之作用被維持在遠離裸露內部下電極 331(或靜電夾頭)之處。因此，清理電漿不會轟擊內部下電極(或靜電夾頭)，因此延長了內部下電極(或靜電夾頭)的壽命。此外，當使用來自下電極 331 之電容性耦合電漿時不會像先前之清理技術產生許多的粒子。

周邊電容性電漿源在周邊區域 350 中產生高密度電漿。應注意：電容性電漿源可有效地清理沈積在與蝕刻處理電漿接觸之周邊處理室硬體上的聚合物(或蝕刻副產物)。

圖 3B 顯示產生處理室清理電漿之處理流程的實施例。在操作 361 處，將處理室清理氣體如 O_2 、 CF_4 等供應至電漿處理室。在操

作 363 處，將 RF 電力供應至電漿處理室之外部下電極，以產生處理室清理電漿。接著可使用處理室清理電漿來清理處理室。在處理室清理期間，維持內部下電極的浮接。在周邊區域中之處理室清理電漿係實質上遠離下電極且主要設置在外部下電極與上電極之間。

此外，周邊電容性電漿源提供了包含徑向均勻度控制調節器的能力。在蝕刻處理期間可開啟周邊電容性電漿，以改善靠近主電容性耦合電漿用之電極邊緣的蝕刻電漿均勻度。

圖 3C 顯示了產生蝕刻電漿之處理流程的實施例。在操作 371 處，將蝕刻氣體例如高縱橫比之接觸插塞蝕刻(HARC)用之 Ar、 C_4F_8 及 O_2 ，或氧化物蝕刻用之 Ar、 CF_4 、 CHF_3 及 O_2 供給至電漿處理室。在操作 373 處，將 RF 供電至內部下電極(331)及外部下電極(335)，以產生蝕刻電漿。應注意：外部下電極幫助增加靠近基板邊緣處之電漿密度。

圖 4 中顯示了本發明之另一實施例。在圖 4 中，由感應線圈所形成之第二下電極 435 係設置在導電環 433 及法拉第屏蔽 414 下方。第二下電極 435 可耦合至第一下電極 431 處之相同 RF 電源。RF 電源 439 將 RF 電力供應至第一下電極 431 或第二下電極 435，並受到開關 436 的控制。RF 電源 439 可以介於約 400 kHz 至約 60 MHz 範圍供應單一頻率或複數頻率。RF 電源 439 供應電力至內部下電極 431 及外部下電極 335，且係連接至 RF 匹配 438。在一實施例中，開關 436 控制了 RF 電力至電極的施加。在基板蝕刻期間，開關 436 控制待供應至內部下電極 431 的 RF 電力。在此處理期間，可將外部下電極 335 耦合至接地件 437 或 RF 調整區塊套件 457。

亦可使用分離的 RF 電源，以將 RF 電力提供予下電極 431 及第二下電極 435。在基板蝕刻期間，將電力供應至下電極 431。圖 4 之其他元件係類似於圖 1A 中已述者。

在處理室清理期間，首先將清理氣體供應至電漿處理室。之

後，將電力供應至第二下電極 435，以提供區域 450 中之電感性耦合電漿俾清理周邊處理室硬體。區域 450 中之電感性耦合電漿係產生於上電極 411 與第二下電極 435 之間，且主要存在靠近處理室之邊緣處。由於電漿靠近處理室之邊緣處，且係自電感源(低離子能量)所生成，因此電漿不會大幅地轟擊下電極(或靜電夾頭)，而延長了下電極或靜電夾頭之壽命。此外，電漿不會像來自第一下電極 431 之電容性耦合電漿般產生許多粒子。

如上所述，電感性電漿源可在周邊區域產生高密度電漿卻不會對處理室壁材料產生任何大幅的濺射，此濺射可污染處理室或減少元件壽命。電感性電漿源可有效地清理沈積在與蝕刻處理電漿相接觸之周邊處理室硬體上的聚合物(或蝕刻副產物)，卻沒有先前技術之有害作用。

在蝕刻處理期間，典型的平行板電容性耦合電漿在靠近處理室之邊緣處顯示了電漿密度降低。上述之電感性電漿源提供徑向均勻度控制調節器。在蝕刻處理期間可開啟電感性電漿，以在電極之邊緣處提供額外的電漿密度，卻不會影響主電容性電力的 RF 接地路徑。此外，電感源電漿可提供電漿至在基板上需要高電漿密度及極低離子能量的處理，例如，光阻剝除或低介電常數介電材料蝕刻。因此，使用額外的周邊電極可增加蝕刻處理用之製程窗以及在蝕刻操作間更有效地清理處理室。

上述之電漿處理室對廣泛的處理應用如雙鑲嵌多步驟處理、高縱橫比接觸插塞蝕刻(HARC)、剝除等提供了一系列的電漿密度、離子能量及化學品控制，以及結合了電容性及電感性電漿源的有效處理室清理。在一實施例中，有效的處理室清理可被應用至下一世代之粒子控制，以改善良率並延長蝕刻室中所用之靜電夾頭的壽命。

上述之電漿處理室提供調節器來控制基板上之處理參數的徑向均勻度。使用多步驟配方之處理應用牽涉到一系列的處理壓力、RF 電力及化學品，此些參數產生中央至邊緣之廣大均勻度範

圍。現場控制調節器的可利用性對於使用了多步驟配方的處理提供了隨著特徵部尺寸持續縮小而能夠維持嚴格均勻度控制的彈性。

雖然為了清楚瞭解本發明之目的，前面已就某些細節敘述了本發明，但應明白：在隨附申請專利範圍之範疇內可對本發明實行某些改變及修正。因此，本實施例應被視為說明性而非限制性，且本發明並不應受限於上述節細，在申請專利範圍之範疇及均勻物內可對本發明進行變化。

【圖式簡單說明】

自下列結合了附圖之詳細敘述，本發明將更容易瞭解。類似之參考標號係指示類似之結構元件。

圖 1A 顯示了基板蝕刻系統之一實施例的示意圖。

圖 1B 顯示了在電漿系統中產生清理電漿的處理流程。

圖 1C 顯示了在電漿系統中產生蝕刻電漿的處理流程。

圖 2 顯示了基板蝕刻系統之另一實施例的示意圖。

圖 3A 顯示了基板蝕刻系統之另一實施例的示意圖。

圖 3B 顯示了在電漿系統中產生清理電漿的處理流程。

圖 3C 顯示了在電漿系統中產生蝕刻電漿的處理流程。

圖 4 顯示了基板蝕刻系統之更另一實施例的示意圖。

【主要元件符號說明】

100：電漿處理設備

110：上電極組件

111：第一上電極

112：第二上電極(感應線圈)

113：介電材料

114：法拉第屏蔽

115：導電性擋件

- 116：介電環
- 117：處理室罩蓋
- 118：接地件
- 120：絕緣體
- 121：電漿限制環
- 122：電漿限制環
- 123：電漿限制環
- 126：RF 匹配
- 127：RF 電源
- 128：氣體饋送件
- 131：下電極
- 132：介電環
- 133：導電環
- 135：接地件
- 136：介電材料
- 138：RF(射頻)匹配
- 139：RF 電源
- 140：室壁
- 148：接地件
- 150：區域
- 161：將處理室清理氣體供應至電漿處理室
- 163：供應 RF 電力至感應性電極，以產生清理電漿
- 171：將蝕刻清理氣體供應至電漿處理室
- 173：供應 RF 電力至電容性及電感性電極，以產生蝕刻電漿
- 180：處理室空間
- 200：電漿處理設備
- 211：上電極
- 212A：內線圈
- 212B：外線圈

- 214：法拉第屏蔽
- 226：RF 匹配
- 227：RF 電源
- 228B：中央氣體饋送件
- 228A：邊緣氣體饋送件
- 233：導電環
- 300：電漿處理設備
- 331：內部下電極
- 333：導電環
- 335：外部下電極
- 336：開關
- 337：接地件
- 338：RF 匹配
- 339：RF 電源
- 357：RF 調整區塊套件
- 350：周邊區域
- 361：將處理室清理氣體供應至電漿處理室
- 363：供應 RF 電力至外部下電極，以產生清理電漿
- 371：將蝕刻氣體供應至電漿處理室
- 373：供應 RF 電力至內部及外部下電極，以產生蝕刻電漿
- 414：法拉第屏蔽
- 431：第一下電極
- 433：導電環
- 435：第二下電極
- 436：開關
- 437：接地件
- 438：RF 匹配
- 439：RF 電源
- 457：RF 調整區塊套件

七、申請專利範圍：

1. 一種電漿處理室，用以產生電漿，其包含：

下電極組件，具有下電極，其中該下電極係用以容納一基板；
導電環，圍繞該下電極，其中該導電環係藉由一介電環而與該下電極分離；

RF 電源；以及

上電極組件，具有上電極及感應線圈，該感應線圈圍繞該上電極並透過 RF 匹配連接至該 RF 電源，其中當受該 RF 電源供電時，該感應線圈係用以在界定於該處理室內之一區域中將氣體轉變為電漿，該區域係位在介於該感應線圈與圍繞該下電極之導電環間之周邊，且該區域實質上係位於該下電極之上表面與該上電極間所界定之範圍以外。

2. 如申請專利範圍第 1 項之電漿處理室，更包含：

法拉第屏蔽，設置在該感應線圈的下方。

3. 如申請專利範圍第 1 項之電漿處理室，更包含：

限制結構，圍繞於該電漿處理室中之一容積。

4. 如申請專利範圍第 1 項之電漿處理室，其中該 RF 電源供給頻率範圍介於約 400 kHz 至約 27 MHz 之單一頻率或多重頻率。

5. 如申請專利範圍第 1 項之電漿處理室，其中該感應線圈係藉由介電材料而與該上電極分離。

6. 如申請專利範圍第 1 項之電漿處理室，其中該電漿為處理室清理電漿。

7. 如申請專利範圍第 1 項之電漿處理室，其中該電漿處理室包含連接至接地件之壁體，且該接地件係藉由介電材料而與該下電極分離。

8. 一種電漿處理室，用以產生電漿，其包含：

下電極組件，具有下電極，其中該下電極係用以容納一基板；
導電環，圍繞該下電極，其中該導電環係藉由一介電環而與該下電極分離；

RF 電源；以及

上電極組件，具有連接至接地件之上電極及感應線圈，該感應線圈圍繞該上電極並透過 RF 匹配連接至該 RF 電源，其中當受該 RF 電源供電時，該感應線圈係用以在界定於該處理室內之一區域中將氣體轉變為電漿，該區域係位在介於該感應線圈與圍繞該下電極之導電環間之周邊，且該區域實質上係位於該下電極之上表面與該上電極間所界定之範圍以外。

9. 如申請專利範圍第 8 項之電漿處理室，更包含：

法拉第屏蔽，設置在該感應線圈的下方並與該導電環相對。

10. 如申請專利範圍第 8 項之電漿處理室，更包含：

限制結構，圍繞於該電漿處理室中之一容積，且當該感應線圈受該 RF 電源供電而進行一清理作業期間，該限制結構會受到蝕刻，該蝕刻用以自限制結構之表面與該電漿處理室之內部區域清除蝕刻副產物。

11. 如申請專利範圍第 8 項之電漿處理室，其中該 RF 電源供給頻率範圍介於約 400 kHz 至約 27 MHz 之單一頻率或多重頻率。

12. 如申請專利範圍第 8 項之電漿處理室，其中該感應線圈係藉由介電材料而與該上電極分離。

13. 如申請專利範圍第 8 項之電漿處理室，其中該電漿為處理室清理電漿。

14. 如申請專利範圍第 8 項之電漿處理室，其中該電漿處理室包含連接至接地件之壁體，且該接地件係藉由介電材料而與該下電極分離。

15. 一種電漿處理室，包含：

上電極(311)，連接至接地件(148)；

下電極組件，具有內部下電極(331)與外部下電極(335)，該內部與外部下電極二者與該上電極之表面相對；

RF 電源(339)；以及

開關(336)，該開關用以將 RF 電源連接至下列任一者：連接

至內部下電極以進行半導體晶圓的蝕刻、或當該電漿處理室中不存在半導體晶圓時，連接至外部下電極以進行電漿處理室之內部表面的電漿清理。

16. 如申請專利範圍第 15 項之電漿處理室，更包含：

RF 調整區塊套件(357)，連接於該開關與該外部下電極之間。

17. 如申請專利範圍第 16 項之電漿處理室，其中當該 RF 電源切換至該內部下電極時，該外部下電極係連接至接地件(337)或 RF 調整區塊套件。

18. 如申請專利範圍第 16 項之電漿處理室，其中該外部下電極為線圈(435)，且一法拉第屏蔽(414)設置於該外部下電極之上，並且一導電環(433)設置於該法拉第屏蔽之上。

八、圖式：

圖式

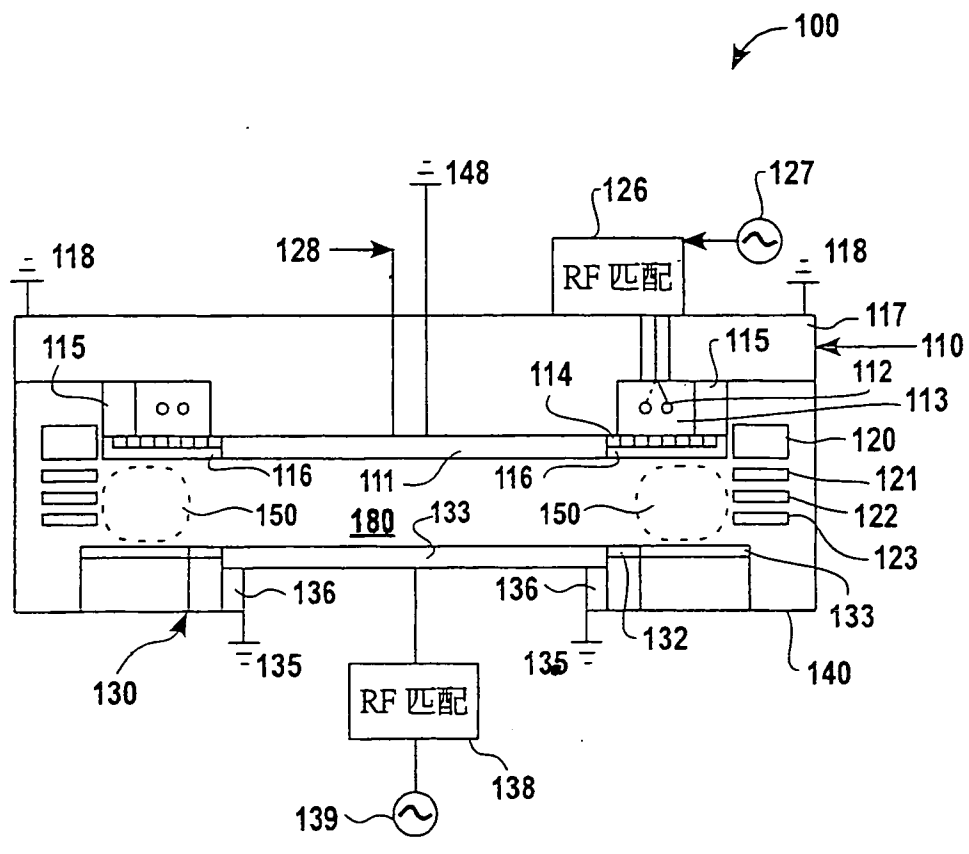


圖 1A

圖式

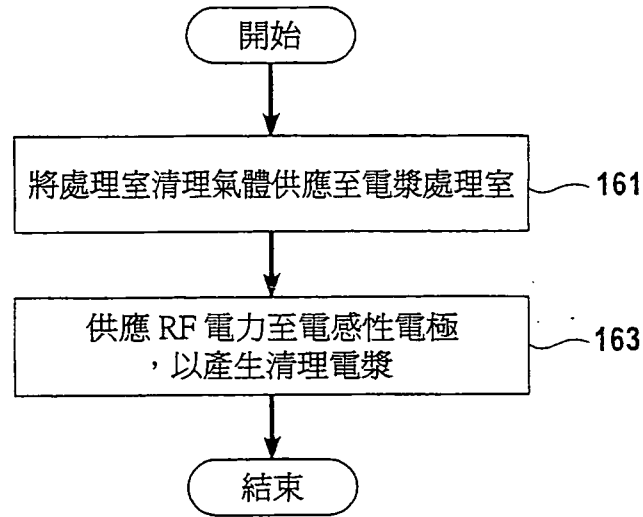


圖 1B

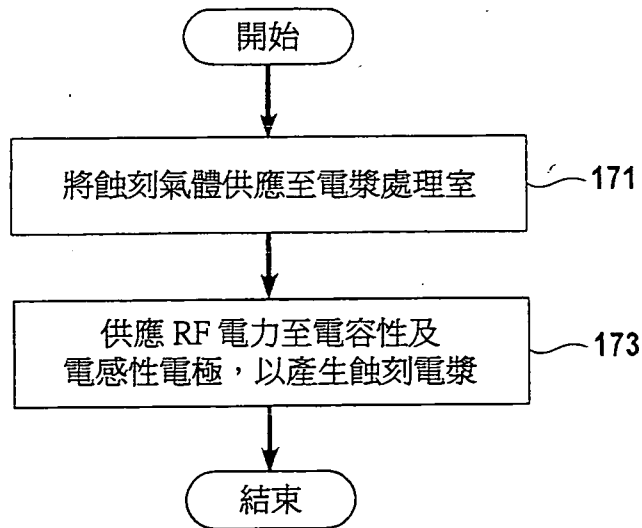


圖 1C

圖式

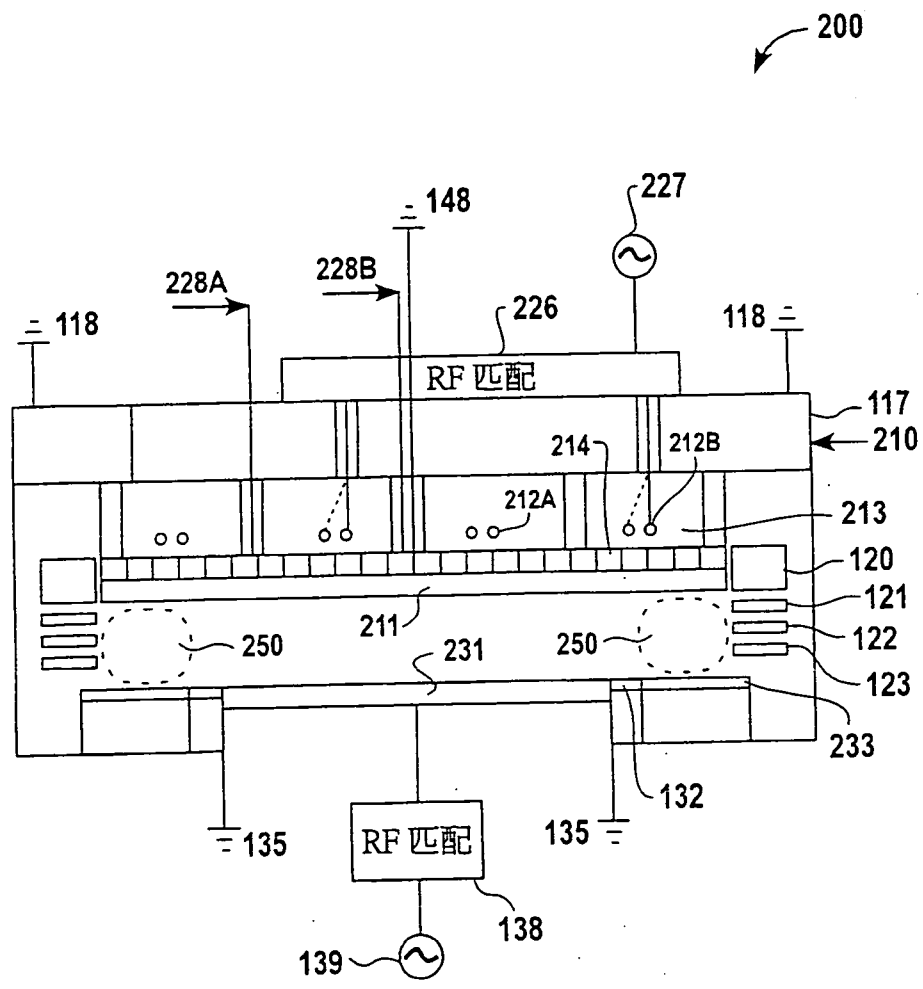


圖 2

圖式

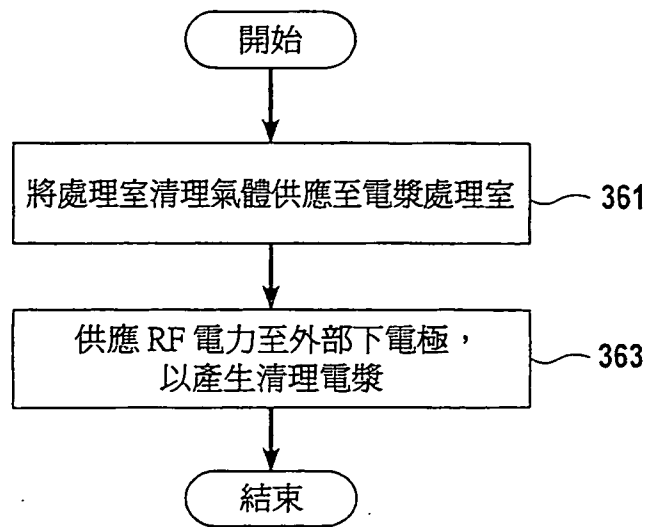


圖 3B

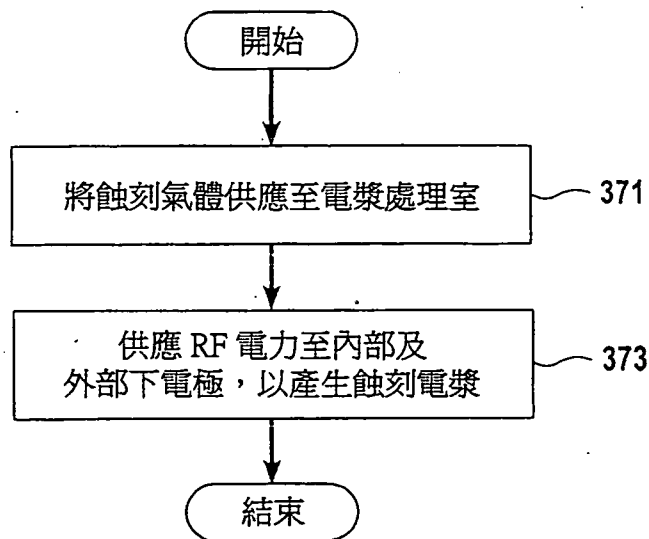


圖 3C

圖式

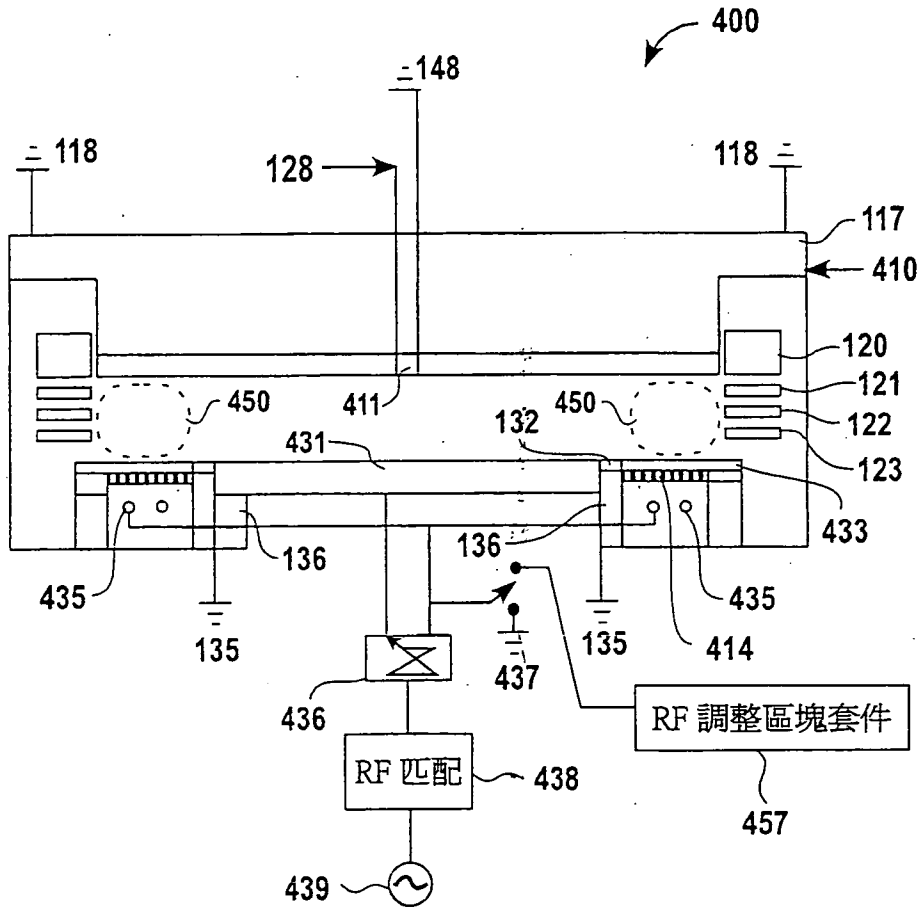


圖 4

S