

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 27/115

(11) 공개번호 특1993-0020700
(43) 공개일자 1993년 10월 20일

(21) 출원번호 특1993-0004154
(22) 출원일자 1993년 03월 18일
(30) 우선권주장 92-061791 1992년 03월 18일 일본(JP)
(71) 출원인 후지쓰 가부시끼가이샤 세끼사와 요시
일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015
(72) 발명자 후지와라 마사카주
일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015 C/O 후지쓰
가부시끼가이샤
(74) 대리인 문병암

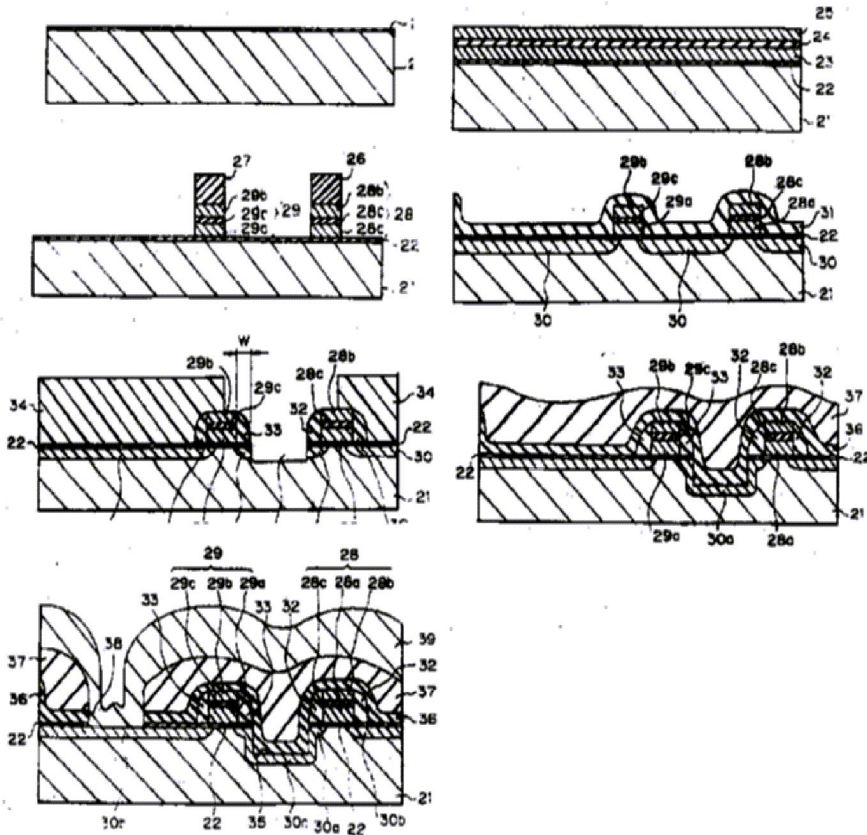
심사청구 : 있음

(54) 플래쉬메모리 및 그의 제조방법

요약

플래쉬메모리가 본 발명에 의한 새로운 제조방법에 의해 생산되고, 이 방법을 게이트부에 인접해 형성되는 측벽을 에칭공정에 의해 전계절연막을 제거하고, 게이트부는 플로팅게이트전극, 제어게이트전극 및 중간 게이트 절연막으로 구성되고 에칭을 할때 마스크의 일부로서 사용된다. 본 발명에 의한 방법으로 기판위의 플로팅게이트전극 부분과 불순물확산소스전극 사이에 위치하는 게이트 절연막에 손상이나 절연내력의 저하를 방지하면서 고집적 플래쉬메모리를 제조할 수 있다.

대표도



명세서

[발명의 명칭]

플래쉬메모리 및 그의 제조방법

[도면의 간단한 설명]

제2a~제2g도는 본 발명의 플래쉬(Flash)메모리의 제조를 설명하기 위한 도면이다.

제3도는 본 발명의 한 플래쉬메모리의 상면도이다.

제4a~제4b도는 각각 IVA와 IVB~IVB선을 따라 잘라낸 플래쉬메모리의 단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

적어도 한쌍의 적층된 게이트부로 구성되고 게이트부는 본질적으로 게이트절연막에 위에 반도체기판 표면위에 형성되는 첫번째 게이트전극과 그 위에 형성되는 중간게이트절연막, 중간게이트 절연막위에 형성되는 두번째 게이트전극 그리고, 첫번째 게이트전극에서 데이터저장을 위해 전자를 축전 및 방전하는데 사용되는 소스와 드레인전극으로 구성되는 NOR형 플래쉬메모리의 제조방법에 있어서, 전도의 한 형태로 반도체기판의 표면위에 게이트절연막과 전계절연막을 형성시키고, 도안에 의해 게이트절연막과 전계절연막의 선택된 표면위에 적어도 한쌍의 게이트부를 형성시키고, 게이트부는 본질적으로 플로팅게이트전극, 제어게이트전극, 그리고 플로팅과 제어게이트전극사이에 중간게이트절연막으로 형성되고, 기판의 전도형태에 반대되는 또 다른 형태를 갖는 불순물을 게이트부의 수직방향으로 게이트부에 의해 덮이지 않은 영역속으로 주입시키고, 기판위의 게이트부와 박막을 덮기위하여 절연체막을 형성시키고 게이트절연막을 노출시키기 위하여 게이트부와 절연체막에 대해 충분한 에칭율의 차이를 갖는 에칭가스를 이용하여 절연체막을 안쪽으로 에칭하고 이 에칭에 의해 게이트부의 측면에 인접한 측벽을 선택적으로 남겨, 게이트부에 인접한 막부분을 덮도록 하고, 노출된 기판 영역위에 있는 전계절연막을 선택적으로 에칭함으로써 앞 단계에서 측벽에 의해 덮이지 않고 한쌍의 게이트부사이에 위치한 실리콘기판부분을 노출시키고, 기판의 전도형태와 반대되는 또다른 전도형태를 갖는 불순물을 한쌍의 전극부사이의 노출된 기판영역에 선택적으로 주입시키고, 이렇게 함으로써 한쌍의 게이트부사이의 기판에 불순물 주입영역이 형성되고, 이 영역이 각각의 게이트부 밑에 기판부분에 까지 형성되는 것을 특징으로 하는 NOR형 플래쉬메모리 제조방법.

청구항 2

제1항에 있어서, 상기 전계절연막이 실리콘기판의 국부적인 산화에 의해 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 3

제2항에 있어서, 상기 게이트절연막이 전계산화막이 생성된 후, 실리콘 기판의 열산화에 의해 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 4

제1항에 있어서, 상기 플로팅게이트와 제어게이트전극이 불순물이 주입된 반도체물질을 화학증기증착법(CVD법)에 의해 형성시키는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 5

제4항에 있어서, 상기 반도체 물질이 실리콘인 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 6

제4항에 있어서, 상기 중간게이트절연막이 플로팅게이트전극의 반도체 물질을 열산화함으로써 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 7

제5항에 있어서, 플로팅게이트전극이 되는 실리콘물질의 윗부분을 열산화함으로써 중간게이트절연막이 형성되고, 계속해서 열산화된 실리콘위에 실리콘질화물을 화학증기증착하고, 증착된 실리콘질화물의 윗부분을 열산화하여 3층구조를 형성하는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 8

제1항에 있어서, 게이트부는 제어게이트전극이 되는 물질, 중간게이트절연막이 되는 물질, 플로팅게이트전극이 되는 물질의 층들로 구성되는 박막을 도안하여 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 9

제8항에 있어서, 상기 각각의 박막층들을 도안한것이 이온반응에칭(RIE)법에 의해 효과적으로 되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 10

제1항에 있어서, 상기 게이트부와 산화막을 덮고 있는 절연체막이 실리콘질화물을 화학증기증착에 의해 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 11

제10항에 있어서, 절연체막의 에칭이 CF_4 와 O_2 의 혼합 에칭가스를 사용하여 이루어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 12

제1항에 있어서, 상기 측벽이 일부분에서 적어도 약 1000Å의 폭을 갖도록 형성하는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 13

제1항에 있어서, 상기 측벽을 형성시키는 과정에서 산화막의 선택적인 에칭이 이온반응에칭에 의해 효과적으로 이루어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 14

제13항에 있어서, 상기 이온반응에칭가스는 CF_4 와 CHF_3 의 혼합가스가 사용되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 15

제1항에 있어서, 상기 측벽이 불순물 주입영역을 만드는 과정에서 불순물 주입영역에 대한 마스크 일부로서 사용되어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 16

제15항에 있어서, 상기 게이트부가 불순물 주입영역을 만드는 과정에서 불순물 주입영역에 대한 마스크 일부로서 사용되어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 17

제1항에 있어서, 불순물 주입영역이 형성된 후, 게이트부, 측벽, 불순물 주입영역, 기판위의 게이트절연막을 덮기 위해 중간층절연막이 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 18

제17항에 있어서, 중간층절연막이 두개의 절연물질층 즉, 아래층은 실리콘이산화물을 화학증기증착하여 형성시키고, 윗층은 BPSG 또는 PSG로 형성되는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 19

제17항에 있어서, 상기 제조방법이 중간층절연막과 게이트 절연막을 꿰뚫는 접촉홀의 개구(opening)를 형성시키고, 중간연결층이 되는 전도물질의 막이 접촉홀을 전도물질로 채움으로써 형성되어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 20

제19항에 있어서, 전도물질이 알루미늄인 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 21

제20항에 있어서, 티타늄막과 니타늄질화막이 알루미늄 전도막에 앞서 형성되어지는 것을 특징으로 하는 플래쉬메모리 제조방법.

청구항 22

적어도 한쌍의 적층된 게이트부로 구성되고, 게이트부는 본질적으로 게이트절연막에 의해 반도체 기판 표면위에 형성되는 첫번째 게이트전극과 그 위에 형성되는 중간게이트절연막, 중간게이트절연막 위에 형성되는 두번째 게이트전극 그리고 첫번째 게이트전극에서 데이터 저장을 위해 전자를 축전 및 방전하는데 사용되는 소스와 드레인전극으로 구성되는 NOR형 플래쉬메모리에 있어서, 적층된 게이트부분의 측면에 인접하고, 게이트절연막위에 형성되는 절연물질의 측벽과 한쌍의 게이트부 사이의 반도체기판에 불순물확산전극이 형성되고, 각각의 게이트부 밑에 있는 기판부분에 까지 형성되어지는 것을 특징으로 하는 NOR형 플래쉬메모리.

청구항 23

제22항에 있어서, 반도체기판이 실리콘질화물로 형성되어지는 것을 특징으로 하는 플래쉬메모리.

청구항 24

제22항에 있어서, 측벽이 실리콘질화물로 형성되어지는 것을 특징으로 하는 플래쉬메모리.

청구항 25

제22항에 있어서, 측벽이 일부분에서 적어도 1000Å의 폭을 갖는 것을 특징으로 하는 플래쉬메모리.

청구항 26

제24항에 있어서, 측벽이 일부분에서 적어도 1000Å의 폭을 갖는 것을 특징으로 하는 플래쉬메모리.

청구항 27

제22항에 있어서, 첫번째 게이트와 두번째 게이트전극이 불순물이 주입된 폴리실리콘으로 이루어진 것을 특징으로 하는 플래쉬메모리.

청구항 28

제22항에 있어서, 중간게이트 절연막이 실리콘 이산화물로 형성되는 것을 특징으로 하는 플래쉬메모리.

청구항 29

제22항에 있어서, 상기 중간게이트 절연막은 실리콘산화물의 첫번째 층, 실리콘질화물의 두번째 층 및 실리콘산화물의 세번째 층으로 구성된 ONO막인 것을 특징으로 하는 플래쉬메모리.

청구항 30

제22항에 있어서, 상기 중간층 절연막이 실리콘위에 게이트부, 측벽, 불순물 주입전극 및 게이트절연막을 덮도록 구성되어지는 것을 특징으로 하는 플래쉬메모리.

청구항 31

제30항에 있어서, 상기 중간층 절연막이 실리콘산화물의 밀면층과 BPSG 또는 PSG의 윗면층으로 형성되어지는 것을 특징으로 하는 플래쉬메모리.

청구항 32

제30항에 있어서, 상기 중간층 절연막이 중간연결층이 되는 접착층을 형성시켜주는 것을 특징으로 하는 플래쉬메모리.

청구항 33

제32항에 있어서, 전도물질의 중간연결층이 중간층 절연막에 형성되는 것을 특징으로 하는 플래쉬메모리.

청구항 34

제33항에 있어서, 상기 중간연결층의 물질에 알루미늄인 것을 특징으로 하는 플래쉬메모리.

청구항 35

제34항에 있어서, 상기 티타늄 질화막이 알루미늄으로 된 중간연결층 아래에 형성되고, 티타늄막이 티타늄질화막 아래에 형성되어지는 것을 특징으로 하는 플래쉬메모리.

청구항 36

적어도 한쌍의 적층된 게이트부로 구성되고, 게이트부는 본질적으로 게이트절연막에 의해 반도체 기판 표면위에 형성되는 첫번째 게이트전극과 그위에 형성되는 첫번째 게이트전극과 그 위에 형성되는 중간게이트 절연막, 중간게이트 절연막 위에 형성되는 두번째 게이트전극 그리고, 첫번째 게이트전극에서 데이터 저장을 위해 전자를 축전 및 방전하는데 사용되는 소스와 드레인 전극으로 구성되는 NOR형 플래쉬메모리에 있어서, 실리콘산화물로 만들어진 전계절연막이 적층된 게이트부의 총 두께보다 더 얇게 형성되고, 실리콘 질화물로 된 측벽은 적층된 게이트부의 측면에 인접하게 게이트 절연막위에 형성되고, 불순물 확산전극이 한쌍의 게이트부 사이의 반도체 기판에 형성되고, 각각의 게이트부 밀면에 있는 기판부분에 까지 형성되어지는 것을 특징으로 하는 NOR형 플래쉬메모리.

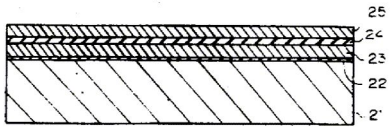
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

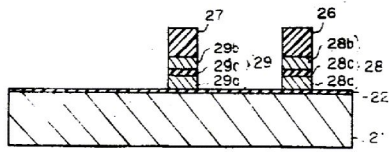
도면2a



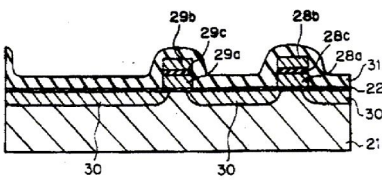
도면2b



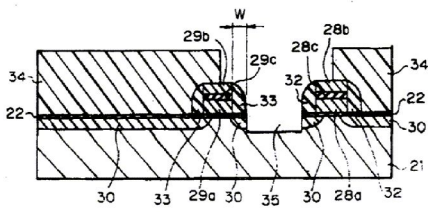
도면2c



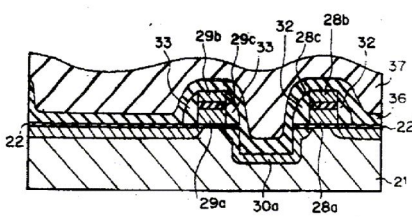
도면2d



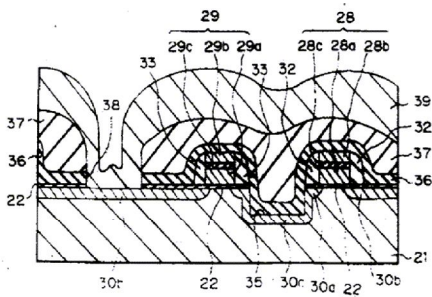
도면2e



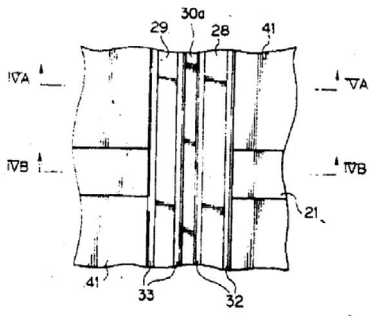
도면2f



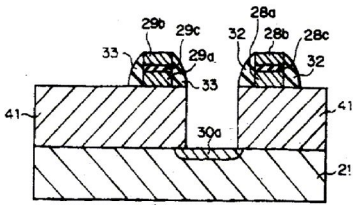
도면2g



도면3



도면4a



도면4b

