

(12) 发明专利

(10) 授权公告号 CN 101111943 B

(45) 授权公告日 2012.06.27

(21) 申请号 200480044857.8

H01L 29/792(2006.01)

(22) 申请日 2004.11.30

H01L 21/8247(2006.01)

G11C 16/04(2006.01)

(85) PCT申请进入国家阶段日
2007.07.27

(56) 对比文件

(86) PCT申请的申请数据

JP 特开平 5-82793 A, 1993.04.02, 全文.

PCT/JP2004/017751 2004.11.30

US 2003117861 A1, 2003.06.26, 全文.

(87) PCT申请的公布数据

US 2004011676 A1, 2004.01.22, 全文.

W02006/059361 JA 2006.06.08

JP 特开 2003-59279 A, 2003.02.28, 全文.

US 2002/0196665 A1, 2002.12.26, 全文.

(73) 专利权人 斯班逊有限公司

审查员 王娜

地址 美国加利福尼亚州

专利权人 斯班逊日本有限公司

(72) 发明人 横井敦 中野正夫

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟

(51) Int. Cl.

H01L 29/788(2006.01)

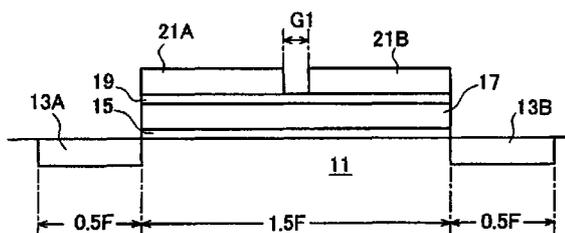
权利要求书 3 页 说明书 15 页 附图 22 页

(54) 发明名称

非易失性存储装置及其制造方法

(57) 摘要

本发明的目的在于提供一种非易失性存储装置,在以一对扩散层(13A、13B)夹住的沟道区域上,依序层叠第1绝缘层(15)、电荷蓄积层(17)、第2绝缘层(19),在第2绝缘层(19)上配置于沟道宽度方向的中间部具有缝隙(G1)而分离的两个控制栅极层(21A、21B)。于电荷蓄积层(17)具有离散的电荷捕获,使在层内的电荷移动受到限制。在电荷蓄积层(17)中,根据个别施加于控制栅极层(21A、21B)的写入电压而注入的电荷,可局限在施加写入电压的控制栅极层(21A、21B)下。能于各个控制栅极层(21A、21B)下的电荷蓄积区域控制电荷的有无,并可能朝存储体单元进行多值存储。



1. 一种非易失性存储装置,具备存储体单元,其中,所述存储体单元包括:
一对扩散层,以预定长度的沟道区域分隔而配置于基板表面;
2个控制栅极层,在所述沟道区域上具有彼此对向的圆弧状形状的分离结构;以及
电荷蓄积层,形成于所述控制栅极层和所述基板表面间且在各所述控制栅极层具有固有地使电荷注入及/或放出的区域。
2. 如权利要求1所述的非易失性存储装置,还具备:第1绝缘层,形成于所述基板表面和所述电荷蓄积层间;及/或
第2绝缘层,形成于所述电荷蓄积层和所述控制栅极层间。
3. 如权利要求1所述的非易失性存储装置,其中,所述电荷蓄积层具有离散性的电荷捕获,且将固有地使电荷注入及/或放出的所述区域予以划分。
4. 如权利要求1所述的非易失性存储装置,其中,所述电荷蓄积层彼此分离而被具备于各所述控制栅极层。
5. 如权利要求4所述的非易失性存储装置,其中,所述电荷蓄积层为导电性材料所构成。
6. 如权利要求1所述的非易失性存储装置,其中,于预定数的所述存储体单元分别连接相同位线,
连接于所述控制栅极层的各者的多条控制线,在所述预定数的存储体单元间,于各个存储体单元作不同的配线。
7. 如权利要求1所述的非易失性存储装置,其中,所述存储体单元的所述控制栅极层,在和所述存储体单元中连接于所述一对扩散层的位线交叉方向上的连续的存储体单元间,构成共有的多条控制线。
8. 如权利要求6或7所述的非易失性存储装置,其中,所述多条控制线和所述位线交叉,且彼此相邻、平行地配线。
9. 如权利要求1所述的非易失性存储装置,其中,通过于各个所述控制栅极层施加的写入电压的第1电压,在具有于各个所述控制栅极层固有地注入及/或放出电荷的区域的所述电荷蓄积层,根据FN穿隧现象、热电子现象、或热空穴现象来进行电荷注入及/或放出。
10. 如权利要求9所述的非易失性存储装置,其中,根据所述各区域的电荷有无的组合数,来决定存储于所述存储体单元的数据位数。
11. 如权利要求9所述的非易失性存储装置,其中,来自所述存储体单元的数据读出,将读出电压的第6电压施加于所述控制栅极层,并根据流通于所述一对扩散层间的电流值而被执行。
12. 如权利要求1所述的非易失性存储装置,其中,所述控制栅极层,配置成至少具备1组在连结所述一对扩散层的沟道路径方向将所述基板表面区分为2的一对控制栅极层,并于各个所述控制栅极层分配不同的地址,
通过于依据所述不同地址而选择的所述控制栅极层施加的第9电压,使在所述控制栅极层下固有的所述区域产生电荷的注入及/或放出,而执行写入。
13. 如权利要求12所述的非易失性存储装置,其中,根据于所述控制栅极层分别具备的所述电荷蓄积层的电荷有无,而在所述存储体单元中,于各个所述控制栅极层存储1位。

14. 如权利要求 12 所述的非易失性存储装置,其中,写入时,针对和所述被选择的控制栅极层成对的所述控制栅极层,施加比所述第 9 电压还低电压的第 10 电压。

15. 如权利要求 12 所述的非易失性存储装置,其中,写入时,从和所述被选择的控制栅极层成对的所述控制栅极层相邻的所述扩散层输入电荷。

16. 如权利要求 14 所述的非易失性存储装置,其中,写入时,被写入的电荷根据所述第 10 电压,朝向所述被选择的控制栅极层加速。

17. 如权利要求 12 所述的非易失性存储装置,其中,于各个所述控制栅极层存储的数据的读出,是将相邻于所述被选择的控制栅极层的所述扩散层作为源极端子,并于所述一对控制栅极层施加第 6 电压。

18. 如权利要求 1 所述的非易失性存储装置,其中,所述电荷蓄积层的电荷注入及 / 或放出,至少针对所述存储体单元总括地执行。

19. 如权利要求 1 所述的非易失性存储装置,其中,
所述控制栅极层,
包含形成所述一对扩散层的所述基板表面的区域,在所述基板表面上于各个所述扩散层形成一对屏蔽层,
并在包含有所述一对屏蔽层的所述基板表面上的整面,堆积作为所述控制栅极层的形成材料的栅极堆积层,
对所述栅极堆积层进行各向异性蚀刻,
所述栅极堆积层在所述一对扩散层间的中间部分离,并作为形成于所述屏蔽层的侧壁的侧面壁构造而形成。

20. 如权利要求 19 所述的非易失性存储装置,其中,在所述栅极堆积层的下层,于包含有所述一对屏蔽层的所述基板表面上的整面,进一步堆积作为所述电荷蓄积层的形成材料的电荷蓄积堆积层。

21. 如权利要求 19 所述的非易失性存储装置,其中,所述各向异性蚀刻是针对所述栅极堆积层与所述电荷蓄积堆积层来进行,
所述电荷蓄积堆积层在所述一对屏蔽层间的中间部分离,于各个所述控制栅极层作为独立的所述电荷蓄积层而形成。

22. 如权利要求 19 所述的非易失性存储装置,其中,所述一对屏蔽层,是将形成所述一对扩散层的区域和从该区域延伸至所述存储体单元的沟道宽度方向的区域屏蔽而形成;
于所述一对屏蔽层的侧壁所形成的侧面壁构造的所述栅极堆积层,进行去除以使残留邻接所述一对扩散层且用以构成所述控制栅极层的部分,以及用以构成来自所述控制栅极层的配线拉出底部。

23. 如权利要求 22 所述的非易失性存储装置,其中,所述配线拉出底部,是将所述控制栅极层延伸至所述存储体单元的沟道宽度方向而被拉出,并于所述存储体单元的沟道长度方向曲折而形成。

24. 如权利要求 22 所述的非易失性存储装置,其中,所述控制栅极层形成于所述扩散层的两端边,针对各者的所述控制栅极层,具备所述配线拉出底部。

25. 如权利要求 1 所述的非易失性存储装置,其中,所述控制栅极层中,将一方的控制栅极层设为第 1 电压,将另一方的控制栅极层设为比所述第 1 电压还低的第 2 电压,将所述

基板设为比所述第 1 电压还低的第 5 电压,并于所述一方的控制栅极层下的所述电荷蓄积层注入及 / 或放出电荷。

26. 如权利要求 1 所述的非易失性存储装置,其中,将所述控制栅极层设为写入电压的第 1 电压,将所述基板设为比所述第 1 电压还低且诱发 FN 穿隧现象的第 5 电压,并于所述控制栅极层下各自的所述电荷蓄积层根据 FN 穿隧现象使电荷注入及 / 或放出。

27. 如权利要求 1 所述的非易失性存储装置,其中,所述控制栅极层中,将一方的控制栅极层设为第 9 电压,将其它的控制栅极层作为比第 9 电压还低的第 10 电压,并在所述一对扩散层中,将相邻于所述一方的控制栅极层的一方的扩散层设为第 11 电压,相邻于所述另一方的控制栅极层的另一方的扩散层设为比所述第 11 电压还低的第 7 电压,并于所述一方的控制栅极层下的所述电荷蓄积层注入及 / 或放出电荷。

28. 如权利要求 1 所述的非易失性存储装置,其中,将所述控制栅极层设为第 6 电压,而在所述一对扩散层中,将一方的扩散层设为第 8 电压,将另一方的扩散层设为比所述第 8 电压还低的第 7 电压,并根据于所述一对扩散层间流通的电流多寡来执行读出动作。

29. 如权利要求 1 所述的非易失性存储装置,其中,将所述控制栅极层设为第 6 电压,将在所述控制栅极层中一方的控制栅极层所邻接的、所述一对扩散层的一方的扩散层设为第 8 电压,将与所述控制栅极层中另一方的控制栅极相邻的、所述一对扩散层中另一方的扩散层设为比所述第 8 电压还低的第 7 电压,并根据于所述一对扩散层间流通的电流多寡来执行读出动作。

30. 如权利要求 1 所述的非易失性存储装置,其中,将所述控制栅极层设为第 12 电压,将所述基板设为比第 12 电压还高的第 14 电压,并于所述控制栅极层下各自的所述电荷蓄积层注入及 / 或放出电荷。

31. 如权利要求 1 所述的非易失性存储装置,其中,所述控制栅极层中,将被选择的一方的控制栅极层设为第 15 电压,将非选择的控制栅极层设为比所述第 15 电压更高的第 16 电压,将所述一对扩散层或所述基板设为比所述第 15 电压还高的第 17 电压,并于所述被选择的一方的控制栅极层下的所述电荷蓄积层注入及 / 或放出电荷。

32. 如权利要求 1 所述的非易失性存储装置,其中,将于被选择的所述存储体单元所具备的所述控制栅极层设为第 15 电压,将所述一对扩散层或所述基板设为比所述第 15 电压还高的第 17 电压,并于被选择的所述存储体单元中所述控制栅极层下的所述电荷蓄积层注入及 / 或放出电荷。

33. 一种非易失性存储装置的制造方法,具备有由在被一对扩散层夹着的基板表面上,彼此分离形成的 2 个控制栅极层,和具有于各个所述控制栅极层固有地使电荷注入及 / 或放出的区域的电荷蓄积层所构成的存储体单元,所述非易失性存储装置的制造方法具备:

在包含有形成所述一对扩散层的区域的所述基板表面上,形成一对屏蔽层的步骤;

在包含有所述一对屏蔽层的所述基板表面上的整面,堆积作为所述控制栅极层的形成材料的栅极堆积层的步骤;以及

对所述栅极堆积层进行各向异性蚀刻,将所述栅极堆积层于所述一对屏蔽层间的中间部予以分离,并通过于所述一对屏蔽层的侧壁残留以作为侧面壁构造,而形成所述 2 个控制栅极层的步骤。

非易失性存储装置及其制造方法

技术领域

[0001] 本发明是有关具备可进行多值存储的非易失性存储体单元的非易失性存储装置及制造方法。

背景技术

[0002] 为了实现对于非易失性存储体单元可进行多值存储的非易失性存储装置,以往为构想出使其具有复数状态的非易失性存储体单元。亦即,通过将注入至浮栅极 (floating gate) 的电荷量进行阶段性控制,并将非易失性存储体单元的临限值电压 (threshold voltage) 阶段性地变为不同,藉此可多值存储的方法。

[0003] 例如,若将写入电荷量调整为 4 阶段,每个存储单元可存储 2 位的数据。所述情形的写入,如以下所示,至少经由 2 阶段的写入电压施加步骤来进行。

[0004] 在第 1 步骤中,对消去状态的存储单元施加第 1 电压,将成为第 1 阶段电荷量的电荷注入至浮栅极。接着在第 2 步骤中根据须存储的数据,为了达到第 2 阶段的电荷量或是电荷量更多的第 3 阶段的电荷量,而于每个存储单元施加第 2 电压或是比第 2 电压更高电压的第 3 电压来进行电荷的注入。藉此,非易失性存储体单元根据注入电荷量,保持临限值电压不同的 3 个写入状态。于此加入消除状态,存储为 4 个状态的 2 位数据。数据的读出是通过从非易失性存储体单元的临限值电压的不同,检测出读出电流不同的方式而进行。

[0005] 此外,在如下所示的专利文献 1 中,如图 25 所示,具备具有包含离散性捕获 (trap) 的栅极绝缘膜 120、以及控制栅极 170 的存储体晶体管部 Trmc,并于其两侧具备具有选择栅极 160_1、160_2 的切换晶体管部 Trsw,且于其外侧形成连接至源极线 (source line)/位线的扩散层 140_1、140_2。于栅极绝缘膜 120 进行局部性的写入,成为 1 存储体单元至少蓄积 2 位分信息的多储存 (multi storage)。

[0006] 在此,于包含离散性捕获的栅极绝缘膜所捕获的电荷,几乎没有从最初被捕获的位置移动至相对于基板表面的水平方向。此外,作为包含离散性捕获的栅极绝缘膜的材料,目前显而易见的是氮化硅膜和包含氮化硅的细微粒子的栅极绝缘膜。

[0007] 写入动作是通过源极侧注入方式来进行。当载子通过任一方的切换晶体管部 Trsw 所缩窄的沟道时被加速且能量被提高而进入储存体晶体管部 Trms 的沟道的载子,是在控制栅极电极 170 的方向受到高偏压而被离散地捕获。电荷会以某种程度的分布蓄积于储存体晶体管部 Trmc 的源极区域。于储存体晶体管部 Trmc 两侧所具有的选择栅极电极 160_1、160_2 下的沟道会分别导通,藉此于栅极绝缘膜 120 两侧进行电荷的蓄积,并储存 2 位的数据。

[0008] 由于读出动作是通过源极侧注入 (source side injection) 的方式,在源极侧进行写入动作的缘故,故读出的沟道电流 (channel current) 为相同方向即可。

[0009] 此外,在下述的专利文献 2 中,如图 26 所示,具备有:形成于硅 (Si) 基板 210 上的栅极绝缘膜 (SiO₂ 膜) 250、260;形成于氧化硅膜 260 上的一对浮栅极 270a、270b;以覆盖浮栅极 270 和氧化硅膜 250、260 的方式形成的 ONO(Oxide Nitric Oxide;氧化物/氮化物/

氧化物)膜 280;、以及作为在 ONO 膜 280 上形成的字线的控制栅极 290。在此,一对浮栅极 270a、270b 是在源极 230、漏极 240 上个别独立配置,并以成为可个别注入 / 移除来自源极 230、漏极 240 的电子。浮栅极 270a、270b 是在后来被去除的绝缘膜侧壁所形成的侧面壁 (sidewall)。

[0010] 写入动作是使沟道中从源极 230 朝向漏极 240 前进的电子,在漏极 240 的附近获得高能量而成为热电子,且其一部分越氧化硅膜 260 注入至浮栅极 270b 而进行。朝浮栅极 270b 的注入,只要将源极 230 和漏极 240 的偏压关系逆转便是一样的。

[0011] 读出动作是在浮栅极 270a、270b 没有电子的状态下沟道连接着,在源极 230 和漏极 240 间流通电流并作为数据「1」被读出。在电子注入的状态下沟道被切断,于源极 230 和漏极 240 间电流不流通而作为数据「0」被读出。通过在一对浮栅极 270a、270b 个别独立地进行写入、消除、读出,使存储量成为 2 倍。

[0012] 【专利文献 1】:日本专利特开 2001-156275 号公报

[0013] 【专利文献 2】:日本专利特开 2003-282741 号公报

发明内容

[0014] (发明欲解决的课题)

[0015] 然而,于所述技术背景所示,在将非易失性存储体单元的临限值电压阶段性地改变以进行多值存储时,为了成为根据数据值的临限值电压,必须使写入电压根据数据值而变化。写入动作必须有 2 步骤以上的多阶段步骤,而有写入时间变长的疑虑。此外,必须要有用以产生于各个数据值不同的多阶段写入电压的电压产生电路。并且,对一个非易失性存储体单元设定多阶段临限值电压时,由于必须确保在各临限值电压的读出余裕,故写入电压必须为比非多值存储时更高的电压。有电压产生电路的电路构成变得复杂且大规模,且消耗电流也变大的疑虑。

[0016] 此外,在所述专利文献 1 中,通过源极侧注入方式,虽可成为高速、低消耗电流的写入动作,惟存储体单元会变成具备存储体晶体管部并于其两侧具备切换晶体管部的 3 晶体管构成。有存储体单元的占有面积必须变大的问题。

[0017] 此外,在所述专利文献 2 中,为于浮栅极利用侧面壁者。为对于存储体单元,具备 2 个浮栅极和于其间的控制栅极的构成。因此,在多值存储时,必须通过虚拟接地方式将漏极端子和源极端子互换以进行读出动作,使动作变得烦杂。此外,在浮栅极间有具备控制栅极、以及扩散层区域的构成。因此,在浮栅极间必须具备用以配置控制栅极或扩散层区域的间隔。

[0018] (解决课题的手段)

[0019] 本发明乃为解决所述背景技术至少 1 个问题点而研创者,其目的在于提供一种具备小型单元尺寸,且写入时消耗电流少及 / 或可进行高速写入动作的存储体单元的非易失性存储装置及其制造方法。

[0020] 为了达成所述目的而研创的本发明的非易失性存储装置具备存储体单元,所述存储体单元具有以下构成:一对扩散层,以预定间隔配置于基板表面;多个控制栅极层,位于基板表面上,并于一对扩散层所夹住的区域彼此分离而形成;电荷蓄积层,形成于控制栅极层与基板表面之间,并在各控制栅极层具有固有地使电荷注入及 / 或放出的区域。

[0021] 在本发明的非易失性存储装置中,于被一对扩散层夹住的基板表面上的区域,形成彼此分离的多个控制栅极层,并在控制栅极层和基板表面间所具备的电荷蓄积层,于各控制栅极层形成固有的电荷蓄积区域。

[0022] 藉此,对于在各控制栅极层固有形成的电荷蓄积区域,可进行电荷的注入/放出,亦即可进行电子或是空穴的注入/放出,而可将各控制栅极层所固有具备之电荷注入及/或放出的区域中根据电荷有无状态组合数的数据位数。选择应进行电荷注入/放出的控制栅极层,藉此可进行多值存储,没有必要根据须写入的数据值而改变施加于控制栅极层的第 1 电压,此外能以 1 次的写入动作进行多值存储。

[0023] 此外,可存储对应控制栅极层数的位数的数据值。与除了存储体晶体管部外还必须存存储位数分的切换晶体管部的专利文献 1 相比,可谋求存储体单元占有面积的缩小。

[0024] 此外,有关朝电荷蓄积层的电荷注入,除了从施加第 1 电压的控制层下的基板进行根据 FN(Fowler-Nordheim;弗拉-诺海默)穿隧现象的沟道注入动作外,亦能在相邻于施加第 9 电压的控制栅极层的控制栅极层下形成沟道,使电荷加速并根据热电子现象或是热空穴现象进行源极侧注入动作。通过沟道注入动作,可进行伴随 FN 穿隧现象的低消耗电流写入动作,并通过源极侧注入动作,可进行高速且低消耗电流的写入动作。

[0025] (发明的效果)

[0026] 根据本发明,可提供一种在具有可多值存储的非易失性存储体单元的非易失性存储装置中,具备小的单元尺寸且写入时的消耗电流少及/或可进行高速写入动作的存储体单元以作为非易失性存储体单元的非易失性存储装置及其制造方法。

附图说明

[0027] 图 1 为显示本发明的非易失性存储装置所具备的存储体单元原理构造的剖面图。

[0028] 图 2 为实施形态的存储体单元的剖面图。

[0029] 图 3 为针对实施形态的存储体单元进行第 1 多值存储的写入动作时的图 (1)。

[0030] 图 4 为针对实施形态的存储体单元进行第 1 多值存储的写入动作时的图 (2)。

[0031] 图 5 为针对实施形态的存储体单元进行第 1 多值存储的写入动作时的图 (3)。

[0032] 图 6 为针对实施形态的存储体单元进行第 1 多值存储的读出动作时的图 (1)。

[0033] 图 7 为针对实施形态的存储体单元进行第 1 多值存储的读出动作时的图 (2)。

[0034] 图 8 为针对实施形态的存储体单元进行第 1 多值存储的读出动作时的图 (3)。

[0035] 图 9 为针对实施形态的存储体单元进行第 2 多值存储的写入动作时的图 (1)。

[0036] 图 10 为针对实施形态的存储体单元进行第 2 多值存储的写入动作时的图 (2)。

[0037] 图 11 为针对实施形态的存储体单元进行第 2 多值存储的读出动作时的图 (1)。

[0038] 图 12 为针对实施形态的存储体单元进行第 2 多值存储的读出动作时的图 (2)。

[0039] 图 13 为针对实施形态的存储体单元进行消除动作(沟道擦除;channel erase)时的图。

[0040] 图 14 为针对实施形态的存储体单元进行消除动作(源极擦除;source erase)时的图。

[0041] 图 15 为显示将实施形态的存储体单元构成为 NAND 型时的布局的图。

- [0042] 图 16 为显示将实施形态的存储体单元构成为 NOR 型时的布局的图。
- [0043] 图 17 为将实施形态的存储体单元的控制栅极层以平行于沟道方向配线时的布局图。
- [0044] 图 18 为显示实施形态的存储体单元的平面及剖面构造的图。
- [0045] 图 19 为显示图 18 的存储体单元的制造步骤的剖面图 (1) (至屏蔽层的堆栈为止)。
- [0046] 图 20 为显示图 18 的存储体单元的制造步骤的剖面图 (2) (从屏蔽层的堆栈至各向异性蚀刻为止)。
- [0047] 图 21 为显示在至图 20 为止的制造步骤结束时存储体单元平面构造的图。
- [0048] 图 22 为显示控制栅极层和配线拉出底部的构成的存储体单元平面构造的图。
- [0049] 图 23 为显示本发明的存储体单元中进行各动作时的电压条件的图。
- [0050] 图 24 为显示本发明的非易失性存储装置所具备的存储体单元更进一步的原理构造的剖面图。
- [0051] 图 25 为专利文献 1 的存储体单元的剖面图。
- [0052] 图 26 为专利文献 2 的存储体单元的剖面图。
- [0053] (组件符号说明)
- [0054] 11、210 基板
- [0055] 13A、13B、140_1、140_2 扩散层
- [0056] 15 栅极氧化膜 (第 1 绝缘膜)
- [0057] 16A、16B 场氧化膜
- [0058] 17 氮化膜 (电荷蓄积层)
- [0059] 17A、17B 电荷蓄积层
- [0060] 19 氧化膜 (第 2 绝缘膜)
- [0061] 19A、19B 第 2 绝缘膜
- [0062] 21 导电性材料膜 (控制栅极层)
- [0063] 21A、21B、21B_、21A+ 控制栅极层
- [0064] 22A、22B、22B_、22A+ 配线拉出底部
- [0065] 31 晶体管区域
- [0066] 41 氧化膜
- [0067] 43、44 氮化膜
- [0068] 45 光阻
- [0069] 160_1、160_2 选择栅极
- [0070] 170、290 控制栅极
- [0071] 230 源极
- [0072] 250、260 氧化硅膜
- [0073] 270、270a、270b 浮栅极
- [0074] 2800N0 膜
- [0075] BL1、BL2 位线
- [0076] D11、D13、D21、D22、D23 扩散层

- [0077] G1、G2 缝隙
- [0078] L1、L2、L3、L4 拉出线
- [0079] SL1、SL2 源极线
- [0080] Trsw 切换晶体管部
- [0081] Trmc 存储体晶体管部
- [0082] WL11、WL12、WL21、WL22 字线

具体实施方式

[0083] 以下,参考根据图 1 至图 24 的图式,详细说明有关本发明的非易失性存储装置及其制造方法的具体化实施形态。

[0084] 于图 1 所示的剖面图,显示本发明的非易失性存储装置所具备的存储体单元的原理构造。在基板 11 以 $1.5F$ 的间隔配置有一对扩散层 13A、13B。各扩散层具有和相邻的存储体单元的扩散层共有的 $0.5F$ 的宽。在被扩散层 13A、13B 夹住的沟道区域上,依序层叠第 1 绝缘层 15、电荷蓄积层 17、第 2 绝缘层 19,并在第 2 绝缘层 19 上配置于沟道宽度方向的中间部具有缝隙 G1 而分离的 2 个控制栅极层 21A、21B。在此, F 指最小加工规格,存储体单元以面积 $2.5F^2$ 所构成。一般而言在此,基板 11 以 P 型半导体材料所构成,扩散层 13A、13B 以 N 型半导体材料所构成。

[0085] 以缝隙 G1 分离的控制栅极层 21A、21B,于沟道长度方向的中间部中被切离,可朝各个的控制栅极层 21A、21B 个别进行电压的施加。控制栅极层 21A 相邻配置于扩散层 13A,控制栅极层 21B 相邻配置于扩散层 13B。位于控制栅极层 21A、21B 下的电荷蓄积层 17 在控制栅极层 21A、21B 间共同形成。

[0086] 朝存储体单元的数据存储是依据在电荷蓄积层 17 的电荷有无而进行。电荷对于电荷蓄积层 17 的注入 / 放出,如后述的图 3 至图 5、图 9 至图 10、以及图 13 至图 14 中,根据施加至控制栅极层 21A、21B 的电压而进行。通过使用在电荷蓄积层 17 具有离散的电荷捕获的氮化膜或小粒径导电体的方式,及 / 或通过电荷蓄积层 17 与存在于第 1 及 / 或第 2 绝缘层界面附近的电荷捕获,藉此可限制注入至电荷蓄积层 17 的电荷在电荷蓄积层 17 内的移动。

[0087] 藉此,在 1 个电荷蓄积层 17 中,根据个别施加于控制栅极层 21A、21B 的写入电压而注入至电荷蓄积层 17 的电荷,可局限在施加有写入电压的控制栅极层 21A、21B 下。可于电荷蓄积层 17 的各个控制栅极层 21A、21B 下的电荷蓄积区域控制电荷的有无,并能朝存储体单元进行多值存储。图 1 的情况,由于在存储体单元具有 2 个控制栅极层 21A、21B,故可进行 4 状态,亦即 2 位数据的存储。

[0088] 在此,缝隙 G1 只要是制造步骤上可将控制栅极层 21A、21B 确实地电性分离的缝隙即可。与经由缝隙 G1 在基板表面形成扩散层的情形相比,或与经由缝隙 G1 确保和上位层的连接区域的情形相比,可设成些微的缝隙。此外,配置于电荷蓄积层 17 上方的控制栅极层 21A、21B,不会越过电荷蓄积层 17 而绕至扩散层 13A、13B 侧来形成。藉此,可将缝隙 G1 设成必要的最小限度,并可于扩散层 13A、13B 上,使用以进行和上位配线层连接的接点 (contact) 边缘部塞入电荷蓄积层 17 的端部来进行配置,并可谋求存储体单元尺寸的缩小。

[0089] 此外,第1绝缘层15和第2绝缘层19是例如以氧化硅(SiO_2)所构成,且电荷蓄积层17是例如以氮化硅(Si_3N_4)构成时,以第1绝缘层15、电荷蓄积层17、以及第2绝缘层19来构成所谓的ONO膜。作为存储体单元的浮栅极层来发挥功能,并发挥作为栅极绝缘膜的功能。此外,为达成将电荷蓄积层17和控制栅极层21A、21B予以电性绝缘的功能者。电荷蓄积层17在具有电荷捕获功能并于基板11及/或控制栅极层21A、21B间具有绝缘性能的情况下,亦可不需要第1绝缘层15及/或第2绝缘层19。

[0090] 此外,虽显示电荷蓄积层17为使用具有限制层内电荷移动的电荷捕获的构造,藉此在控制栅极层21A、21B间不分离电荷蓄积层17而共同具备的情形,但本发明并未限定于此。亦可根据用以分离控制栅极层21A、21B的缝隙G1,设成用以分离第2绝缘层19与电荷蓄积层17及/或第1绝缘层15的构造。在此情形下,控制栅极层21A、21B变成个别具有独立的电荷蓄积层。个别于控制栅极层21A、21B,将电荷注入/放出至各个独立的电荷蓄积层。

[0091] 在此情形下,作为电荷蓄积层除了可使用具有上述电荷捕获的材料外,也可通过如多晶硅材料的导电材料所构成。使用具有电荷捕获的材料时,可更加确实地阻止在控制栅极层21A、21B下的电荷蓄积层间移动的电荷。此外,使用具有电荷捕获的材料时,即使有因加工偏差等而使电荷蓄积层的分离变得不充足的情形,也由于注入电荷的移动被限制而不会有存储数据消失等的不正常情形。此外,只要使用多晶硅材料等导电性材料,可作成和存储1位数据的一般非易失性存储体单元的浮栅极同样的构成,并可谋求制造步骤的简略化。

[0092] 此外,缝隙G1是以分离控制栅极层21A、21B为目的而形成者,控制栅极层21A、21B的分离,只要是于个别控制注入电荷的电荷蓄积层17的所在位置分离即可。因此,不须严密地规定缝隙G1的形成位置、以及缝隙G1的宽度,而能以简单的制造步骤来形成。

[0093] 图2显示的剖面图是存储体单元的实施形态。如后述图19至图22的制造步骤中,在扩散层13A、13B上堆积屏蔽层(未图标)后,整面地层叠电荷蓄积堆积层、第2绝缘堆积层、以及与栅极堆积层。被一对扩散层13A、13B夹着的沟道区域虽被堆积在扩散层13A、13B上的屏蔽层夹着而形成凹部,但上述的堆积层也沿着屏蔽层堆积至沟道区域。

[0094] 之后,通过各向异性蚀刻去除至电荷堆积层为止。由于为各向异性蚀刻,故于层叠厚度方向选择性地蚀刻。除了屏蔽层的上部外,由于在沟道区域中被蚀刻处沿着屏蔽层侧壁堆积的部分相对于蚀刻方向具有相当的厚度,故存在有未被蚀刻而残留的部分。所述部分即所谓的侧面壁构造。越接近屏蔽层的侧壁越不被蚀刻,随着远离侧壁则蚀刻量增大,在中间部形成缝隙G2的空隙。藉此,在沟道区域的中间部中,具有彼此对向的圆弧状形状,使控制栅极层21A、21B、第2绝缘层19A、19B、以及电荷蓄积层17A、17B分离。

[0095] 在此,缝隙G2在使用于电荷蓄积层具有电荷捕获的材料时,只要为在制造步骤上至少可将控制栅极层21A、21B确实分离的空隙即可。在电荷蓄积层使用如多晶硅材料的导电性材料的情形下,只要为在制造步骤上至少可将控制栅极层21A、21B、第2绝缘层19A、19B以及电荷蓄积层17A、17B确实分离的空隙即可。与经由缝隙G2在基板表面形成扩散层的情形相比,或与经由缝隙G2确保和上位层的连接区域的情形相比,可作成些微的缝隙,而可谋求存储体单元尺寸的缩小。

[0096] 具有通过各向异性蚀刻所形成的屏蔽层侧壁的侧面壁构造,能从控制栅极层21A、

21B 将电荷蓄积层 17A、17B 在沟道区域的中间部分予以分离,而能谋求存储体单元尺寸的缩小。

[0097] 有关在图 2 的存储体单元中另外的作用、效果,由于和图 1 所示的存储体单元原理构造图中说明的内容相同,故省略在此的说明。

[0098] 图 3 至图 14 是说明有关进行朝存储体单元的写入动作、读出动作、以及消除动作时的电压施加状态、朝电荷蓄积层的电荷注入和来自电荷蓄积层的电荷放出的图。电压的施加状态以将存储体单元 A 至 D 配置为矩阵状的存储体单元阵列作为例子说明,有关电荷的注入 / 放出,以图 2 所示的存储体单元的剖面图作为例子说明。于图 3 至图 5、以及图 9 至图 10 显示写入动作,图 6 至图 8、以及图 11 至图 12 显示读出动作。在此,前者为通过来自沟道的电荷注入来进行写入动作的第 1 多值存储的情形,后者为通过来自源极的电荷注入来进行写入动作的第 2 多值存储的情形。此外,于图 13 至图 14 显示消除动作。个别显示沟道擦除 (channel erase) / 源极擦除 (source erase)。

[0099] 首先,说明有关第 1 多值存储动作。当存储体单元具备数个控制栅极层时,通过控制栅极层分别独立施加写入电压,藉此于各控制栅极层分别进行将电荷注入固有的电荷蓄积区域,于各个控制栅极层,根据在下方电荷蓄积区域的电荷有无的组合将数据值存储而实现多值存储的情形。通过 FN 穿隧现象,电荷从沟道注入。

[0100] 图 3 至图 5 为写入动作的情形。每个存储体单元具备 2 个控制栅极层,可实现 3 种的写入状态。存储体单元 A 及 B 中,于一对扩散层个别连接有源极线 SL1 和位线 BL1,而存储体单元 C 及 D,于一对扩散层个别连接有源极线 SL2 和位线 BL2。此外,存储体单元 A 及 C 的一对控制栅极层个别连接有作为控制线的字线 WL11 及 WL21,存储体单元 B 及 D 的一对控制栅极层个别连接有作为控制线的字线 WL12 及 WL22。

[0101] 将存储体单元 A 作为写入对象。图 3 为在存储体单元 A 中,将电荷注入至以○标示的电荷蓄积层的情形。存储体单元 A 在连接着的源极线 SL 维持为第 3 电压的 0V 或是浮动状态 (floating state),且位线 BL1 维持为第 4 电压的 0V 或是浮动状态,并且将基板设为第 5 电压的 0V,将一边的控制栅极的字线 WL11 设为第 1 电压的 9V。此时,由于在扩散层和基板间不施加逆偏压,且空乏层不会延伸的缘故,故从连接有字线 WL11 的控制栅极层朝基板施加电场。被所述电场加速,通过 FN 穿隧电流 (FN tunneling current) 将电荷由基板注入至连接有字线 WL11 的控制栅极层下方的电荷蓄积层。

[0102] 于存储体单元 A 另一方的控制栅极层,连接有另一方的控制栅极的字线 WL21 时,由于在字线 WL21 施加有第 2 电压的 0V,故电荷在电荷蓄积层不会被加速,于字线 WL21 下的电荷蓄积层不会进行电荷的注入。由于字线 12、22 也施加有 0V,故不会进行将电荷注入至存储体单元 B 的动作。亦即在另一方的控制栅极,只要于电荷蓄积层和基板间给予不会引起 FN 穿隧作用的电压即可。

[0103] 此外,于连接存储体单元 C、D 的扩散层的源极线 SL2 施加 0V 或是 6V,于位线 BL2 施加 6V。当焦点放在存储体单元 C 时,于连接字线 WL11 的控制栅极层施加 9V 时,于相邻的扩散层连接有位线 BL2 并施加 6V。藉此,扩散层和基板受到逆偏压而形成空乏层,缓和控制栅极层和基板间的电场。在存储体单元 C 中,不会有根据施加 9V 的字线 WL11 而不将电荷注入至电荷蓄积层的情形,而防止存储体单元 C 中的干扰现象。

[0104] 图 4 显示在存储体单元 A 中,通过将第 1 电压的 9V 施加至字线 WL21,而进行将电

荷注入至以○标示的电荷蓄积层的情形。在图3中,取代字线WL11,于一方的控制栅极的字线WL21施加9V,并于另一方的控制栅极的字线WL11施加第2电压的0V。此外,为了防止有施加第1电压9V的字线WL21连接的存储体单元C的干扰现象,根据被施加9V的字线的交替,于源极线SL2施加6V,并于位线BL2施加0V或6V。有关作用、效果,由于和图3的情形相同,故省略在此的说明。

[0105] 图5显示在存储体单元A中,通过施加至字线WL11及WL21的第1电压的9V,将电荷注入至以○标示的电荷蓄积层的情形。于存储体单元A具有的2个电荷蓄积层的双方进行电荷的注入的情形。在图3中,施加9V至字线WL11及字线WL21。此外,为了防止于9V受到偏压的字线WL11及WL21所连接的存储体单元C的干扰现象,对源极线SL2及位线BL2施加6V。有关作用、效果,由于和图3的情形相同,故省略在此的说明。

[0106] 在第1多值存储动作中的写入动作,通过于控制栅极层分别施加第1电压的写入电压(9V),而可进行局限于位于各控制栅极层正下方的电荷蓄积层的电荷注入。藉此,对于具有2个控制栅极层的1个存储体单元,可存储2位数据,亦即可存储4状态的数据。由于是通过FN穿隧电流将电荷注入至位于基板至控制栅极层下的位置范围的电荷蓄积层,故与利用热电子现象的电荷注入方法相比,对于栅极氧化膜局部的损伤少。

[0107] 图6至图8为读出动作的情形。各自显示将依据图3至图5已进行写入动作的存储体单元A的内容予以读出的情形。在第1多值存储动作中进行读出动作时,一对扩散层是固定在源极线侧和位线侧。在图6至图8中,于一方的扩散层连接源极线SL1,于另一方的扩散层连接位线BL1。在读出动作时,无关于存储的数据,在源极线SL1施加第7电压的0V,于位线BL1施加第8电压的1.5V,并且于字线WL11及WL21施加第6电压的读出电压3V且将2个控制栅极层皆偏压至3V,并根据扩散层间流通电流的多寡来进行读出动作。

[0108] 图6为将电荷注入至连接字线WL11的控制栅极层下的电荷蓄积层并蓄积的情形。在存储体单元A中,于位线BL1侧的电荷蓄积层蓄积电荷,于源极线SL1侧的电荷蓄积层不蓄积电荷。藉此,在位线BL1侧,依据电荷的蓄积而比3V更低的电位对向于沟道区域时,在源极线SL1侧,3V电位对向于沟道区域,并于栅极、源极间施加3V。在源极线SL1侧,通过施加充分的栅极偏压的方式,使沟道流通有充分大量的第1电流。

[0109] 图7为将电荷注入至连接字线WL21的控制栅极层下的电荷蓄积层并蓄积的情形。在存储体单元A中,于位线BL1侧的电荷蓄积层不蓄积电荷,于源极线SL1侧的电荷蓄积层蓄积电荷。藉此,在位线BL1侧,3V电位对向于沟道区域时,在源极线SL1侧,依据电荷的蓄积而比3V更低的电位对向于沟道区域,并于栅极、源极间施加比3V低的电压。通过在源极线SL1侧的栅极偏压被限制的方式,流通于沟道的电流成为流通比上述图6的第1电流值更被限制的第2电流。

[0110] 图8为将电荷注入至连接字线WL11及WL21的控制栅极层下的电荷蓄积层并蓄积的情形。在存储体单元A中,于位线BL1侧及源极线SL1侧两者的电荷蓄积层蓄积电荷。藉此,在位线BL1侧及源极线SL1侧两者中,依据电荷的蓄积而比3V更低的电位对向于沟道区域。位线BL1侧及源极线SL1侧两者的栅极偏压被限制,流通于沟道的电流成为流通比上述图7的第2电流值更被限制的第3电流。

[0111] 另外,虽未图标,但于存储体单元A中,于连接字线WL11及WL21的控制栅极层下的电荷蓄积层为未蓄积电荷的情形下,在位线BL1侧及源极线SL1侧两者中,控制栅层的3V

电位对向于沟道区域,通过施加充分的栅极偏压的方式,于沟道中流通有比上述图 6 的第 1 电流值更大的第 4 电流。

[0112] 另外,在读出动作中,一般会于基板施加第 5 电压的 0V。

[0113] 在第 1 多值存储动作中的读出动作,有关于存储体单元中一对扩散层,当朝源极线和位线的连接关系被固定时,根据于将电荷注入至沿着在扩散层间沟道的长边方向配置的 2 个控制栅极层下的电荷蓄积层,沿着沟道长度的栅极偏压变为可变。藉此,根据进行电荷蓄积的电荷蓄积层的组合使沟道电流为可变,而读出多值数据。

[0114] 接着,说明有关第 2 多值存储动作。在存储体单元的沟道区域,沿着沟道长度方向具备 2 个(一对)控制栅极层时,于一方的控制栅极层施加第 9 电压的写入电压,并于另一方的控制栅极层施加第 10 电压的辅助电压。藉此,将被施加辅助电压的控制栅极层作为辅助晶体管,将从相邻的扩散层所输入的电荷加速,并进行将电荷注入至施加写入电压的控制栅极层下的电荷蓄积层。所述动作为任一者从一方的扩散层将电荷注入,而注入至相邻于另一方的扩散层的控制栅极层的情形。以辅助晶体管加速的电荷,在一方的控制栅极层下产生热电子现象,而将所得的电荷注入至沟道。

[0115] 图 9 至图 10 为写入动作的情形。以于沟道长度方向具备 2 个控制栅极层作为基本构成。针对一方的控制栅极层下,注入从另一方的控制栅极层下侧输入的电荷。针对 2 个控制栅极层分别进行写入动作。存储体单元 A 及 B,于一对扩散层分别连接拉出线 L1、L2。存储体单元 C 及 D,于一对扩散层分别连接拉出线 L3、L4。此外,存储体单元 A 及 C 的一对控制栅极层,分别连接作为控制线的字线 WL11 及 WL21,而存储体单元 B 及 D 的一对控制栅极层,为分别连接作为控制线的字线 WL12 及 WL22。

[0116] 将存储体单元 A 作为写入对象。图 9 是在存储体单元 A 中,将电荷注入至以○标示的电荷蓄积层的情形。存储体单元 A 连接的拉出线 L1、L2 中,在连接以○标示的电荷蓄积层相邻的一方的扩散层的拉出线 L1 施加第 11 电压的 3V,在连接另一方的扩散层的拉出线 L2 施加第 7 电压的 0V,并且将基板设为第 5 电压的 0V。并且,将连接于以○标示的电荷蓄积层上的一方的控制栅极层的字线 WL11 设为第 9 电压的 6V,将连接于相邻的另一方的控制栅极层的字线 WL21 设为第 10 电压的 3V。此时,字线 WL21 连接的另一方的控制栅极层构成作为将电荷加速的功能的辅助晶体管。从拉出线 L2 所输入的电荷,在施加 3V 的控制栅极层下的沟道区域加速前进,于到达施加 6V 的控制栅极层下的阶段具备高运动能量而成为热电子。藉由该热电子所产生的电荷,于施加 6V 的一方的控制栅极层方向被加速,并注入至电荷蓄积层。电子通过热电子电流而注入。

[0117] 在此,于字线 WL21 施加的第 10 电压的 3V 电压,为在连接字线 WL21 的另一方的控制栅极层下的沟道区域形成沟道的电压。例如,作为辅助晶体管而施加与读出状态相同电压的结果,从拉出线 L2 所输入的电荷,于连接字线 WL11 的一方的控制栅极层的方向被加速。

[0118] 有关存储体单元 C、D,拉出线 L3、L4 为 0V。存储体单元 C 虽为和存储体单元 A 连接共通的字线 WL11、WL21,但由于拉出线 L3、L4 皆为 0V,故电荷不会在沟道内加速,可防止干扰现象。此外,有关存储体单元 B、D,因字线 WL12、WL22 为 0,故不进行写入动作。

[0119] 图 10 为在存储体单元 A 中,通过朝字线 WL21 施加第 9 电压的 6V,将电荷注入至以○标示的电荷蓄积层的情形。在图 9 中,将字线 WL11、WL21 的偏压关系逆转,在另一方的

控制栅极的字线 WL11 施加第 10 电压的 3V,一方的控制栅极的字线 WL21 施加第 9 电压的 6V。此外,将拉出线 L1、L2 的偏压关系逆转,于连接另一方的扩散层的拉出线 L1 施加第 7 电压的 0V,于连接相邻于以○标示的电荷蓄积层的一方的扩散层的拉出线 L2 施加第 11 电压的 3V。为了防止连接字线 WL11、WL21 的存储体单元 C 的干扰现象,于拉出线 L3、L4 皆施加 0V 的方式和图 9 相同。图 10 的情形,连接以○标示的电荷蓄积层上的一方的控制栅极层的字线 WL21 和字线 WL11 连接的另一方的控制栅极层构成辅助晶体管,并从拉出线 L1 输入电荷。有关所述其它的作用、效果,由于和图 9 的情形相同,故省略在此的说明。

[0120] 在第 2 多值存储动作中的写入动作,于作为电荷注入对象的电荷蓄积层上的一方的控制栅极层施加第 9 电压的写入电压 (6V),并且于相邻于沟道长度方向的另一方的控制栅极层施加与读出电压相等的第 10 电压,并于沟道区域形成沟道。另一方的控制栅极层成为辅助晶体管。从相邻于辅助晶体管的扩散层所输入的电荷,沿着辅助晶体管的沟道被加速,到达写入对象的电荷蓄积层下。在此时间点电荷成为高能量状态的热电子,通过热电子现象进行将电荷注入至电荷蓄积层的动作。为了将电荷注入至各控制栅极层下的电荷蓄积层,将另一方的控制栅极层作为辅助晶体管使用使其具有将电荷加速的功能。根据进行电荷蓄积的电荷蓄积层的位置,有必要改变电荷的输入方向。控制栅极层可分别存储数据。字线可分别存储数据,而有关具有 2 个控制栅极层的 1 个存储体单元,可存储具有 2 地址的 2 位数据。

[0121] 图 11 至图 12 为读出动作的情形。各自显示将依据图 9 至图 10 已进行写入动作的存储体单元 A 的内容予以读出的情形。在第 2 多值存储动作中,有必要将拉出线的偏压关系以读出动作和写入动作进行逆转。即需要所谓的反读 (reverse read) 动作。读出动作是为了将相邻于读出对象的电荷蓄积层的扩散层,作为施加 0V 的源极端子侧。这是由于当栅极偏压根据朝电荷蓄积层的电荷有无而变化时,能在源极端子侧中产生栅极偏压变化的方面使沟道电流的变化变大,并使电荷蓄积有无的感度提升的缘故。在读出动作时,将相邻于读出对象的电荷蓄积层相邻的一方的扩散层的拉出线设为第 7 电压的 0V,将连接于另一方的扩散层的拉出线设为第 8 电压的 1.5V。在 2 个字线皆施加第 6 电压的读出电压 3V,并依据扩散层间流通电流的有无来进行读出动作。

[0122] 图 11 为将电荷注入至连接字线 WL11 的控制栅极层下的电荷蓄积层并予以蓄积的情形。在存储体单元 A 中,拉出线 L1 侧的电荷蓄积层为读出对象。于拉出线 L1 施加 0V,于拉出线 L2 施加 1.5V。于字线 WL11、WL21 皆施加 3V。当电荷蓄积在读出对象的电荷蓄积层时,在拉出线 L1 侧依据电荷蓄积而从 3V 降低的电位对向于沟道区域,于栅极、源极间被施加比 3V 更低的电压,且于所述图 7 相同,流通于沟道的电流是由较少的第 2 电流来流通。并且,当电荷蓄积在相邻的电荷蓄积层时,会与所述图 8 相同地成为最少的第 3 电流,或者在沟道区域不形成沟道而使电流不流通。

[0123] 当于读出对象的电荷蓄积层未蓄积电荷时,在拉出线 L1 侧,通过 3V 电位对向于沟道区域,且于栅极、源极间施加 3V 且施加充分的栅极偏压的方式,而使沟道流通有比所述图 7 的第 2 电流大且为最大的第 4 电流。当于读出对象的电荷蓄积层未蓄积电荷,且于相邻的电荷蓄积层蓄积电荷时,与所述图 6 相同地,流通比所述图 7 的第 2 电流大且比第 4 电流少的第 1 电流。

[0124] 图 12 为将电荷注入连接于字线 WL21 的控制栅极层下的电荷蓄积层并予以蓄积的

情形。和图 11 的情形相比,拉出线 L1、L2 的偏压关系被逆转。于拉出线 L1 施加 1.5V,于拉出线 L2 施加 0V。于字线 WL11、WL21 皆施加 3V。读出时的作用、效果和图 11 的情形相同,故省略在此的说明。

[0125] 另外,在读出动作中,一般于基板施加第 5 电压的 0V。

[0126] 在第 2 多值存储动作中的读出动作,有关在存储体单元中一对扩散层,将成为读出对象的电荷蓄积层相邻的扩散层作为源极端子来进行读出。此时,虽于作为源极端子的扩散层施加 0V,但成为和于写入时被施加 0V 的扩散层为相反侧的扩散层,并进行所谓的反读动作。栅极偏压根据读出对象的电荷蓄积层中电荷的有无而变化,并根据沟道区域中沟道的有无而反转。在有电荷蓄积的情形下,有较少的电流或者是沟道未形成而使电流不流通。在没有电荷蓄积的情形下,形成沟道而有大的电流流通。藉此,于用以选择电荷蓄积层的控制栅极个别读出 1 位。

[0127] 图 13 至图 14 为消除动作。图 13 为将芯片或是扇区 (sector) 内的存储体单元总括消除的情形。被称为所谓芯片消除或是扇区消除的消除动作。显示在执行将蓄积于电荷蓄积层的电荷朝基板放出的沟道擦除 (channel erase) 时的偏压施加。为了将存储体单元 A 至 D 的各电荷蓄积层总括消除,在存储体单元间施加同样的偏压。将源极线 SL1、SL2 和位线 BL1、BL2 设为第 13 电压的浮动状态,于字线 WL11 至 WL22 施加第 12 电压的 0V,于基板施加第 14 电压的 9V。

[0128] 图 14 为将共享字线的存储体单元总括消除的情形。被称为所谓页消除的消除动作。显示执行将蓄积于电荷蓄积层的电荷朝向相邻的扩散层放出的源极擦除 (source erase) 时的偏压施加。为了将存储体单元 A、C 两侧的电荷蓄积层总括消除,故在存储体单元间施加同样的偏压。将基板设为第 5 电压的 0V,并将拉出线 L1 至 L4 设为第 17 电压的 9V,将字线 WL11、WL21 设为第 15 电压的 0V。有关非消除对象的存储体单元 B、D,于字线 WL12、WL22 施加 6V,藉此予以偏压成以使限制在字线和扩散层间、字线和基板间的电场而不执行消除动作。

[0129] 此外,页消除的方法不限于此方法,于图 23 虽未图标,但亦可执行将蓄积于任意字线的电荷蓄积层的电荷朝向基板放出的沟道擦除。于执行页消除的字线施加第 12 电压的 0V,于不执行页消除的字线施加第 16 电压的 6V,于基板施加第 14 电压的 9V。

[0130] 此外,将存储体单元 A、C 各单侧的电荷蓄积层 (亦即,仅字线 WL11 下的电荷蓄积层) 予以消除的情形下,将字线 WL11 设为第 15 电压的 0V,将字线 WL21 设为第 16 电压的 6V,藉此予以偏压成以使限制字线 WL21 和扩散层间、字线 WL21 和基板间的电场,而不执行对字线 WL21 下的电荷蓄积层的消除动作。

[0131] 另外,共享字线的存储体单元中,通过将不消除的存储体单元的拉出线设为 0V,而可执行位单位的消除动作。

[0132] 此外,即使在将芯片或扇区内的存储体单元总括消除的情形下,通过将非消除对象的字线设为 6V,同样能执行页单位的消除。

[0133] 于上述说明的消除动作中,可执行区块单位、芯片总括或位单位的消除,并具有可实现高速消除动作等的有利效果。

[0134] 图 15 至图 17 显示有关扩散层和字线的布局图。另外,控制栅极层通过在相邻于列 (row) 方向的存储体单元间共享的方式,构成作为控制线的字线,图中斜线的部分显示以一

对扩散层夹住存储体单元的沟道区域。

[0135] 图 15 是于 NAND(反及)型快闪存储体(flash memory)的布局。扩散层 D11、D22 和沟道区域交互配置,以 2 条的方式和一对字线(WL11 及 WL21、WL12 及 WL22 等)交叉配置。以一对字线和其两侧的源极端子 S 及漏极端子 D 构成存储体单元,存储体单元以串联连接来配置。在扩散层 D12、D22 的两端,各自连接着扩散层 D11、D21、以及扩散层 D13、D23。在扩散层 D11、D21 形成和源极线连接用的接头 SL,而在扩散层 D13、D23 形成和位线连接用的接头 BL1、BL2。一对字线(WL11 及 WL21、WL12 及 WL22 等)为彼此相邻且平行配置,且一对字线间也平行配置。此外,有关连接相同位线的存储体单元群,在各存储体单元连接有不同的字线对。

[0136] 图 16 是 NOR(反或)型快闪存储体的布局。扩散层 D1、D2 和沟道区域交互配置,以 2 条的方式和一对字线(WL11 及 WL21、WL12 及 WL22 等)交叉配置。在一对字线间,交互形成和拉出线连接用的接头 L1、L2、以及 L3、L4。交互形成的接头,在各接头连接有拉出线。包含一对字线和其两侧的接头来构成存储体单元。一对字线(WL 11 及 WL21、WL12 及 WL22 等)为彼此相邻且平行配置,且一对字线间也平行配置。此外,有关连接相同位线的存储体单元群,在各存储体单元连接有不同的字线对。

[0137] 由于一对字线相邻且平行配置,并和用以构成连接相同位线或相同拉出线的存储体单元群的扩散层交叉,故依据一对位线在各存储体单元群选出的存储体单元限定为 1 个。因此,非选择的存储体单元不会同时受到偏压,不会有来自非选择存储体的错误读出或产生非选择存储体单元的干扰现象等疑虑。

[0138] 另外,如图 17 所示,相邻且平行配置的一对字线,在和扩散层交叉的情形下,也可作为与字线的配线方向平行地形成存储体单元的构成。亦即,字线 WL11 至 WL22 配线成垂直相交于拉出线 L1 至 L3。在位于相邻的拉出线 L1 及 L2,或是 L2 及 L3 间的沟道区域中,控制栅极层成为沿着沟道长度方向相邻的拉出线所连起的矩形区域,并以分割沟道宽度的方式形成 1 行(column)。以相邻的一对拉出线和拉出线间的一对控制栅极层来形成存储体单元。以配置于沟道长度方向的 2 条的控制栅极层下的各者来控制朝电荷蓄积层的电荷有无,并控制沟道路径的形成。作为各沟道电流的路径,在读出时的沟道路径形成为 2 路径、1 路径、以及不形成路径的情形时能成为可变。使读出时的电流量能成为可变而实现多值存储。

[0139] 在所述情形下,将拉出线 L1 至 L3 作为于字线垂直相交方向连续的多个存储体单元间为共有的扩散层(将此定义为埋入扩散层),而可作为源极/位线拉出。

[0140] 在图 18 显示实施形态的存储体单元的平面构造以及 AA/BB 剖面构造,在图 19 至图 21 显示其制造步骤。

[0141] 图 18 是存储体单元的布局图。晶体管区域 31 为多个存储体单元被展开的存储体单元阵列,为不堆积场氧化膜(field oxide film)16B 的区域,并为用以形成存储体单元的一对扩散层 13A、13B、以及形成其间的沟道区域的区域。在一对扩散层 13A、13B 中 AA 方向的两端边,沿着端边配置有 ONO 膜以及形成于 ONO 膜上的控制栅极层 21A、21B、21B_、21A+。在被对向的扩散层 13A、13B 夹着的沟道区域上配置的控制栅极层 21A、21B,为着眼的存储体单元的控制栅极层。控制栅极层 21A、21B 越过晶体管区域 31 而延伸于一方向。沿着扩散层 13A、13B 的外方端边而配置的控制栅极层 21B_、21A+ 是相邻(未图标)的存储体单

元的控制栅极层。存储体单元为共有扩散层并于图 18 中的 AA 方向多数重复配置的情形。控制栅极层 21B₋、21A₊ 越过晶体管区域 31 而延伸于和控制栅极层 21A、21B 相反的方向。

[0142] 越过晶体管区域 31 而延伸的控制栅极层 21A、21B、21B₋、21A₊，以在多数存储体单元展开的存储体单元阵列的端部部分将扩散层 13A、13B 包围的方式曲折。在曲折的部分连接有和字线的配线拉出底部 22A、22B、22B₋、22A₊。将最小加工尺寸设为 F 的情形，能以配线拉出底部间的间隔为 F、配线拉出底部的宽为 1.5F、从配线拉出底部的端部到控制栅极层端边为止的余裕为 F/4 来构成。

[0143] 在图 18 显示 AA 剖面图、以及 BB 剖面图的组合。在 AA 剖面图中，控制栅极层 21A、21B 使对向面成为曲面，以所谓侧面壁构造所构成。在控制栅极层 21A、21B 下，堆积有第 1 绝缘层 15、电荷蓄积层 17、以及第 2 绝缘层 19 的层叠构造的 ONO 膜。第 1 绝缘膜 15 也形成在扩散层 13A、13B 上。

[0144] 在 BB 剖面图中，于晶体管区域 31 的外部形成有场氧化膜 16B。在存储体单元中的沟道区域上的控制栅极层 21B 和 ONO 膜延伸而曲折的部分上，层叠有配线拉出底部 22B。控制栅极层 21B 和配线拉出底部 22B，由于为同样组成的材质，故可通过层叠的方式获得电阻接触 (ohmic contact)。

[0145] 接着，揭示有关实施形态的存储体单元的制造步骤的概要。在图 19(a) 中，于基板 11 上将氧化膜 41 和氮化膜 43 予以层叠，并将位于晶体管区域 31 以外的区域的氮化膜 43 去除。以残留的氮化膜 43 作为屏蔽，在基板上形成场氧化膜 16 (图 19(b))。藉此，进行基板表面上的组件分离。将氮化膜 43、以及氧化膜 41 去除 (图 19(c))，并藉由热氧化全面地形成栅极氧化膜 (第 1 绝缘层) 15 (图 19(d))，且于栅极氧化膜 15 上堆积氮化膜 44 (图 19(e))。氮化膜 44 是形成于沟道区域上的控制栅极层 21 的侧面壁构造形成时的各向异性蚀刻的屏蔽层。

[0146] 移至图 20，将涂布于氮化膜 44 上的光阻 45 予以曝光、去除，藉此留下形成扩散层的部分和控制栅极层的拉出部分的光阻 45，将光阻 45 作为屏蔽来蚀刻氮化膜 44 (图 20(f))。扩散层间的沟道区域的宽度以 1.5F 所构成。扩散层的宽度为 F。在此，控制栅极层的拉出部分是指越过晶体管区域 31 而延伸于字线的配线方向的部分。氮化膜 44 是形成扩散层的晶体管区域 31 和其外方，并延伸至形成场氧化膜的区域为止而残留下来。

[0147] 去除抗蚀膜 45 后 (图 20(g))，将 ONO 膜的上位 2 层于整面依序进行层叠。亦即，为氮化膜 (电荷蓄积层) 17、以及氧化膜 (第 2 绝缘膜) 19。接着于其上将构成控制栅极层的多晶硅层等导电性材料膜 (控制栅极层) 21 进行层叠 (图 20(h))。

[0148] 接着，进行各向异性蚀刻，将层叠于基板上端面的导电性材料膜 (控制栅极层) 21、以及 ONO 膜的上位 2 层 (氧化膜 (第 2 绝缘膜) 19、氮化膜 (电荷蓄积层) 17) 进行蚀刻 (图 20(i))。藉此，可使层叠于屏蔽层的氮化膜 44 的侧壁的 ONO 膜的上位 2 层、以及控制栅极层 21 形成而作为侧面壁构造。侧面壁构造是在对向于成为晶体管区域 31 内的沟道区域部分所形成，且同样形成在位于晶体管区域 31 外方的氮化膜 44 的侧壁。

[0149] 图 21 是步骤 (i) 后的平面构造。在作为屏蔽层的氮化膜 44 的外周侧壁，将电荷蓄积层 17、第 2 绝缘层 19、以及控制栅极层 21 以无侧面壁构造的方式形成。

[0150] 如图 22 所示，将氮化膜 44 去除，藉由离子注入等形成扩散层 13A、13B，并将围绕在氮化膜 44 外周而形成的侧面壁构造，分别分离至扩散层 13A、13B 的左右端边，形成控制

栅极层 21A、21B、21B₋、21A₊。此时,各控制栅极层的分离在晶体管区域 31 外进行时,被分离的各控制栅极层 21A、21B、21B₋、21A₊ 的端部,较佳为以围绕扩散层 13A、13B 的方式形成。藉此,在晶体管区域 31 的外部,变成具有侧面壁构造的控制栅极层 21A、21B、21B₋、21A₊ 朝向外方形成,使和将控制栅极层 21A、21B、21B₋、21A₊ 作为字线拉出时的配线拉出底部 22A、22B、22B₋、22A₊ 间的连接可变得确实。

[0151] 从以上说明可明确发现根据本实施形态,能针对电荷蓄积层 17 中的控制栅极层 21A、21B 个别固有的电荷蓄积区域(图 1),或是对个别具备的电荷蓄积层 17A、17B(图 2)执行电荷的注入/放出。可在电荷蓄积层 17 的固有区域或个别的电荷蓄积层 17A、17B,存储对应有电荷有无的组合数量的数据。亦即,有关具有 2 个控制栅极层 21A、21B 的存储体单元,可执行 2 位数据的存储。以选择应执行电荷注入/放出的控制栅极层 21A、21B 的方式可执行将预定位数据存储的第 1 多值存储动作。

[0152] 此外,通过在各控制栅极层 21A、21B 进行电荷的蓄积,于各控制栅极层 21A、21B 下的电荷蓄积层 17 的固有区域(图 1)或个别的电荷蓄积层 17A、17B(图 2),可根据电荷的有无而存储 1 位的数据。此外,写入时,当于另一方的控制栅极层施加辅助电压时,可使输入的电荷加速。

[0153] 有关具有 2 个控制栅极层 21A、21B 的存储体单元,通过于依据在个别的控制栅极层 21A、21B 以不同地址选择的方式,可针对各控制栅极层 21A、21B 执行 1 位数据的存储。于 1 个存储体单元依据 2 个地址识别出来,可执行用以将 2 个 1 位数据予以存储的第 2 多值存储动作。

[0154] 无须根据写入数据值来变更用以施加至控制栅极层 21A、21B 的写入电压,并能以 1 次的写入动作执行多值存储。

[0155] 在本实施形态的存储体单元的写入动作、读出动作、消除动作的各动作中,将揭示的主要方法中施加于存储体单元晶体管各电极的电压条件汇整起来,便如图 23 所示。在此,第 1 电压至第 17 电压是在写入动作、读出动作、消除动作中,施加于存储体单元晶体管各电极的电压的一例。

[0156] 另外,本发明并非限定于所述实施形态者,在未脱离本发明主旨的范围内能够进行各种的改良、变形。

[0157] 例如在本实施形态,虽以于存储体单元具备 2 个控制栅极层的情形为例进行说明,但本发明并非限定于此。也可能于各存储体单元具备 3 个以上的控制栅极层。

[0158] 所述情形,在执行第 1 多值存储动作的情形,于存储体单元中,需于被扩散层夹着的沟道区域上沿着沟道长度方向或沟道宽度方向配置 1 行控制栅极层。此为根据朝向控制栅极层的偏压施加而进行电荷蓄积的电荷蓄积层的区域,依据沿着沟道区域上的沟道长度方向或沟道宽度方向而变化,因此有必须使读出动作的电流变化。并且,以第 1 多值存储动作写入的情形,例如控制栅极层为 3 个,以写入对象的任 1 个控制栅极层作为“一方的控制栅极”而给予所述第 1 电压,以非写入对象的 2 个控制栅极层作为“另一方的控制栅极”而给予比所述第 1 电压低的所述第 5 电压。

[0159] 此外,在执行第 2 多值存储动作的情形,有必要将沿着沟道长度方向以 2 个 1 组配置的控制栅极层作为具备多阵列的构成。在各组,将任一者一方的控制栅极层作为辅助栅极,一面将电荷加速一面根据朝另一方的控制栅极层的写入电压,而能于另一方的控制栅

极层下的电荷蓄积层执行电荷的注入。

[0160] 有关在实施形态的写入动作以及消除动作,虽然说明有关针对电荷蓄积层将电荷注入/放出的情形,但本发明并非限定于此。亦可为将热空穴注入至电荷蓄积层的写入/消除方法。此外,在电荷蓄积层和扩散层间,也能通过所谓带间穿隧电流(inter-band tunnel current)执行写入。

[0161] 此外,使作为基本原理的图1的原理构造进一步发展,也可将单元尺寸缩小。图24所示的剖面图,显示于本发明的非易失性存储装置所具备的存储体单元发展型的原理构造。所述原理构造是在以扩散层13A、13B夹着的沟道区域上,依序层叠第1绝缘层15、电荷蓄积层17、第2绝缘层19,并在第2绝缘层19上将控制栅极层21A、21B以一部分重叠的方式分离配置于沟道长度方向。

[0162] 所述原理构造的特征为具有离性电荷捕获的电荷蓄积层17配置成和图1的原理构造相同,将2个控制栅极层21A、21B一部分重叠配置,且在一部分重叠的部分间配置有绝缘层。

[0163] 由于能去除在图1原理构造所具备的缝隙G1,并将一部分重叠配置,藉此能将具有所述1.5F间隔的一对扩散层13A、13B间隔大幅地变狭窄,因此不仅达到单元尺寸的缩小,还能提升能使沟道阻抗减低等的写入动作或读出动作时的电性特性。

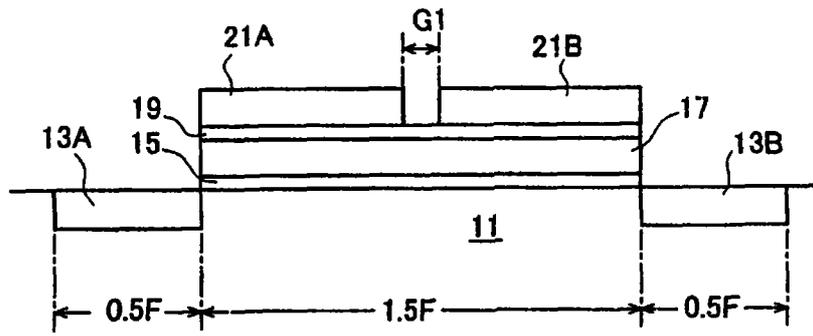


图 1

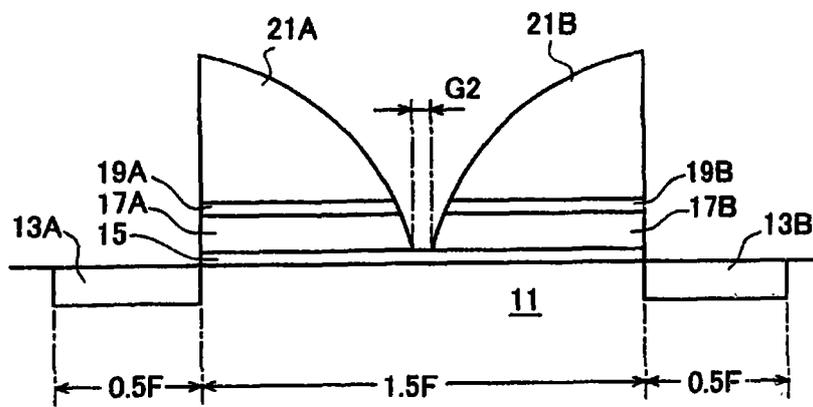


图 2

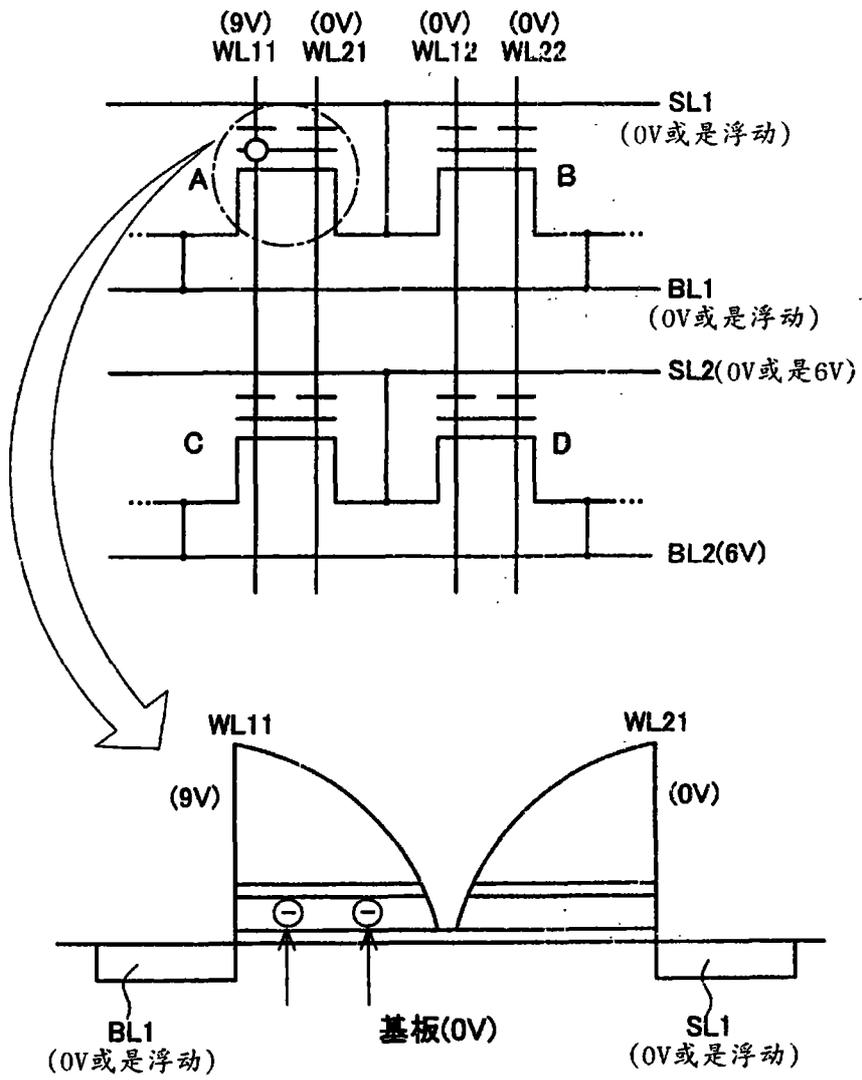


图 3

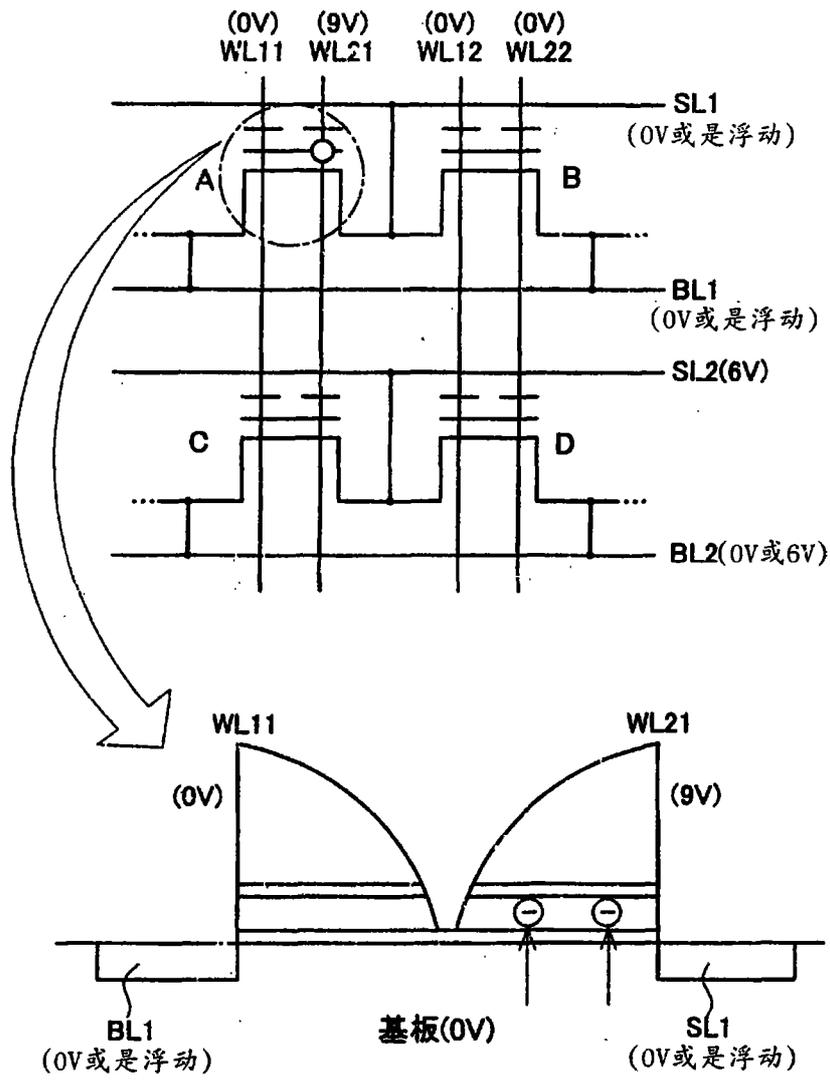


图 4

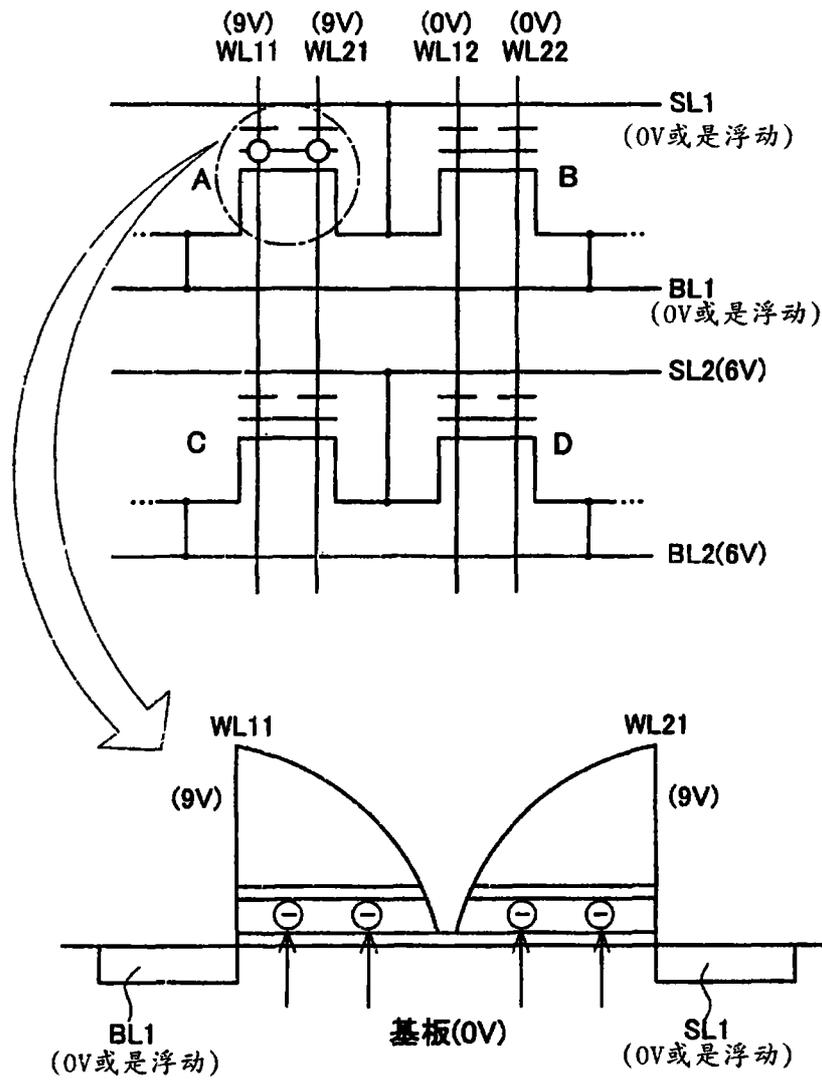


图 5

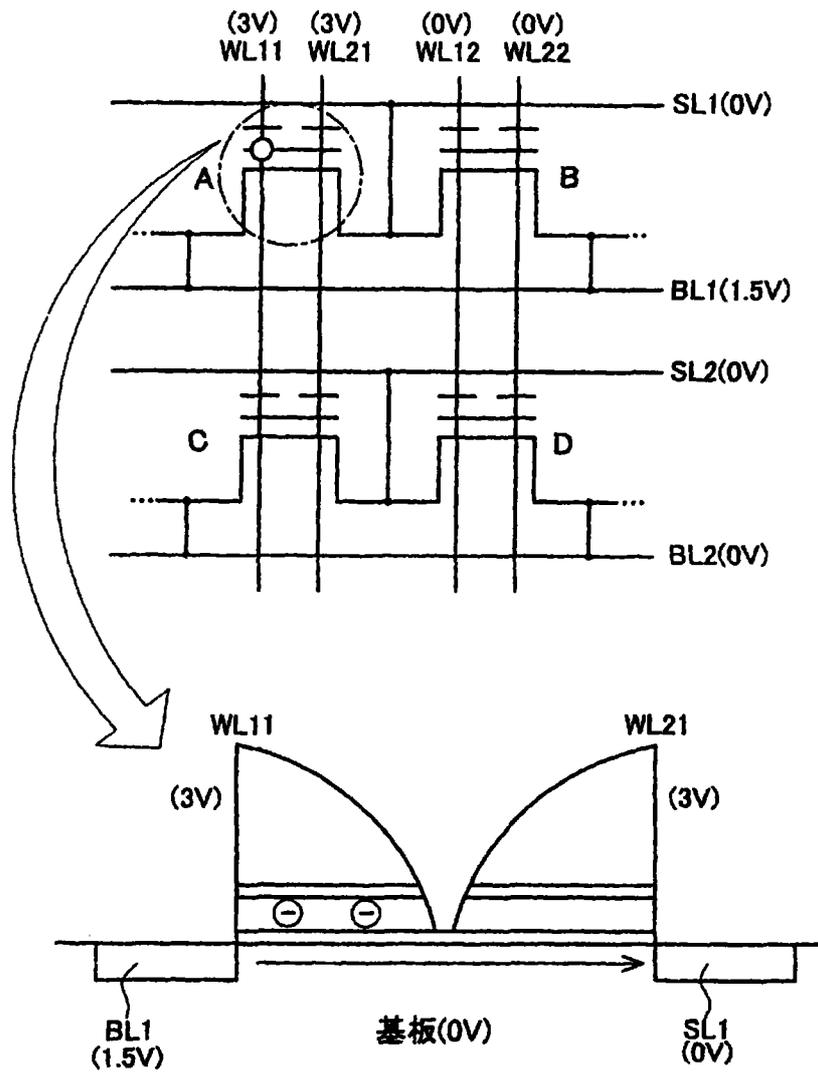


图 6

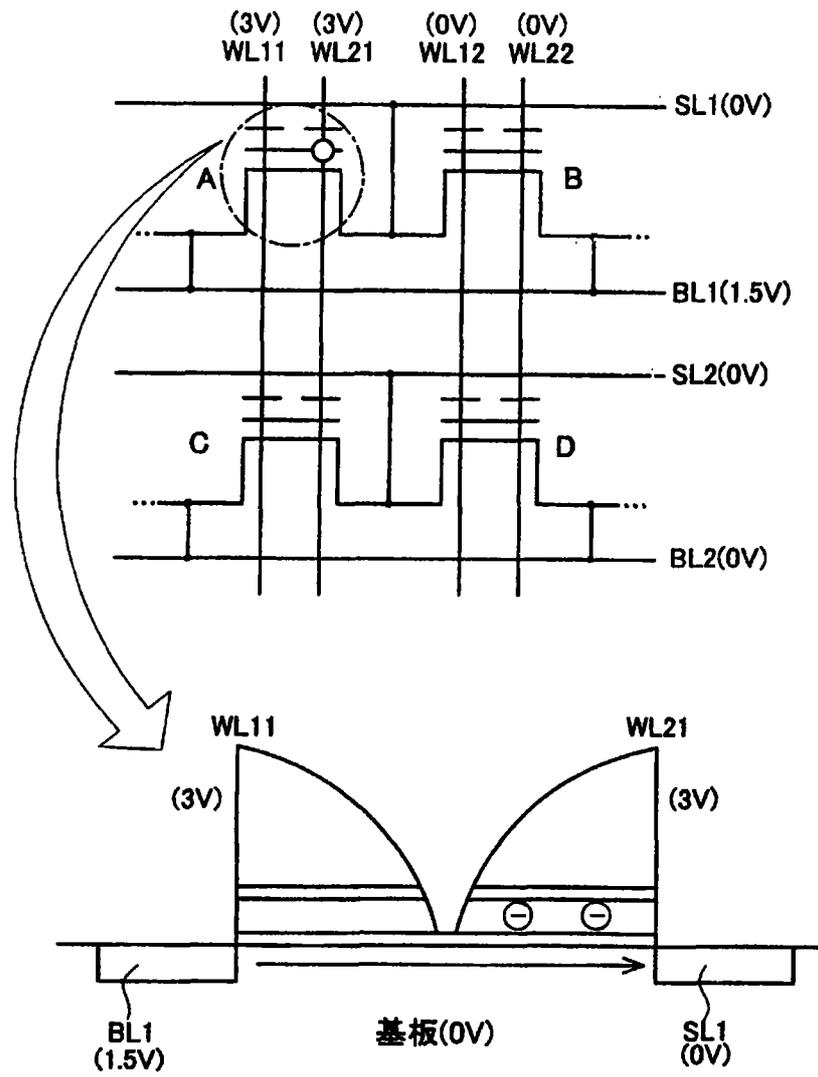


图 7

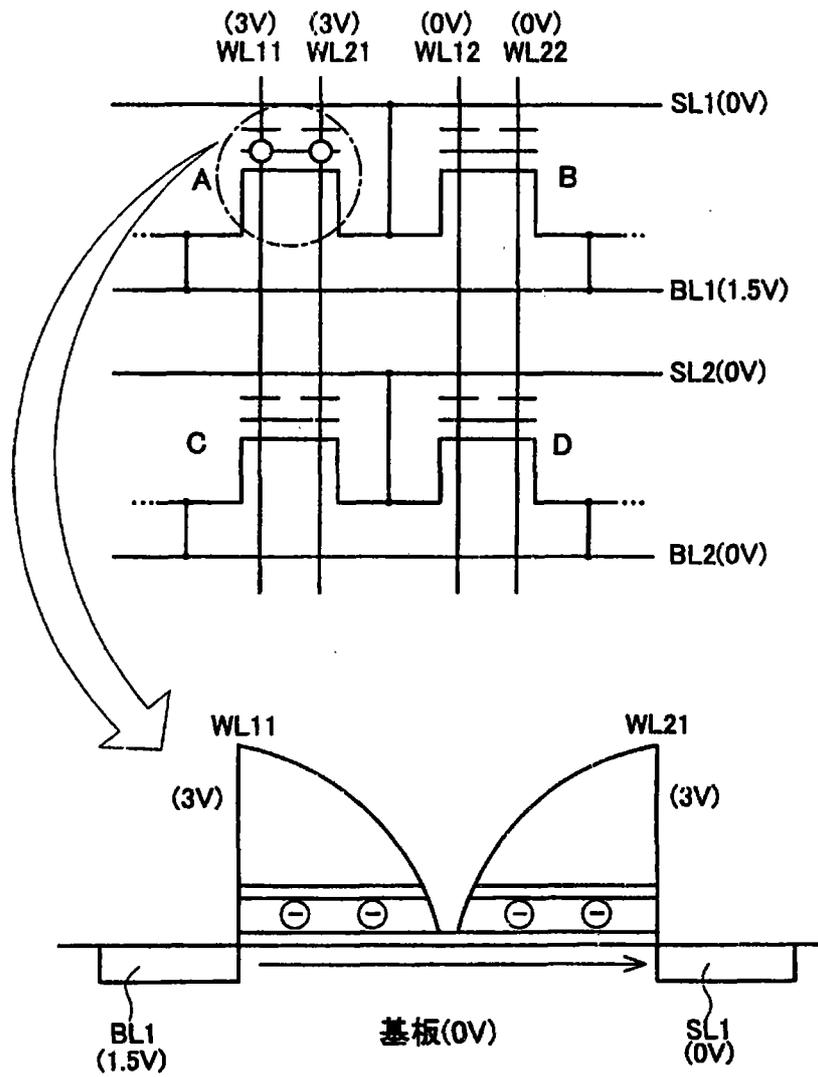


图 8

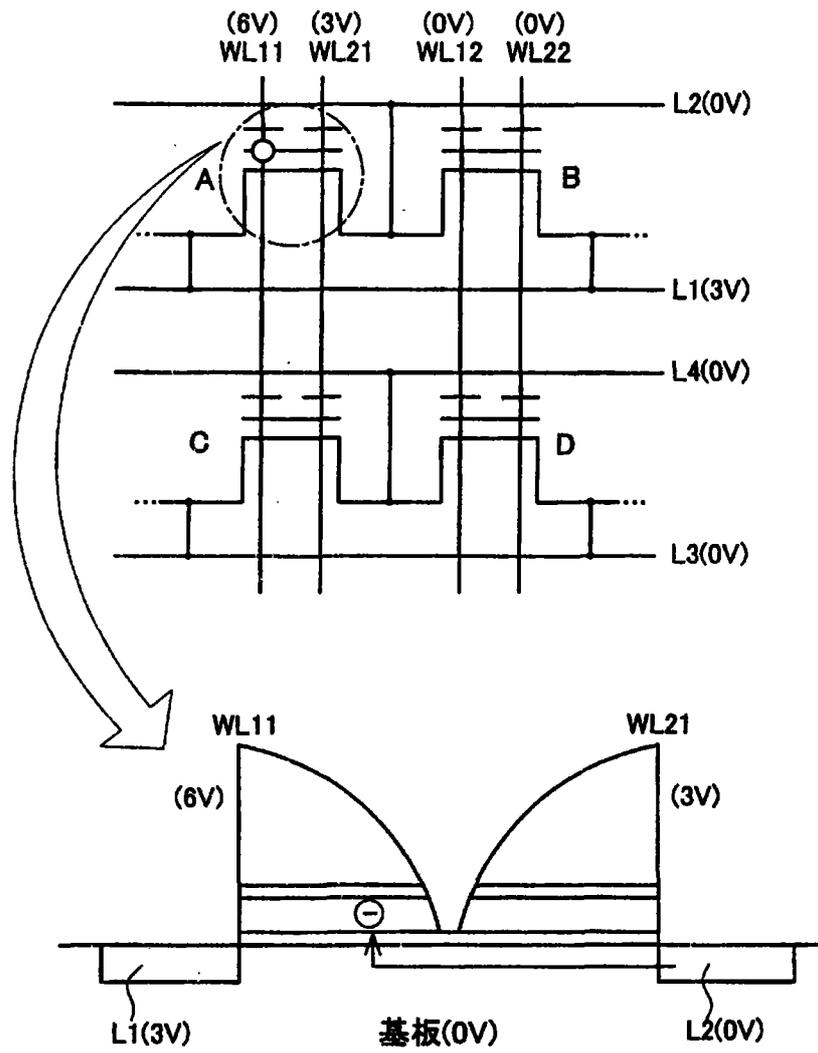


图 9

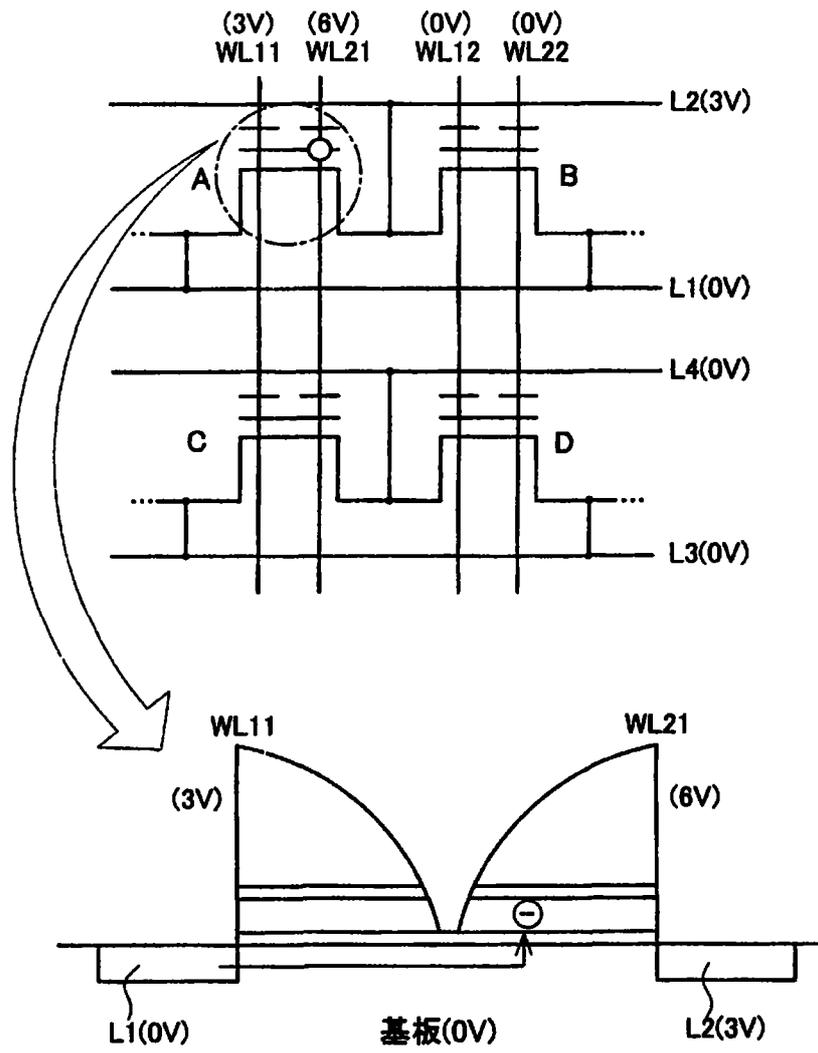


图 10

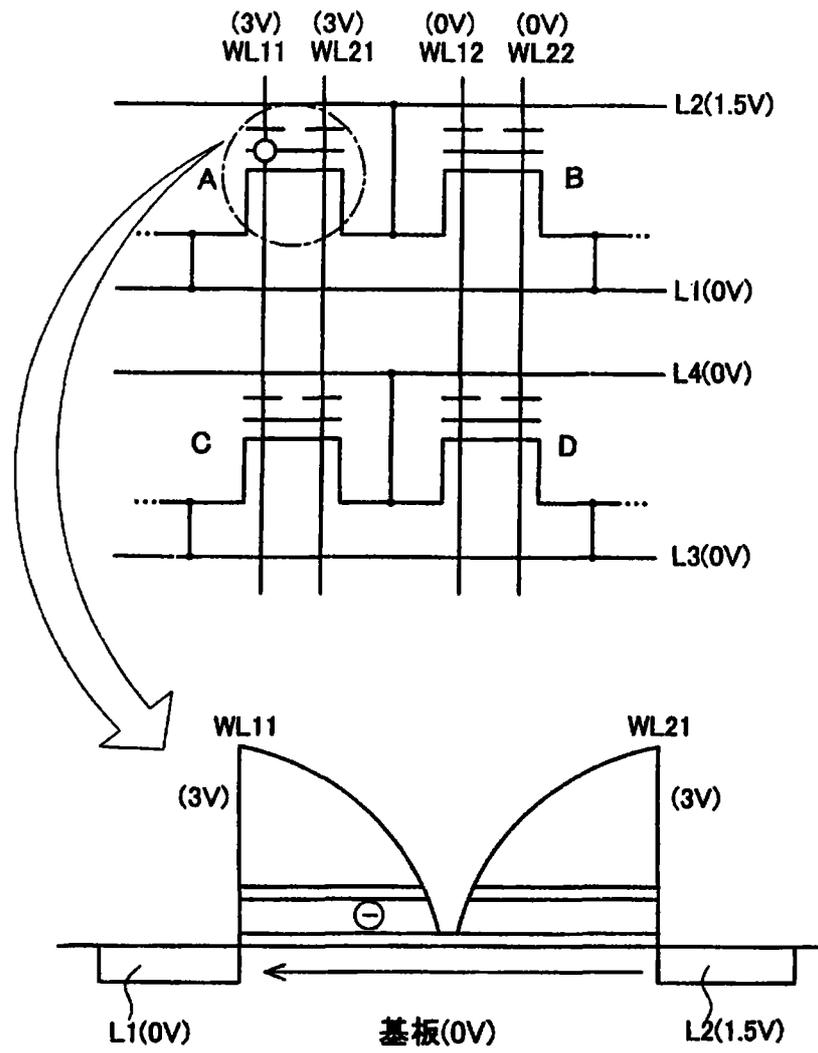


图 11

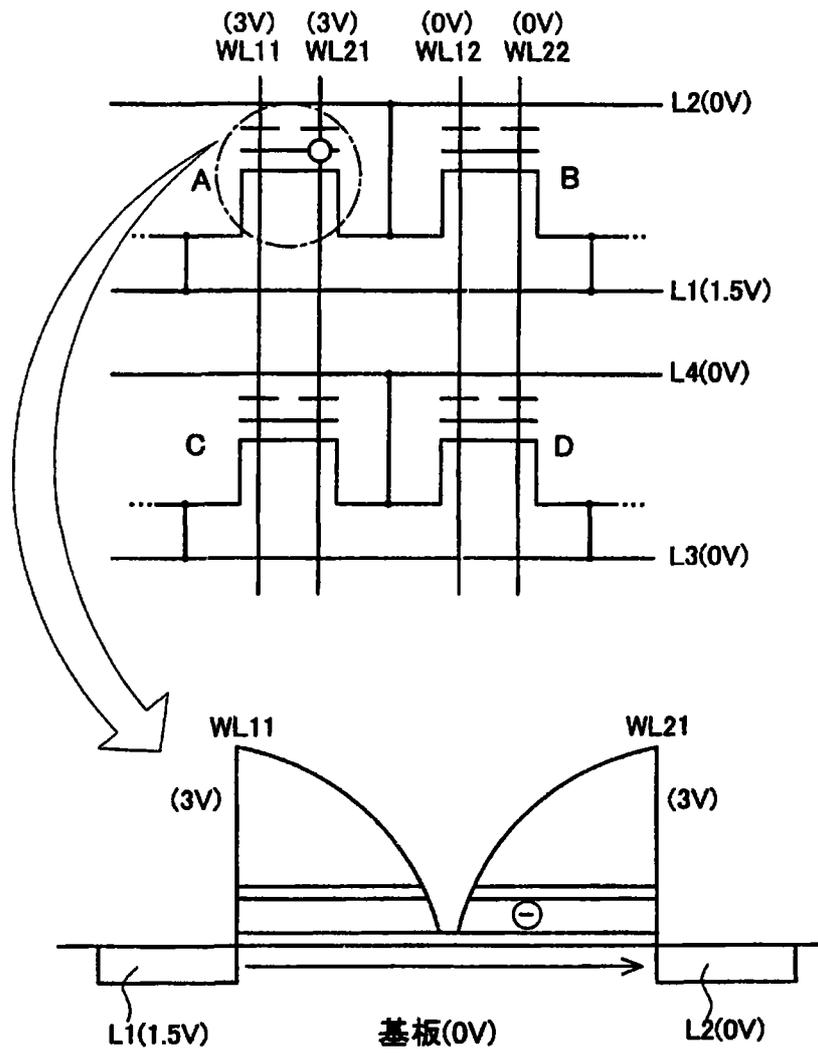


图 12

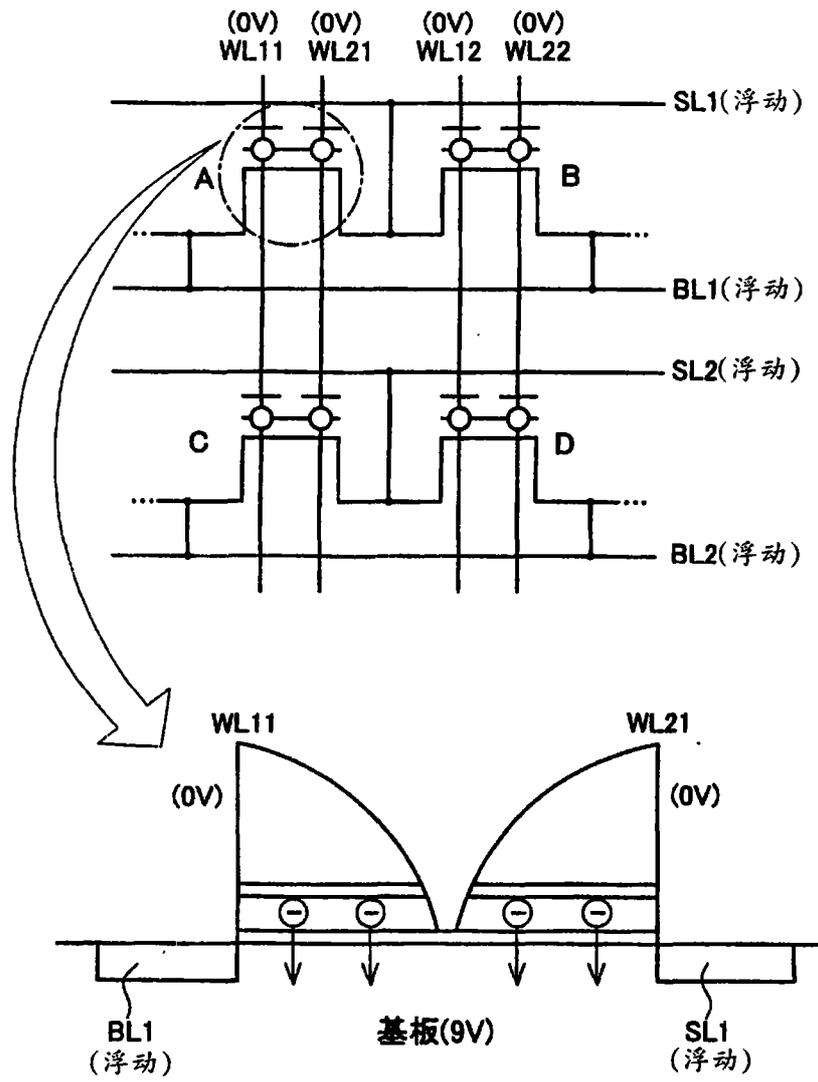


图 13

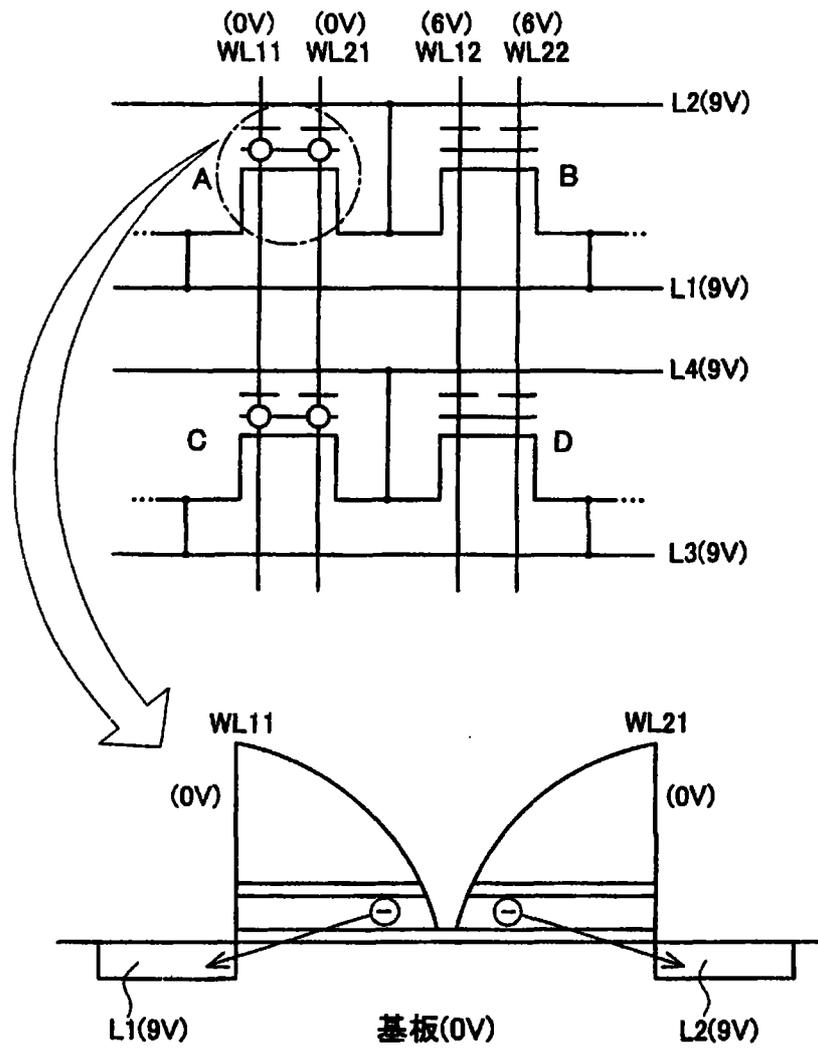
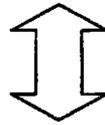
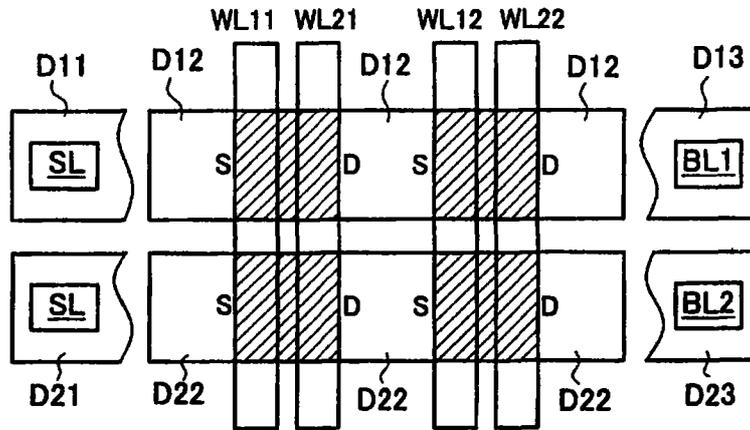


图 14

(布局图)



(等效电路)

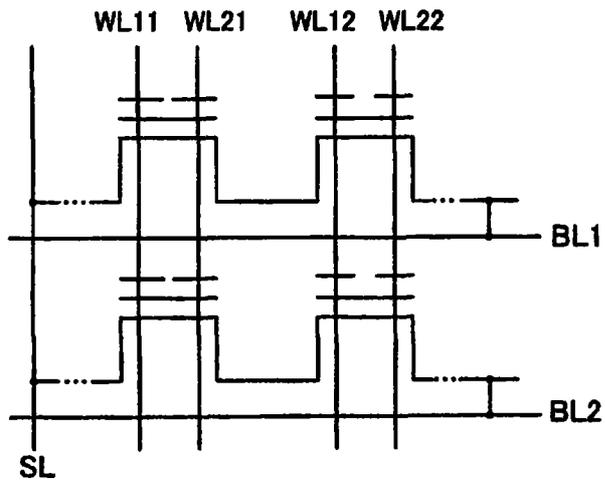
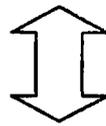
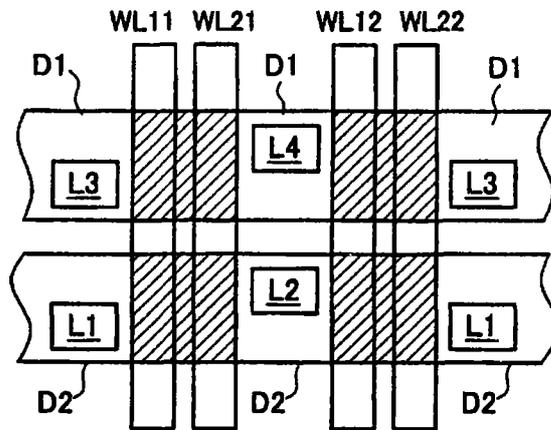


图 15

(布局图)



(等效电路)

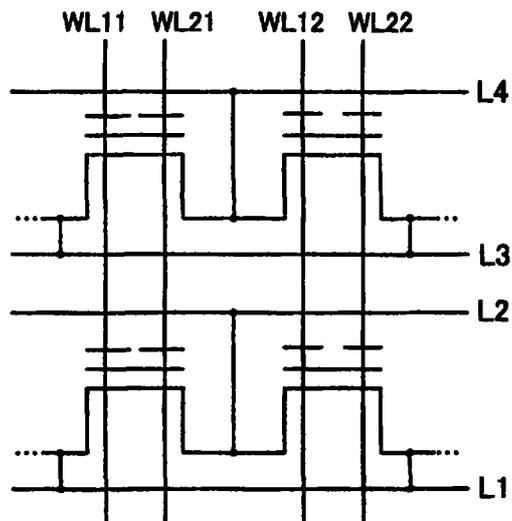


图 16

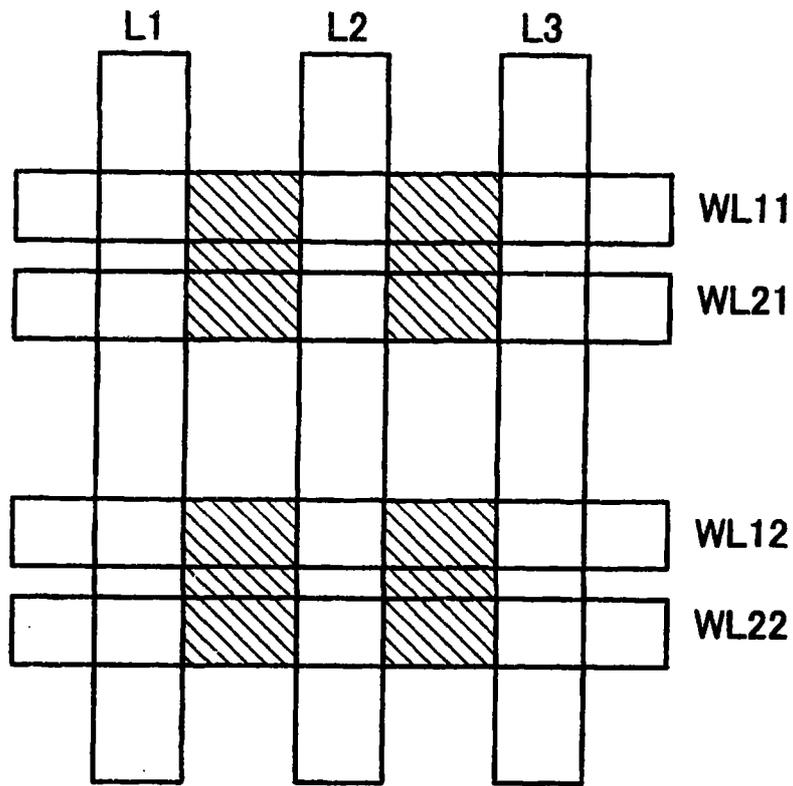


图 17

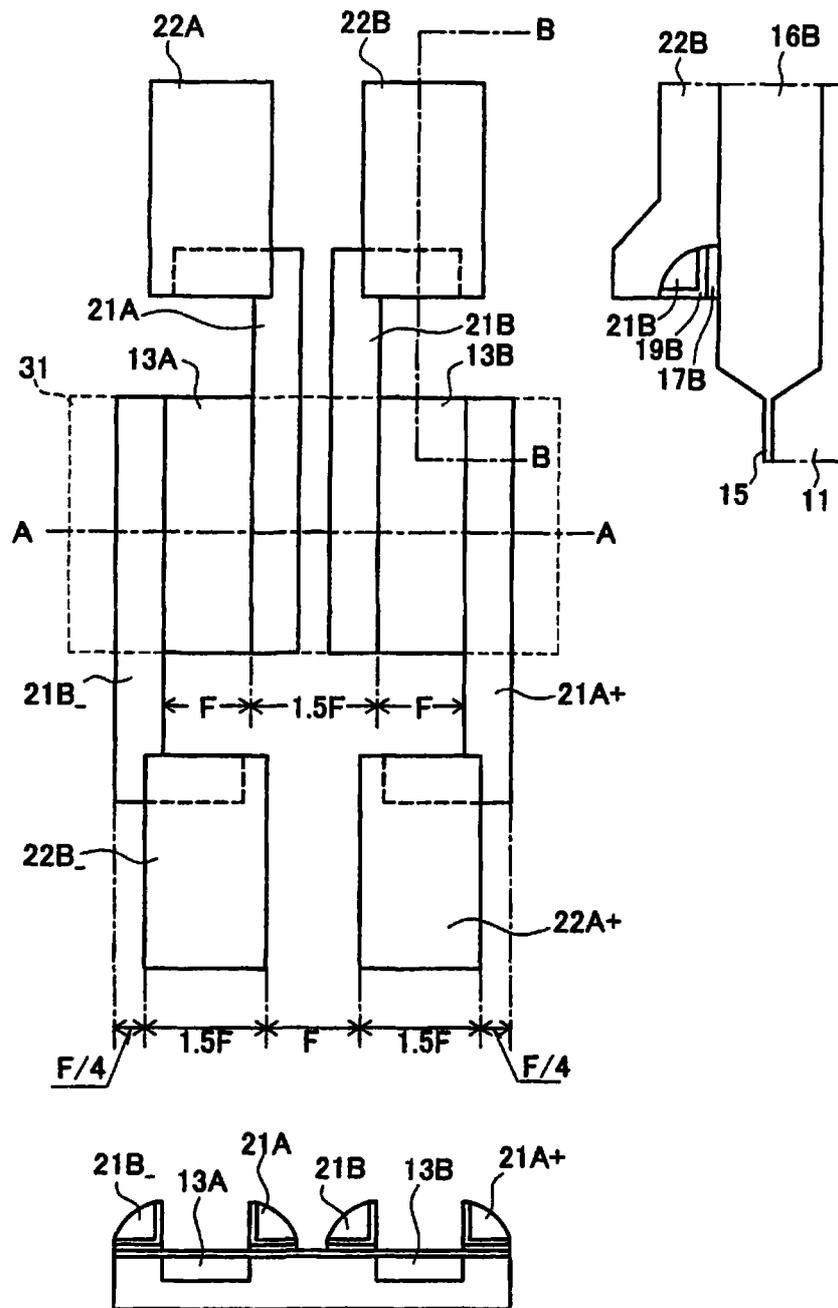


图 18

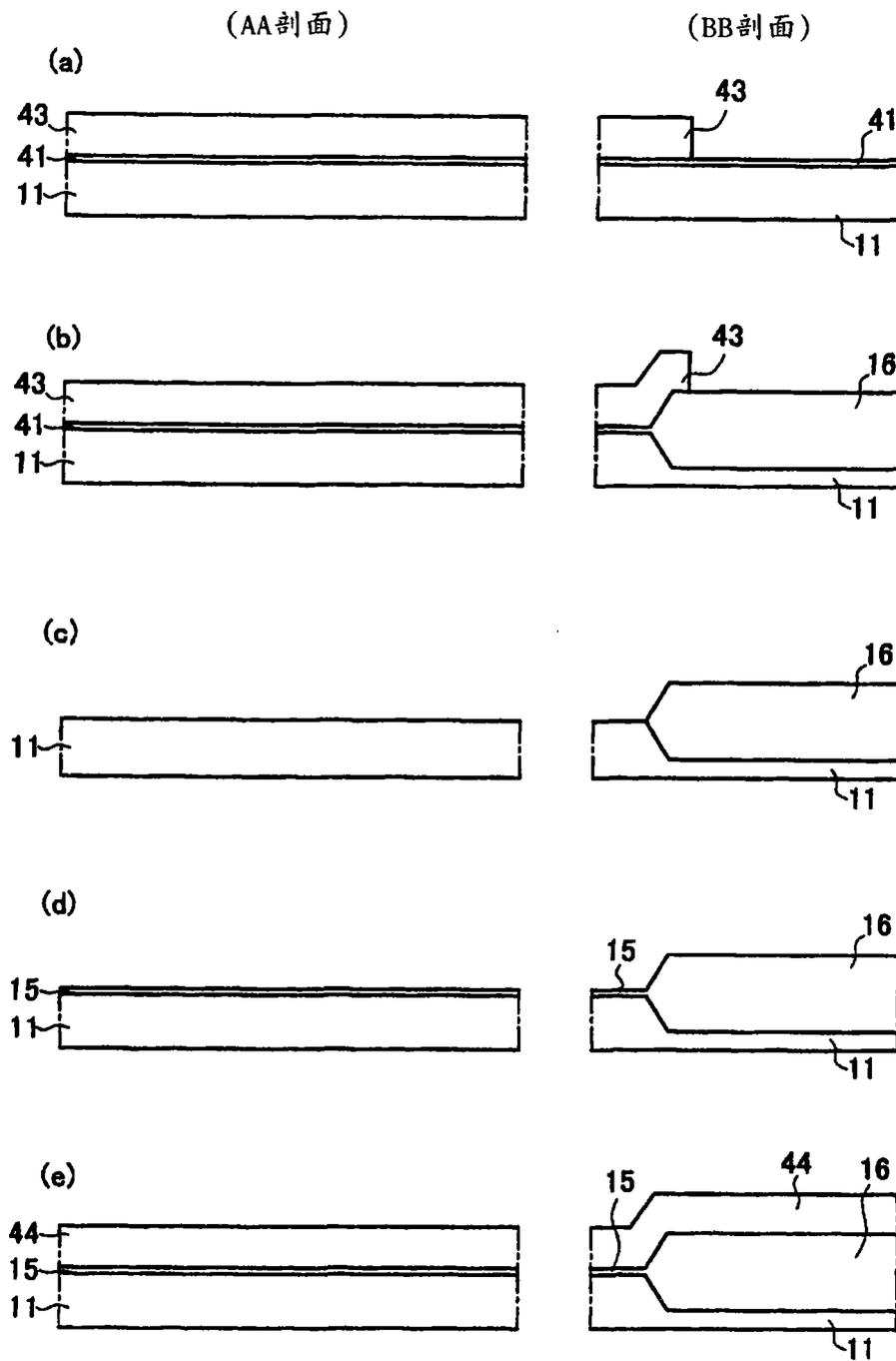


图 19

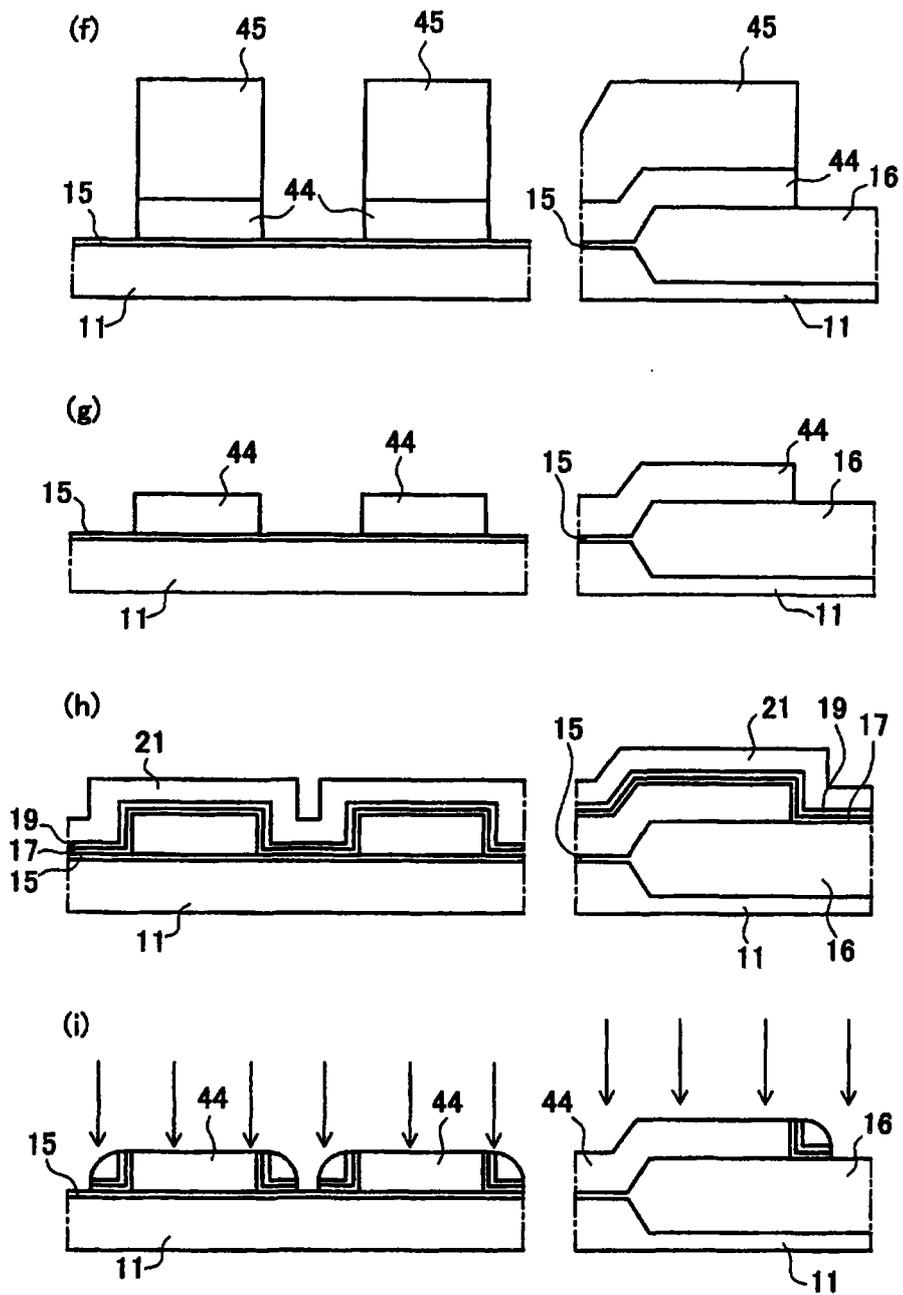


图 20

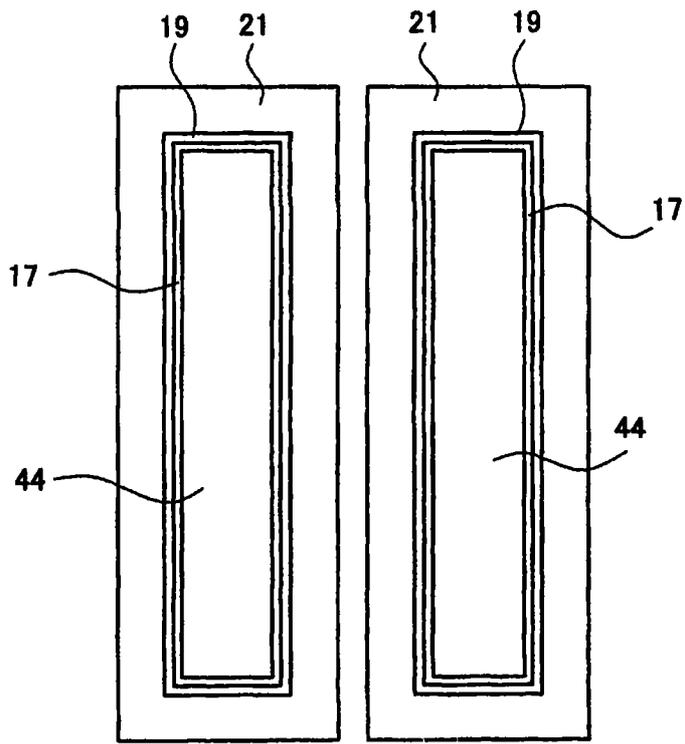


图 21

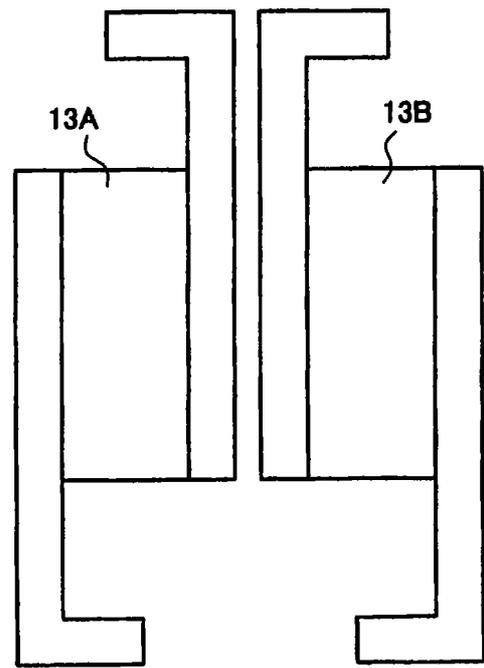


图 22

	物件栅极	非物件栅极	源极	漏极	基板
第1多值存储的写入动作	第1电压(9V)	第2电压(0V)	第3电压(0V)或是浮动	第4电压(0V)或是浮动	第5电压(0V)
第2多值存储的写入动作	第9电压(6V)	第10电压(3V)	第7电压(0V)	第11电压(3V) $\times 1$	第5电压(0V)
第1多值存储的读出动作	第6电压(3V)	第6电压(3V)	第7电压(0V)	第8电压(1.5V)	第5电压(0V)
第2多值存储的读出动作	第6电压(3V)	第6电压(3V)	第7电压(0V) $\times 2$	第8电压(1.5V)	第5电压(0V)
※1:相邻於写入物件的电荷蓄积层的扩散层					
※2:相邻於读出物件的电荷蓄积层的扩散层					
晶片或磁区总括消除动作	选择栅极	选择栅极	源极	漏极	基板
	第12电压(0V)	第12电压(0V)	第13电压(浮动或是第14电压)	第13电压(浮动或是第14电压)	第14电压(9V)
单侧页或1位元消除动作	选择栅极	非选择栅极	源极	漏极	基板
	第15电压(0V)	第16电压(6V)	第17电压(9V)	第17电压(9V)	第5电压(0V)
两侧页同时消除动作	选择栅极	选择栅极	源极	漏极	基板
	第15电压(0V)	第15电压(0V)	第17电压(9V)	第17电压(9V)	第5电压(0V)

图 23

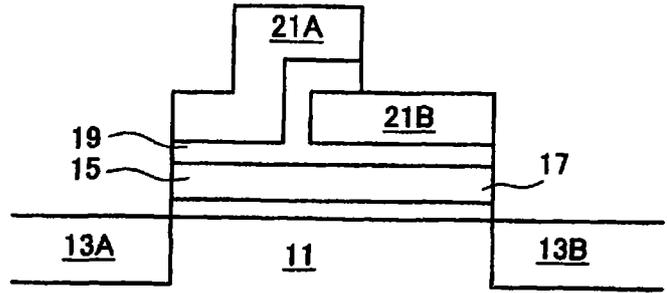


图 24

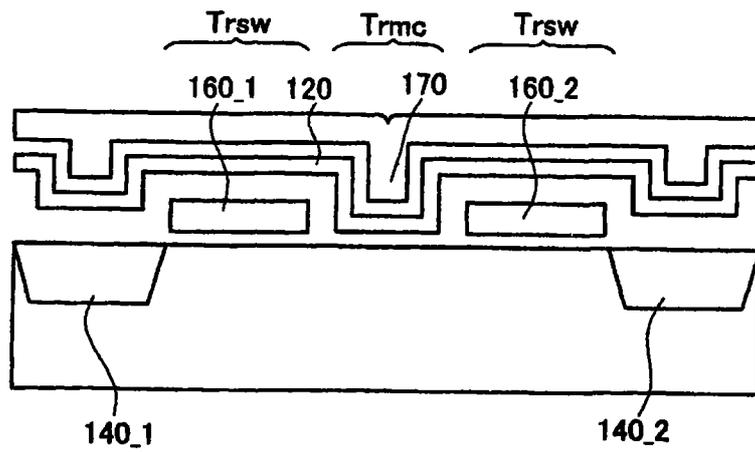


图 25

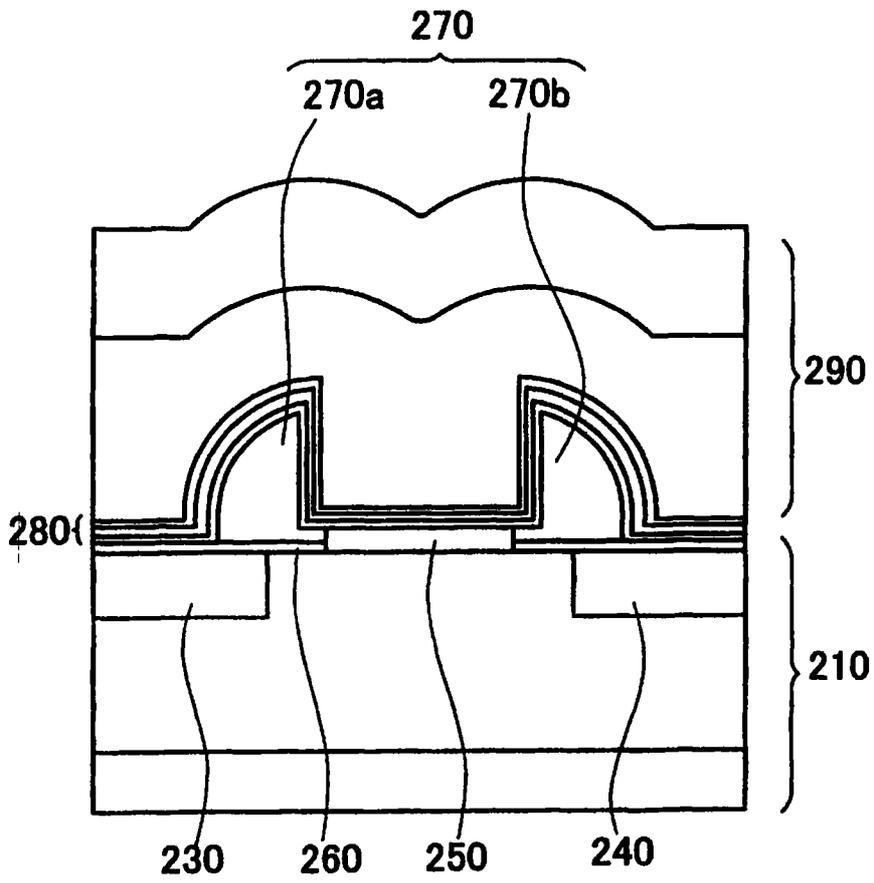


图 26