

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号  
**WO 2012/153375 A1**

- (51) 国際特許分類:  
*H03K 5/26* (2006.01) *H03L 7/085* (2006.01)  
*H03L 7/06* (2006.01)
- (21) 国際出願番号: PCT/JP2011/060584
- (22) 国際出願日: 2011 年 5 月 6 日(06.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): チャイヴィ パーズ ウィン (CHAIVIPAS, Win) [TH/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 松田 篤 (MATSUDA, Atsushi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋 1 丁目 1 7 番 8 号 N B F 池袋シティビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

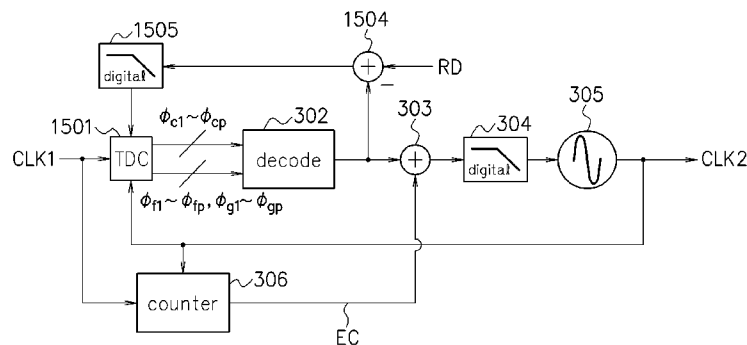
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: CLOCK GENERATION CIRCUIT

(54) 発明の名称: クロック生成回路

[図18]



(57) Abstract: Provided is a clock generation circuit, comprising: a counter (306) which counts pulses of an oscillation clock signal which are present within a first period of a reference clock signal; a first time digital conversion apparatus (1501) which generates a multi-phase first clock signal by delaying the oscillation clock signal; a second time digital conversion apparatus (1501) which generates a multi-phase second clock signal by delaying the oscillation clock signal with a short delay time; a third time digital conversion apparatus (1501) which generates a multi-phase third clock signal by delaying the delayed first clock signal; a delay control unit (1504) which outputs a delay control signal on the basis of the difference between the period of the oscillation clock signal and a target period; and an oscillation apparatus (305) which generates an oscillation clock signal with a period 1/m of the period of the reference clock signal on the basis of the period of the reference clock signal. A delay element within the first time digital conversion apparatus changes the delay time according to the delay control signal.

(57) 要約:

[続葉有]



WO 2012/153375 A1



---

基準クロック信号の1周期内に存在する発振クロック信号のパルス数をカウントするカウンタ（306）と、発振クロック信号を遅延させることにより複数相の第1のクロック信号を生成する第1の時間デジタル変換器（1501）と、短い遅延時間で発振クロック信号を遅延させることにより複数相の第2のクロック信号を生成する第2の時間デジタル変換器（1501）と、遅延させられた第1のクロック信号を遅延させることにより複数相の第3のクロック信号を生成する第3の時間デジタル変換器（1501）と、発振クロック信号の周期と目標周期との差分を基に遅延制御信号を出力する遅延制御部（1504）と、基準クロック信号の周期を基に、基準クロック信号の周期の $1/m$ の周期の発振クロック信号を生成する発振器（305）とを有し、第1の時間デジタル変換器内の遅延素子は、遅延制御信号に応じて遅延時間が変化するクロック生成回路が提供される。

## 明 細 書

**発明の名称：** クロック生成回路

**技術分野**

[0001] 本発明は、クロック生成回路に関する。

**背景技術**

[0002] 図 1 は、多相クロック生成回路の構成例を示す図である。多相クロック生成回路は、位相周波数検出器 101、ローパスフィルタ 102、発振器 103 及び分周器 104 を含む位相ロックループ（PLL：phase-locked loop）回路を有する。位相周波数検出器 101 は、分周器 104 の出力クロック信号と基準クロック信号 CLK との間で位相及び周波数を比較し、その位相の差分を出力する。ローパスフィルタ 102 は、位相周波数検出器 101 が出力する位相の差分を平均化して出力する。発振器 103 は、その差分の平均値が小さくなるように位相調整された複数相のクロック信号  $\phi_1 \sim \phi_p$  を生成して出力する。分周器 104 は、例えばクロック信号  $\phi_1$  を分周し、クロック信号  $\phi_1$  より周波数が低いクロック信号を位相周波数検出器 101 にフィードバック出力する。このフィードバックループ処理により、クロック信号  $\phi_1$  は、基準クロック信号 CLK と同じ位相にやがて収束してロックする。

[0003] 図 1 の多相クロック生成回路は、システムが簡単であり、消費電力が小さい利点がある。しかし、図 1 の多相クロック生成回路は、発振器 103 がリング発振器であるため、ノイズ特性が低下し、高い周波数で発振できない欠点がある。また、図 1 の多相クロック生成回路は、ノイズと周波数の問題を解決するため、複数のインダクタを利用して発振器 103 を作ることが可能だが、面積が膨大になり、コストが高くなる欠点がある。

[0004] 図 2 は、他の多相クロック生成回路の構成例を示す図である。図 2 の多相クロック生成回路は、図 1 の多相クロック生成回路に対して、遅延線 201、位相検出器 202 及びローパスフィルタ 203 を追加したものである。遅

遅延線 201、位相検出器 202 及びローパスフィルタ 203 は、遅延ロックループ（DLL：delay-locked loop）回路を構成する。ここで、発振器 103 は、単相のクロック信号を分周器 104、遅延線 201 及び位相検出器 202 に出力する。遅延線 201 は、発振器 103 の出力クロック信号を遅延させることにより複数相のクロック信号  $\phi_1 \sim \phi_p$  を出力する。位相検出器 202 は、発振器 103 の出力クロック信号及び例えばクロック信号  $\phi_1$  の位相を比較し、その位相の差分をローパスフィルタ 203 に出力する。ローパスフィルタ 203 は、その位相の差分を平均化し、遅延線 201 に出力する。遅延線 201 は、ローパスフィルタ 203 が出力する位相の差分が小さくなるように位相調整された複数相のクロック信号  $\phi_1 \sim \phi_p$  を生成して出力する。この遅延ロックループ回路の処理により、クロック信号  $\phi_1$  は、基準クロック信号 CLK と同じ位相にやがて収束してロックする。

[0005] 図 2 の多相クロック生成回路は、1 つのインダクタを用いて発振器 103 を構成することにより、位相ロックループ回路のノイズ特性を改善することができる利点がある。しかし、図 2 の多相クロック生成回路は、2 個のローパスフィルタ 102 及び 203 が必要になり、回路面積が膨大になる欠点がある。

[0006] また、粗時間変換装置、第 1 微細時間レジスタ及び第 2 微細時間レジスタを有し、粗時間変換と微細時間変換を組み合わせた時間デジタル変換器が知られている（例えば、特許文献 1 及び特許文献 2 参照）。

## 先行技術文献

### 特許文献

[0007] 特許文献 1：特表 2009-527157 号公報

特許文献 2：特表 2009-527158 号公報

### 発明の概要

### 発明が解決しようとする課題

[0008] 本発明の目的は、複数相のクロック信号を生成することができる高精度及

び／又は小型のクロック生成回路を提供することである。

### 課題を解決するための手段

[0009] クロック生成回路は、基準クロック信号の1周期内に存在する発振クロック信号のパルス数をカウントするカウンタと、複数の第1の遅延素子を用いて前記発振クロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第1のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第1のクロック信号の値を第1のデジタル値として出力する第1の時間デジタル変換器と、前記第1の遅延素子の遅延時間より短い遅延時間の複数の第2の遅延素子を用いて前記発振クロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第2のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第2のクロック信号の値を第2のデジタル値として出力する第2の時間デジタル変換器と、前記第2の遅延素子の遅延時間と同じ遅延時間の複数の第3の遅延素子を用いて、前記複数相の第1の遅延素子により遅延させられた前記第1のクロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第3のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第3のクロック信号の値を第3のデジタル値として出力する第3の時間デジタル変換器と、少なくとも前記第1のデジタル値及び前記第3のデジタル値を基に得られる前記発振クロック信号の周期と目標周期との差分を基に遅延制御信号を出力する遅延制御部と、前記カウンタのカウント数及び前記第1～第3のデジタル値を基に得られる前記基準クロック信号の周期を基に、前記基準クロック信号の周期の $1/m$  ( $m$ は2以上の整数)の周期の前記発振クロック信号を生成する発振器とを有し、前記第1の時間デジタル変換器内の前記複数相の第1の遅延素子は、前記遅延制御部により出力される前記遅延制御信号に応じて遅延時間を変化し、前記第1の時間デジタル変換器は、前記複数相の第1のクロック信号を出力する。

### 発明の効果

[0010] 第1の時間デジタル変換器は、複数相の第1のクロック信号を出力することができる。第1～第3の時間デジタル変換器を設けることにより、デジタル処理が可能になるため、高精度及び／又は小型のクロック生成回路を提供することができる。

### 図面の簡単な説明

[0011] [図1] 図1は、多相クロック生成回路の構成例を示す図である。

[図2] 図2は、他の多相クロック生成回路の構成例を示す図である。

[図3A] 図3Aは、デジタル位相ロックループ回路を用いた多相クロック生成回路の構成例を示す図である。

[図3B] 図3Bは、図3Aの時間デジタル変換器の構成例を示す図である。

[図4] 図4は、多相クロック信号の例を示すタイミングチャートである。

[図5] 図5は、多相クロック生成回路の動作例を説明するためのタイミングチャートである。

[図6A] 図6Aは、単位遅延量が比較的小さい場合の発振クロック信号の分解能を示す図である。

[図6B] 図6Bは、単位遅延量が比較的大きい場合の発振クロック信号の分解能を示す図である。

[図7A] 図7Aは、16相のクロック信号が生成される例を示す図である。

[図7B] 図7Bは、18相のクロック信号が生成される例を示す図である。

[図8A] 図8Aは、2ステージ時間デジタル変換器を用いた多相クロック生成回路の構成例を示す図である。

[図8B] 図8Bは、図8Aの多相クロック生成回路の動作を説明するための図である。

[図9A] 図9Aは、時間デジタル変換器の構成例を示すブロック図である。

[図9B] 図9Bは、時間デジタル変換器の構成例を示すブロック図である。

[図9C] 図9Cは、時間デジタル変換器の動作例を説明するためのタイムチャートである。

[図10A] 図10Aは、図9Bの可変遅延素子の構成例を示す図である。

[図10B]図10Bは、図9Bの可変遅延素子の他の構成例を示す図である。

[図10C]図10Cは、図9Bの可変遅延素子の他の構成例を示す図である。

[図10D]図10Dは、図9Bの可変遅延素子の他の構成例を示す図である。

[図11A]図11Aは、図9Aのキャリブレーション回路の遅延時間制御を説明するための図である。

[図11B]図11Bは、図9Aのキャリブレーション回路の遅延時間制御を説明するための図である。

[図12]図12は、キャリブレーション回路のキャリブレーション後の状態を示すタイムチャートである。

[図13]図13は、キャリブレーション回路のキャリブレーション後の状態を示すタイムチャートである。

[図14A]図14Aは、微細時間デジタル変換器を粗時間デジタル変換器に正規化するための回路の構成例を示す図である。

[図14B]図14Bは、微細時間デジタル変換器を粗時間デジタル変換器に正規化するための回路の他の構成例を示す図である。

[図15A]図15Aは、第2の実施形態による多相クロック生成回路の構成例を示す図である。

[図15B]図15Bは、オフセットロックを説明するための図である。

[図16A]図16Aは、位相ロックループ回路のロック状態の収束例を示す図である。

[図16B]図16Bは、位相ロックループ回路のロック状態の収束例を示す図である。

[図17A]図17Aは、第3の実施形態による多相クロック生成回路の構成例を示す図である。

[図17B]オフセット位相加算後の発振クロック信号を示すタイムチャートである。

[図18]図18は、第1の実施形態による多相クロック生成回路の構成例を示す図である。

[図19] 図 19 は、第 4 の実施形態による多相クロック生成回路の構成例を示す図である。

[図20] 図 20 は、第 5 の実施形態による多相クロック生成回路の構成例を示す図である。

[図21] 図 21 は、第 6 の実施形態による多相クロック生成回路の構成例を示す図である。

### 発明を実施するための形態

#### [0012] (第 1 の実施形態)

図 3 A はデジタル位相ロックループ回路を用いた多相クロック生成回路の構成例を示す図であり、図 5 は多相クロック生成回路の動作例を説明するためのタイミングチャートである。カウンタ 306 は、基準クロック信号 CLK 1 の 1 周期内に存在する発振クロック信号 CLK 2 のパルス数 EC をカウントする。例えば、カウンタ 306 は、基準クロック信号 CLK 1 の 1 周期内に存在する発振クロック信号 CLK 2 の立ち上がりエッジ数をカウントすることにより、パルス数 EC をカウントする。例えば、図 5 の場合、パルス数 EC は「8」である。時間デジタル変換器 (TDC) 301 は、基準クロック信号 CLK 1 及び発振クロック信号 CLK 2 を入力し、複数相のクロック信号  $\phi\beta_1 \sim \phi\beta_p$  を生成する。

[0013] 図 3 B は図 3 A の時間デジタル変換器 301 の構成例を示す図であり、図 4 は多相クロック信号  $\phi\beta_1 \sim \phi\beta_p$  の例を示すタイミングチャートである。ここでは、p が 12 の例を示す。複数の遅延素子 311 ~ 313 等の直列接続回路は、発振クロック信号 CLK 2 を順次遅延させる。遅延素子 311 ~ 313 等は、それぞれ、入力信号を遅延させて出力する。クロック信号  $\phi\beta_1$  は、発振クロック信号 CLK 2 と同じ信号である。クロック信号  $\phi\beta_2$  は、遅延素子 311 の出力信号である。クロック信号  $\phi\beta_3$  は、遅延素子 312 の出力信号である。クロック信号  $\phi\beta_1 \sim \phi\beta_{12}$  の各位相差は、遅延素子 311 ~ 313 等の各遅延時間に対応する。遅延素子 311 ~ 313 等の各々は、遅延時間が同じである。このようにして、時間デジタル変換器 3

01は、例えば12相のクロック信号 $\phi\beta 1 \sim \phi\beta 12$ を生成することができる。D型フリップフロップ321~323等は、基準クロック信号CLK1の立ち上がりエッジの時点420で、クロック信号 $\phi\beta 1 \sim \phi\beta 12$ の値をラッチし、2値のデジタル値をQ端子から出力する。例えば、D型フリップフロップ321は、基準クロック信号CLK1の立ち上がりエッジの時点420で、クロック信号 $\phi\beta 1$ の値をラッチし、「1」のデジタル値をQ端子から出力する。これにより、例えば、D型フリップフロップ321~323等のQ端子は、図4に示すように、「111000000111」のデジタル値421を出力する。変化点422は、デジタル値421が「0」から「1」に変化する点である。この変化点422は、発振クロック信号CLK2の基準クロック信号CLK1に対する位相差である。図3Aのデコーダ302が変化点422に対応する位相差を検出する。

[0014] 図5において、発振クロック信号CLK2は、例えば0~24の単位遅延量の分解能で表すことができる。0~24の単位遅延量は、24個の遅延素子311~313等に対応し、単位遅延量の「1」は、1個の遅延素子の遅延時間に相当する。発振クロック信号CLK2の立ち上がりエッジは、量子化誤差により単位遅延量「3」として検出される。これに対応する位相差PE1は、図4の変化点422の位相差に対応し、発振クロック信号CLK2の基準クロック信号CLK1に対する位相差を表す。このようにして、デコーダ302は、基準クロック信号CLK1の1回目の立ち上がりエッジに対する発振クロック信号CLK2の立ち上がりエッジの位相差PE1を検出し、同様に、基準クロック信号CLK1の2回目の立ち上がりエッジに対する発振クロック信号CLK2の立ち上がりエッジの位相差PE2を検出する。

[0015] 量子化誤差のため、発振クロック信号CLK2は、1回目の立ち上がりエッジが単位遅延量「3」として検出され、2回目の立ち上がりエッジが単位遅延量「16」として検出される。したがって、発振クロック信号CLK2の周期 $T_v$ は、 $16 - 3 = 13$ の単位遅延量となる。

[0016] 基準クロック信号CLK1は、タイミング $t_2$ の立ち上がりエッジから次

のタイミング  $t_2$  の立ち上がりエッジまでの周期  $T_{ref}$  を有する。パルス数  $EC$  は、量子化誤差を含み、最大、タイミング  $t_1$  から次のタイミング  $t_1$  までの間の発振クロック信号  $CLK_2$  のパルス数である。

[0017] 次に、基準クロック信号  $CLK_1$  の周期  $T_{ref}$  の検出方法を説明する。周期  $T_{ref}$  は、パルス数  $EC$ 、位相差  $PF_1$  及び  $PF_2$  を基に次式 (1) で表される。

$$T_{ref} = EC - PF_1 + PF_2 \quad \dots (1)$$

[0018] ここで、位相差  $PF_1$  は、発振クロック信号の周期  $T_v$  及び位相差異  $PE_1$  を基に次式 (2) で表される。

$$PF_1 = T_v - PE_1 \quad \dots (2)$$

[0019] また、位相差  $PF_2$  は、発振クロック信号の周期  $T_v$  及び位相差異  $PE_2$  を基に次式 (3) で表される。

$$PF_2 = T_v - PE_2 \quad \dots (3)$$

[0020] 周期  $T_v$  は、上記のように例えば単位遅延量「13」である。また、位相差  $PE_1$  は、例えば単位遅延量「3」である。位相差  $PE_1$  を周期  $T_v$  の比率に正規化すると、位相差  $PE_1$  は単位遅延量「 $3/13$ 」で表される。同様に、位相差  $PE_2$  の正規化も行われる。デコーダ 302 及び加算器 303 は、正規化後に、上式 (1) により基準クロック信号  $CLK_1$  の周期  $T_{ref}$  を演算する。加算器 303 は、基準クロック信号  $CLK_1$  の周期  $T_{ref}$  を第1のローパスフィルタ 304 に出力する。第1のローパスフィルタ 304 は、基準クロック信号  $CLK_1$  の周期  $T_{ref}$  をデジタルのローパスフィルタリングにより平均化して出力する。発振器 305 は、第1のローパスフィルタ 304 が出力する基準クロック信号  $CLK_1$  の周期  $T_{ref}$  を基に、基準クロック信号  $CLK_1$  の周期  $T_{ref}$  の  $1/m$  ( $m$  は2以上の整数) の周期の発振クロック信号  $CLK_2$  を生成し、カウンタ 306 及び時間デジタル変換器 301 にフィードバック出力する。このフィードバック回路は、位相ロックループ回路である。発振クロック信号  $CLK_2$  及び基準クロック信号  $CLK_1$  の位相差は0に近づき、その位相差は0付近に収束する。すなわ

ち、例えばクロック信号 $\phi\beta 1$ は、基準クロック信号CLK1の位相に同期した状態でロックする。多相クロック生成回路は、基準クロック信号CLK1の位相に同期した複数相のクロック信号 $\phi\beta 1 \sim \phi\beta p$ を出力することができる。時間デジタル変換器301を用いることにより、その後段のデコーダ302、加算器303及び第1のローパスフィルタ304をデジタル回路で構成することができるので、多相クロック生成回路を小型化し、低消費電力化することができる。

[0021] 図6Aは単位遅延量が比較的小さい場合の発振クロック信号CLK2の分解能を示す図であり、図6Bは単位遅延量が比較的大きい場合の発振クロック信号CLK2の分解能を示す図である。単位遅延量「1」の大きさは、図3Bの遅延素子311等の遅延時間により決まる。遅延素子311等は、プロセス条件、電圧及び／又は温度に依存して遅延時間が動的に変化する。したがって、図6Aのように単位遅延量「1」の大きさが比較的小さい場合と、図6Bのように単位遅延量「1」の大きさが比較的大きい場合とが存在する。図6A及び図6Bは、同じ発振クロック信号CLK2の基準クロック信号CLK1に対する位相差を検出する様子を示す。図6A及び図6Bの両方において、位相差は単位遅延量「1」として検出される。しかし、図6Bの量子化誤差611は、図6Bの量子化誤差601より大きくなり、性能を劣化させる。分解能を上げた方がよいが、分解能と消費電力、面積はトレードオフの関係にあるため、出力クロック信号 $\phi\beta 1 \sim \phi\beta p$ の相数を任意に設定できない。また、遅延素子311等の遅延時間はプロセス、温度及び／又は電圧に依存するため、位相ロックループ回路でロックされる相数は条件により変わる。

[0022] 図7Aは16相のクロック信号 $\phi\beta 1 \sim \phi\beta 16$ が生成される例を示す図であり、図7Bは18相のクロック信号 $\phi\beta 1 \sim \phi\beta 18$ が生成される例を示す図である。上記のように、出力クロック信号 $\phi\beta 1 \sim \phi\beta p$ の相数は、条件により変わるため、所望の相数が得られないという課題がある。

[0023] また、精度をBビットとすると、遅延素子311等の段数は $2^B$ になるため

、精度を上げると遅延素子 3 1 1 等の段数は急激に増える。この場合、分解能を 1 ビット増やすと、遅延素子 3 1 1 等の段数が 2 倍増える。消費電力と面積も共に 2 倍増える。また、正規化するためには、割り算器が必要になり、面積及び消費電力が増大する。次に、上記の課題を解決するための多相クロック生成回路を説明する。

[0024] 図 8 A は 2 ステージ時間デジタル変換器を用いた多相クロック生成回路の構成例を示す図であり、図 8 B はその動作を説明するための図である。時間デジタル変換器は、粗時間デジタル変換器 8 0 1 及び微細時間デジタル変換器 8 0 3 の 2 ステージを有する。粗時間デジタル変換器 8 0 1 は、図 3 B と同様の構成を有し、遅延素子 3 1 1 ~ 3 1 3 等の遅延時間が比較的長いため、単位遅延量「1」の大きさが大きい低分解能で発振クロック信号 5 2 1 の周期 8 2 3 が検出される。

[0025] ステージ（パルス発生器及び遅延補償器）8 0 2 は、粗時間デジタル変換器 8 0 1 と微細時間デジタル変換器 8 0 3 の間に設けられる。遅延回路 8 0 4 は、発振クロック信号 CLK 2 に対して、ステージ 8 0 2 の遅延時間と同じ時間の遅延を行って微細時間デジタル変換器 8 0 3 に出力し、粗時間デジタル変換器 8 0 1 と微細時間デジタル変換器 8 0 3 との間の位相を補償する。微細時間デジタル変換器 8 0 3 は、図 3 B と同様の構成を有し、遅延素子 3 1 1 ~ 3 1 3 等の遅延時間が比較的短いため、単位遅延量「1」の大きさが小さい高分解能で発振クロック信号 8 2 2 の位相差が検出される。例えば、発振クロック信号 8 2 2 において、x は発振クロック信号 8 2 1 の単位遅延量「2」に対応し、y は発振クロック信号 8 2 1 の単位遅延量「3」に対応する。単位遅延量「f 0」~「f 1」の間の位相は、微細時間デジタル変換器 8 0 3 の遅延素子 3 1 1 ~ 3 1 3 等の各遅延時間に相当する。

[0026] 発振クロック信号 8 2 1 において、周期 8 2 3 は、例えば、 $10 - 3 = 7$  の単位遅延量である。したがって、発振クロック信号 CLK 2 の基準クロック信号 CLK 1 に対する位相差は、 $2 / (10 - 3) + (f_{11} / f_{12}) \times 1 / (10 - 3)$  で表される。ここで、「2」は、発振クロック信号 8 2

1の位相差の単位遅延量である。(10-3)は、上記の周期823の単位遅延量である。「f11」は、発振クロック信号822の位相差の単位遅延量である。「f12」は、発振クロック信号821の単位遅延量「1」の大きさに対応する発振クロック信号822の単位遅延量の大きさである。

[0027] 粗時間デジタル変換器801の精度をB1ビットとし、微細時間デジタル変換器803の精度をB2ビットとすると、遅延素子の数は、 $2^{B1} + 2^{B2}$ になる。例えば、8ビット精度の場合、図3Aの回路では、 $2^8 = 256$ 個の遅延素子が必要になる。これに対し、図8Aの回路では、 $2^4 + 2^4 = 32$ 個の遅延素子が必要になり、図3Aの回路に比べて遅延素子の数が少なくなる。

[0028] また、7ビットから8ビットに増やす場合、図3Aの回路では遅延素子が128個から256個に増える。しかし、図8Aの回路では、仮に粗時間デジタル変換器801及び微細時間デジタル変換器803がそれぞれ4ビット及び3ビットになると、遅延素子は $16 + 8 = 24$ 個から、微細時間デジタル変換器803を1ビット増やすと、遅延素子は $16 + 16 = 32$ 個になる。図8Aの回路は、遅延素子の数が減るので、面積及び消費電力が減る。

[0029] しかし、図8Aの回路の課題は2つある。1番目の課題は、ステージ802と遅延回路804の遅延のミスマッチにより線形性が低下することである。2番目の課題は、粗時間デジタル変換器801の正規化された値は粗時間デジタル変換器801の分解能しか持っていないため、正規化された量子化ノイズは高く、微細時間デジタル変換器803の分解能があっても、正規化した後、有効分解能はほとんど粗時間デジタル変換器801の精度で決まってしまうことである。以下、上記の課題を解決するための多相クロック生成回路を説明する。

[0030] 図18は、第1の実施形態による多相クロック生成回路の構成例を示す図である。カウンタ306は、図5に示すように、基準クロック信号CLK1の1周期内に存在する発振クロック信号CLK2のパルス数ECをカウントする。例えば、カウンタ306は、基準クロック信号CLK1の1周期内に存在する発振クロック信号CLK2の立ち上がりエッジ数をカウントするこ

とにより、パルス数ECをカウントする。例えば、図5の場合、パルス数ECは「8」である。時間デジタル変換器1501は、基準クロック信号CLK1及び発振クロック信号CLK2を入力し、複数相の低分解能クロック信号 $\phi c1 \sim \phi cp$ 及び複数相の高分解能クロック信号 $\phi f1 \sim \phi fp$ ,  $\phi g1 \sim \phi gp$ を生成する。

[0031] 図9A及び図9Bは時間デジタル変換器1501の構成例を示すブロック図であり、図9Cはその動作例を説明するためのタイムチャートである。時間デジタル変換器1501は、第1の時間デジタル変換器901、第2の時間デジタル変換器902及び第3の時間デジタル変換器903を有する。

[0032] まず、第1の時間デジタル変換器901について説明する。第1の時間デジタル変換器901は、粗時間デジタル変換器であり、遅延時間が比較的長い第1の遅延素子921～928等を有する。バッファ920は、発振クロック信号CLK2を増幅する。第1の遅延素子921～928等の直列接続回路は、バッファ920の出力端子に接続される。第1の遅延素子921～928等は、発振クロック信号CLK2を順次遅延させる。第1の遅延素子921～928等は、それぞれ、入力信号を遅延させて出力する。クロック信号 $\phi c1$ は、発振クロック信号CLK2と同じ位相の信号である。クロック信号 $\phi c2$ は、遅延素子921の出力信号である。クロック信号 $\phi c3$ は、遅延素子922の出力信号である。クロック信号 $\phi c1 \sim \phi cp$ の各位相差は、第1の遅延素子921～928等の各遅延時間に対応する。第1の遅延素子921～928等の各々は、遅延時間が同じであり、遅延制御信号914により遅延時間が変わる。このようにして、第1の時間デジタル変換器901は、複数相の低分解能クロック信号 $\phi c1 \sim \phi cp$ を生成する。D型フリップフロップ931～938等は、図4と同様に、基準クロック信号CLK1の立ち上がりエッジの時点420で、クロック信号 $\phi c1 \sim \phi cp$ の値をラッチし、2値の第1のデジタル値911をQ端子から出力する。以上のように、第1の時間デジタル変換器901は、複数の第1の遅延素子921～928を用いて発振クロック信号CLK2を基準クロック信号CLK1

に対して相対的に遅延させることにより複数相の第1のクロック信号 $\phi c 1 \sim \phi c p$ を生成し、基準クロック信号CLK1のエッジ時点420における複数相の第1のクロック信号 $\phi c 1 \sim \phi c p$ の値を第1のデジタル値911として出力する。第1の時間デジタル変換器901では、遅延素子921～928の遅延時間を制御することにより、図9Cに示すように、発振クロック信号CLK2の単位遅延量965の大きさが可変である。発振クロック信号CLK2の単位遅延量「0」～「1」の間の位相は、第1の遅延素子921の遅延時間に相当する。

[0033] 次に、第2の時間デジタル変換器902について説明する。第2の時間デジタル変換器902は、微細時間デジタル変換器であり、第1の遅延素子921～928等より遅延時間が短い第2の遅延素子941～943等を有する。第2の遅延素子941～943等の直列接続回路は、バッファ920の出力端子に接続される。第2の遅延素子941～943等は、発振クロック信号CLK2を順次遅延させる。第2の遅延素子941～943等は、それぞれ、入力信号を遅延させて出力する。クロック信号 $\phi f 1$ は、発振クロック信号CLK2と同じ位相の信号である。クロック信号 $\phi f 2$ は、遅延素子941の出力信号である。クロック信号 $\phi f 3$ は、遅延素子942の出力信号である。クロック信号 $\phi f 1 \sim \phi f p$ の各位相差は、第2の遅延素子941～943等の各遅延時間に対応する。第2の遅延素子941～943等の各々は、遅延時間が同じである。このようにして、第2の時間デジタル変換器902は、複数相の高分解能クロック信号 $\phi f 1 \sim \phi f p$ を生成する。D型フリップフロップ951～953等は、図4と同様に、基準クロック信号CLK1の立ち上がりエッジの時点420で、クロック信号 $\phi f 1 \sim \phi f p$ の値をラッチし、2値の第2のデジタル値912をQ端子から出力する。以上のように、第2の時間デジタル変換器902は、第1の遅延素子921～928等の遅延時間より短い遅延時間の複数の第2の遅延素子941～943等を用いて発振クロック信号CLK2を基準クロック信号CLK1に対して相対的に遅延させることにより複数相の第2のクロック信号 $\phi f 1 \sim \phi f$

pを生成し、基準クロック信号CLK1のエッジ時点420における複数相の第2のクロック信号 $\phi f_1 \sim \phi f_p$ の値を第2のデジタル値912として出力する。第2の時間デジタル変換器902は、図9Cに示すように、発振クロック信号CLK2の1回目の立ち上がりエッジ962の位相を検出するための回路である。発振クロック信号CLK2の単位遅延量「f0」～「f1」の間の位相は、第2の遅延素子941の遅延時間に相当する。

[0034] 次に、第3の時間デジタル変換器903について説明する。第3の時間デジタル変換器903は、第2の時間デジタル変換器902と同様の微細時間デジタル変換器であり、第2の遅延素子941～943等と同じ遅延時間の第3の遅延素子981～983等を有する。第3の遅延素子981～983等の直列接続回路は、第1の遅延素子927の出力端子（第1の遅延素子928の入力端子）に接続される。第3の遅延素子981～983等は、第1の遅延素子927が出力する第1のクロック信号 $\phi c_8$ を順次遅延させる。第3の遅延素子981～983等は、それぞれ、入力信号を遅延させて出力する。クロック信号 $\phi g_1$ は、第1の遅延素子927が出力する第1のクロック信号 $\phi c_8$ と同じ信号である。クロック信号 $\phi g_2$ は、遅延素子981の出力信号である。クロック信号 $\phi g_3$ は、遅延素子982の出力信号である。クロック信号 $\phi g_1 \sim \phi g_p$ の各位相差は、第3の遅延素子981～983等の各遅延時間に対応する。第3の遅延素子981～983等の各々は、遅延時間が同じである。このようにして、第3の時間デジタル変換器903は、複数相の高分解能クロック信号 $\phi g_1 \sim \phi g_p$ を生成する。D型フリップフロップ991～993等は、図4と同様に、基準クロック信号CLK1の立ち上がりエッジの時点420で、クロック信号 $\phi g_1 \sim \phi g_p$ の値をラッチし、2値の第3のデジタル値913をQ端子から出力する。以上のように、第3の時間デジタル変換器903は、第2の遅延素子941～943等の遅延時間と同じ遅延時間の複数の第3の遅延素子981～983等を用いて、複数の第1の遅延素子921～927により遅延させられた第1のクロック信号 $\phi c_8$ を遅延させることにより複数相の第3のクロック信号 $\phi g$

1 ~  $\phi_{gp}$  を生成し、基準クロック信号 CLK 1 のエッジ時点における複数相の第 3 のクロック信号  $\phi_{g1}$  ~  $\phi_{gp}$  の値を第 3 のデジタル値 913 として出力する。第 3 の時間デジタル変換器 903 は、図 9 C に示すように、発振クロック信号 CLK 2 の 2 回目の立ち上がりエッジ 963 の位相を検出するための回路である。発振クロック信号 CLK 2 の単位遅延量「f0」 ~ 「f1」の間の位相は、第 3 の遅延素子 981 の遅延時間に相当する。

[0035] 図 9 A のキャリブレーション回路 904 は、図 18 のデコーダ 302、減算器 1504、第 2 のローパスフィルタ 1505 及び加算器 303 を有する。キャリブレーション回路 904 は、第 1 の時間デジタル変換器 901 の第 1 のデジタル値 911、第 2 の時間デジタル変換器 902 の第 2 のデジタル値 912 及び第 3 の時間デジタル変換器 903 の第 3 のデジタル値 913 を入力し、図 4 及び図 5 の方法と同様に、発振クロック信号 CLK 2 の周期 964 を演算する。周期 964 は、信号 915 として、図 18 の第 1 のローパスフィルタ 304 に出力される。

[0036] 具体的には、第 1 の時間デジタル変換器 901 は、図 9 C に示すように、発振クロック信号 CLK 2 の立ち上がりエッジ 962 及び 963 を低分解能で検出するための回路である。例えば、立ち上がりエッジ 962 は単位遅延量「1」として検出され、立ち上がりエッジ 963 は単位遅延量「8」として検出される。

[0037] 第 2 の時間デジタル変換器 902 は、図 9 C に示すように、発振クロック信号 CLK 2 の 1 回目の立ち上がりエッジ 962 を高分解能で検出するための回路である。例えば、立ち上がりエッジ 962 は、単位遅延量「f5」として検出される。

[0038] 第 3 の時間デジタル変換器 903 は、図 9 C に示すように、発振クロック信号 CLK 2 の 2 回目の立ち上がりエッジ 963 を高分解能で検出するための回路である。例えば、立ち上がりエッジ 963 は、単位遅延量「f6」として検出される。

[0039] 図 18 において、デコーダ 302 及び加算器 303 は、図 5 と同様に、正

規化後に、上式（１）により、カウンタ３０６のカウント数 $E_C$ 及び第１～第３のデジタル値 $911 \sim 913$ を基に、基準クロック信号 $CLK1$ の周期 $T_{ref}$ を演算する。加算器３０３は、基準クロック信号 $CLK1$ の周期 $T_{ref}$ を第１のローパスフィルタ３０４に出力する。第１のローパスフィルタ３０４は、発振器３０５の入力端子に接続され、基準クロック信号 $CLK1$ の周期 $T_{ref}$ をデジタルのローパスフィルタリングにより平均化して出力する。発振器３０５は、第１のローパスフィルタ３０４が出力する基準クロック信号 $CLK1$ の周期 $T_{ref}$ を基に、基準クロック信号 $CLK1$ の周期 $T_{ref}$ の $1/m$ （ $m$ は２以上の整数）の周期の発振クロック信号 $CLK2$ を生成し、カウンタ３０６及び時間デジタル変換器１５０１にフィードバック出力する。このフィードバック回路は、位相ロックループ回路である。発振クロック信号 $CLK2$ 及び基準クロック信号 $CLK1$ の位相差は０に近づき、その位相差は０付近に収束する。すなわち、例えばクロック信号 $\phi_{c1}$ は、基準クロック信号 $CLK1$ の位相に同期した状態でロックする。多相クロック生成回路は、基準クロック信号 $CLK1$ の位相に同期した複数相のクロック信号 $\phi_{c1} \sim \phi_{cp}$ を出力することができる。時間デジタル変換器１５０１を用いることにより、その後段のデコーダ３０２、加算器３０３、第１のローパスフィルタ３０４、減算器１５０４及び第２のローパスフィルタ１５０５をデジタル回路で構成することができるので、多相クロック生成回路を小型化し、低消費電力化することができる。

[0040] また、図９Ａのキャリブレーション回路９０４は、第１のデジタル変換器９０１の第１の遅延素子９２１～９２８等に、遅延制御信号９１４を出力する。第１の遅延素子９２１～９２８等は、遅延制御信号９１４に応じて遅延時間が変化する。

[0041] 図１０Ａは、図９Ｂの可変遅延素子９２１～９２８等の各々の構成例を示す図である。遅延素子１００１は、可変電流源１００２に接続され、入力端子 $IN$ の信号を遅延し、出力端子 $OUT$ に出力する。制御端子 $CON1$ は、図９Ｂのアナログの遅延制御信号９１４を入力し、可変電流源１００２に流

れる電流を制御する。可変電流源 1002 の電流が大きければ遅延素子 1001 の遅延時間が短くなり、可変電流源 1002 の電流が小さければ遅延素子 1001 の遅延時間が長くなる。

[0042] 図 10B は、図 9B の可変遅延素子 921 ~ 928 等の各々の他の構成例を示す図である。遅延素子 1001 は、電流源 1011 及びスイッチ 1012 の直列接続回路が複数組み並列に接続され、入力端子 IN の信号を遅延し、出力端子 OUT に出力する。制御端子 CON2 は、図 9B のデジタルの遅延制御信号 914 を入力し、複数のスイッチ 1012 のオン／オフを制御する。複数の電流源 1011 に流れる合計電流が大きければ遅延素子 1001 の遅延時間が短くなり、複数の電流源 1011 に流れる合計電流が小さければ遅延素子 1001 の遅延時間が長くなる。

[0043] 図 10C は、図 9B の可変遅延素子 921 ~ 928 等の各々の他の構成例を示す図である。遅延素子 1001 は、可変容量 1021 に接続され、入力端子 IN の信号を遅延し、出力端子 OUT に出力する。制御端子 CON3 は、図 9B のアナログの遅延制御信号 914 を入力し、可変容量 1021 の容量値を制御する。可変容量 1021 の容量値が小さければ遅延素子 1001 の遅延時間が短くなり、可変容量 1021 の容量値が大きければ遅延素子 1001 の遅延時間が長くなる。

[0044] 図 10D は、図 9B の可変遅延素子 921 ~ 928 等の各々の他の構成例を示す図である。遅延素子 1001 は、容量 1031 及びスイッチ 1032 の直列接続回路が複数組み並列に接続され、入力端子 IN の信号を遅延し、出力端子 OUT に出力する。制御端子 CON4 は、図 9B のデジタルの遅延制御信号 914 を入力し、複数のスイッチ 1032 のオン／オフを制御する。遅延素子 1001 に接続される容量値が小さければ遅延素子 1001 の遅延時間が短くなり、遅延素子 1001 に接続される容量値が大きければ遅延素子 1001 の遅延時間が長くなる。

[0045] 図 11A 及び図 11B は、図 9A のキャリブレーション回路 904 の遅延時間制御を説明するための図である。図 11A は、上記の位相ロックループ

回路がロックする前の状態を示すタイムチャートである。横軸は、第1の時間デジタル変換器901の単位遅延量を示す。領域1101は、単位遅延量「0」～「1」の間の領域であり、第2の時間デジタル変換器902の高分解能の単位遅延量を有する領域である。領域1104は、単位遅延量「15」～「16」の間の領域であり、第3の時間デジタル変換器903の高分解能の単位遅延量を有する領域である。発振クロック信号CLK2の立ち上がりエッジは、基準クロック信号CLK1の立ち上がりエッジに対して位相差1102を有する。

[0046] 図11Bは、上記の位相ロックループ回路がロックした後かつキャリブレーション前の状態を示すタイムチャートである。位相ロックループ回路により、基準クロック信号CLK1に対する発振クロック信号CLK2の位相差が小さくなっていく。位相ロックループ回路がロックすると、基準クロック信号CLK1に対する発振クロック信号CLK2の位相差1103は、略0になる。本実施形態では、16相の第1のクロック信号 $\phi_{c1} \sim \phi_{c16}$ を生成する例を説明する。この場合、第2の時間デジタル変換器902は単位遅延量が「0」～「1」の間の領域1101で動作し、第3の時間デジタル変換器903は単位遅延量が「15」～「16」の間の領域1104で動作する。発振クロック信号CLK2は、1回目の立ち上がりエッジが領域1101に位置し、2回目の立ち上がりエッジが領域1104に位置すれば、発振クロック信号CLK2を遅延素子により16分割することにより、16相の第1のクロック信号 $\phi_{c1} \sim \phi_{c16}$ を生成することができる。しかし、図11Bの場合、キャリブレーション前であるため、発振クロック信号CLK2の2回目の立ち上がりエッジは、単位遅延量の「13」～「14」の間に位置する。この状態では、14相の第1のクロック信号 $\phi_{c1} \sim \phi_{c14}$ が生成されてしまい、所望の16相を得ることができない。上記のように、第1の遅延素子921～928等の遅延時間は、プロセス、温度及び／又は電圧により動的に変動する。したがって、第1のクロック信号 $\phi_{c1} \sim \phi_{cp}$ の相数も動的に変化し得る。そこで、図9Aのキャリブレーション回路9

04の遅延時間制御により、安定した16相の第1のクロック制御信号 $\phi c1 \sim \phi c16$ を生成することができる。

[0047] ここで、位相ロックループ回路がロックした状態では、発振クロック信号CLK2の2回目の立ち上がりエッジの位相情報が発振クロック信号CLK2の周期情報になる。図18のデコーダ302は、発振クロック信号CLK2の2回目の立ち上がりエッジの位相情報を発振クロック信号CLK2の周期情報として、減算器1504に出力する。例えば、図11Bの場合、発振クロック信号CLK2の周期は、単位遅延量「14」である。減算器1504は、デコーダ302により検出された周期（例えば「14」）と目標周期（目標相数）RD（例えば「16」）との差分を第2のローパスフィルタ1505に出力する。減算器1504は、少なくとも第1のデジタル値911及び第3のデジタル値913を基に得られる発振クロック信号CLK2の周期と目標周期RDとの差分を出力する。第2のローパスフィルタ1505は、減算器1504及び第1の時間デジタル変換器901の間に接続され、減算器1504の出力信号をデジタルローパスフィルタリングすることにより、減算器1504の出力信号を平均化した信号を遅延制御信号914として、第1の時間デジタル変換器901内の第1の遅延素子921～928等に出力する。減算器1504及び第2のローパスフィルタ1505は、遅延制御部を構成する。例えば、図11Bでは、発振クロック信号CLK2は、周期が「14」であり、目標周期RD（例えば「16」）より短いので、第1の遅延素子921～928等の遅延時間を短くする。領域1101及び1104の長さは、第1の遅延素子921～928等の遅延時間に対応する。その結果、図12に示すように、16相の第1のクロック信号 $\phi c1 \sim \phi c16$ を生成可能な状態にキャリブレーションされる。

[0048] 図12及び図13は、キャリブレーション回路904のキャリブレーション後の状態を示すタイムチャートである。発振クロック信号CLK2は、1回目の立ち上がりエッジが領域1101内に位置し、2回目の立ち上がりエッジが領域1104内に位置する。これにより、発振クロック信号CLK2

は、16分割可能になり、16相の第1のクロック信号 $\phi c1 \sim \phi c16$ が生成される。このキャリブレーションのフィードバックループ処理により、発振クロック信号CLK2は、1回目の立ち上がりエッジが領域1101内に位置し、2回目の立ち上がりエッジが領域1104内に位置するようにロックされる。その結果、第1のクロック信号 $\phi c1 \sim \phi cp$ の相数は「16」にロックされる。

[0049] 図13に示すように、発振クロック信号CLK2の1回目の立ち上がりエッジは、領域1101内の位置するようにロックされるので、第2の時間デジタル変換器902は、発振クロック信号CLK2の1回目の立ち上がりエッジの位相を検出可能になる。同様に、発振クロック信号CLK2の2回目の立ち上がりエッジは、領域1104内の位置するようにロックされるので、第3の時間デジタル変換器903は、発振クロック信号CLK2の2回目の立ち上がりエッジの位相を検出可能になる。上記のように、本実施形態は、図8Aのステージ802が不要になり、領域1101及び1104に対応する2個の微細時間デジタル変換器902及び903を設けるだけでよく、1周期の全領域の微細時間デジタル変換器を設ける必要がない。

[0050] 図14Aは、微細時間デジタル変換器902及び903を粗時間デジタル変換器901に正規化するための回路の構成例を示す図である。図5を参照しながら、微細デジタル変換器803と粗時間デジタル変換器801を用いた位相差の演算方法を上記で説明した。本実施形態は、それと同様に、微細デジタル変換器902、903と粗時間デジタル変換器901を用いて位相差を演算する。以下、微細時間デジタル変換器902及び903を粗時間デジタル変換器901に正規化する方法を説明する。1個の第1の遅延素子1401は、図9Bの第1の遅延素子921～928等の中のいずれか1個の遅延素子である。複数の第2の遅延素子1402は、図9Bの第2の遅延素子941～943等に対応する。第1の遅延素子1401は、例えば基準クロック信号CLK1を遅延して出力する。複数の第2の遅延素子1402の直列接続回路は、例えば基準クロック信号CLK1を遅延して出力する。フ

リップフロップバンク 1403は、複数のフリップフロップを有し、第1の遅延素子1401の出力信号の例えば立ち上がりエッジに同期し、複数の第2の遅延素子1402の出力信号をラッチし、デコーダ1404に出力する。デコーダ1404は、第1の遅延素子1401の遅延時間が第2の遅延素子1401の何個分の遅延時間であるかを検出することができる。すなわち、第1の時間デジタル変換器901の単位遅延量の「1」の大きさは、第2の時間デジタル変換器902の単位遅延量の何個分なのかを検出することができる。これにより、デコーダ302は、図8Bと同様に、正規化を行い、発振クロック信号CLK2の1回目の立ち上がりエッジ及び2回目の立ち上がりエッジの位相を検出することができる。上記では、第2のデジタル変換器902の場合を例に説明したが、第3の時間デジタル変換器903についても同様である。

[0051] 図14Bは、微細時間デジタル変換器902及び903を粗時間デジタル変換器901に正規化するための回路の他の構成例を示す図である。図14Bの回路は、図14Aの回路に対して、ローパスフィルタ1411を追加したものである。以下、図14Bの回路が図14Aの回路と異なる点を説明する。第2の遅延素子1412は、第2の遅延素子1402の代わりに設けられる可変遅延素子である。デコーダ1404は、第1の遅延素子1401の遅延時間が第2の遅延素子1412の何個分の遅延時間であるかを検出し、その個数と目標個数との差分をローパスフィルタ1411に出力する。ローパスフィルタ1411は、デコーダ1404の出力をローパスフィルタリングすることにより平均化し、遅延制御信号を複数の第2の遅延素子1412に出力する。複数の第2の遅延素子1412は、遅延制御信号により遅延時間が変化する。このフィードバック制御により、デコーダ1404が出力する差分が0になる状態に収束する。これにより、図18のデコーダ302は、目標個数を用いた正規化を行い、発振クロック信号CLK2の1回目の立ち上がりエッジ及び2回目の立ち上がりエッジの位相を検出することができる。

- [0052] 以上のように、図 18 の多相クロック生成回路は、図 8 A のステージ 802 を通さないで、粗時間デジタル変換器 901 を微細時間デジタル変換器 902、903 に直接接続する。この接続により、ステージ 802 による遅延のミスマッチがなくなり、特性の線形性が向上する。
- [0053] 図 18 の回路において、粗時間デジタル変換器 901 の精度を  $B1$  ビットとし、微細時間デジタル変換器 902 及び 903 の精度を  $B2$  ビットとすると、遅延素子の数は、 $2^{B1} + 2^{B2+1}$  になる。例えば、8 ビット精度の場合、図 3 A の回路では、 $2^8 = 256$  個の遅延素子が必要になる。これに対し、図 18 の回路では、 $2^4 + 2^{4+1} = 48$  個の遅延素子が必要になり、図 3 A の回路に比べて遅延素子の数が少なくなる。
- [0054] また、時間デジタル変換器 1501 を用いることにより、その後段のデコーダ 302、加算器 303、第 1 のローパスフィルタ 304、減算器 1504 及び第 2 のローパスフィルタ 1505 をデジタル回路で構成することができるので、多相クロック生成回路を小型化し、低消費電力化することができる。
- [0055] また、図 14 A 及び図 14 B に示すように、正規化処理が簡単になるため、正規化する時の必要なビット数が少なくなり、多相クロック生成回路は、回路規模の面積及び消費電力が低減する。
- [0056] (第 2 の実施形態)
- 図 15 A は、第 2 の実施形態による多相クロック生成回路の構成例を示す図である。図 15 A の回路は、図 18 の回路に対して、オフセットロック検出器 1503 及び加算器 1502 を追加したものである。以下、本実施形態が第 1 の実施形態と異なる点を説明する。オフセットロック検出器 1503 は、デコーダ 302 の出力信号を基にオフセットロックを検出した場合には、オフセット位相を加算器 1502 に出力する。加算器 1502 は、デコーダ 302 の出力信号に対してオフセット位相を加算して加算器 303 に出力する。以下、その動作の詳細を説明する。
- [0057] 図 15 B は、オフセットロックを説明するための図である。時間デジタル

変換器 1501 自身がオフセット位相を有する場合、位相ロックループ回路は、周波数クロック信号 CLK2 がオフセット位相を有する状態でロックされる。例えば、発振クロック信号 CLK2 は、1 回目の立ち上がりエッジが単位遅延量の「1」及び「2」の間の領域に位置し、2 回目の立ち上がりエッジが単位遅延量の「16」及び「17」の間の領域に位置する状態でロックされる。この状態では、第2の時間デジタル変換器 902 及び第3の時間デジタル変換器 903 は、発振クロック信号 CLK2 の立ち上がりエッジを検出することができない。このオフセット位相を除去するために、キャリブレーションが必要になる。オフセットロック検出器 1503 は、位相ロックループ回路がロックした状態で、発振クロック信号 CLK2 の 1 回目の立ち上がりエッジが領域 1101 内に位置せず、発振クロック信号 CLK2 の 2 回目の立ち上がりエッジが領域 1104 内に位置しないときには、オフセット位相が存在すると判断し、オフセット位相を加算器 1502 に出力する。加算器 1502 は、デコーダ 302 の出力信号に対してオフセット位相を加算して加算器 303 に出力する。すなわち、オフセットロック検出器 1503 及び加算器 1502 は、第2のデジタル値 912 及び第3のデジタル値 913 の中に発振クロック信号 CLK2 のエッジが存在しない状態でロックした場合には、発振器 305 に入力される周期にオフセット位相を付与する。このキャリブレーションにより、オフセット位相が除去され、発振クロック信号 CLK2 は、1 回目の立ち上がりエッジが領域 1101 内に位置し、2 回目の立ち上がりエッジが領域 1104 内に位置する状態に修正される。このオフセット位相の除去により、正常な動作が可能になる。

[0058] (第3の実施形態)

図 17A は、第3の実施形態による多相クロック生成回路の構成例を示す図である。図 17A の回路は、図 15A の回路に対して、加算器 1502 の代わりに可変遅延回路 1701 を設けたものである。以下、本実施形態が第2の実施形態と異なる点を説明する。オフセットロック検出器 1503 は、オフセットロックを検出すると、オフセット位相に対応する遅延制御信号を

可変遅延回路 1701 に出力する。可変遅延回路 1701 は、遅延制御信号に応じた遅延時間で、発振器 305 が出力する発振クロック信号 CLK2 を遅延してカウンタ 306 及び時間デジタル変換器 1501 に出力する。以下、その動作の詳細を説明する。

[0059] 図 16A 及び図 16B は、位相ロックループ回路のロック状態の収束例を示す図である。位相ロックループ回路は、発振クロック信号 CLK2 の位相差が 0 付近で振動しながら収束する。その結果、発振クロック信号 CLK2 の 1 回目の立ち上がりエッジは、図 16A のように、単位遅延量「0」のプラス側にずれる場合と、図 16B のように、単位遅延量「0」のマイナス側にずれる場合とが存在する。図 16A の状態であれば、発振クロック信号 CLK2 は、1 回目の立ち上がりエッジが領域 1101 内に位置し、2 回目の立ち上がりエッジが領域 1104 内に位置するので、正常な動作が行われる。これに対し、図 16B の状態では、発振クロック信号 CLK2 は、1 回目の立ち上がりエッジが領域 1101 内に位置せず、2 回目の立ち上がりエッジが領域 1104 内に位置しないので、微細時間デジタル変換器 902 及び 903 は発振クロック信号 CLK2 の立ち上がりエッジを検出することができない。カウンタ 306 を使用する場合、図 16B のように位相差がマイナスになると、発振クロック信号 CLK2 の 1 回目の立ち上がりエッジは、単位遅延量「14」及び「15」の間で検出されてしまう。この課題を解決するため、図 15A の回路によりオフセット位相を加算することもできる。これに対し、図 17A の回路では、可変遅延回路 1701 を設けることにより、図 17B に示すように、横軸の単位遅延量を右にシフトし、単位遅延量を「-1」から開始させることができる。

[0060] オフセットロック検出器 1503 は、位相ロックループ回路がロックした状態で、発振クロック信号 CLK2 の 1 回目の立ち上がりエッジが領域 1101 内に位置せず、発振クロック信号 CLK2 の 2 回目の立ち上がりエッジが領域 1104 内に位置しないときには、オフセット位相が存在すると判断し、オフセット位相に対応する遅延制御信号を可変遅延回路 1701 に出力

する。可変遅延回路 1701 は、遅延制御信号に応じた遅延時間で、発振器 305 が出力する発振クロック信号 CLK2 を遅延してカウンタ 306 及び時間デジタル変換器 1501 に出力する。すなわち、オフセットロック検出器 1503 及び可変遅延回路 1701 は、第 2 のデジタル値 912 及び第 3 のデジタル値 913 の中に発振クロック信号 CLK2 のエッジが存在しない状態でロックした場合には、発振器 305 が出力する発振クロック信号 CLK2 にオフセット位相を付与する。これにより、図 17B に示すように、発振クロック信号 CLK2 は、1 回目の立ち上がりエッジが領域 1101 内に位置し、2 回目の立ち上がりエッジが領域 1104 内に位置するように修正されるので、正常動作が可能になる。

[0061] (第 4 の実施形態)

図 19 は、第 4 の実施形態による多相クロック生成回路の構成例を示す図である。図 19 の回路は、図 18 の回路に対して、デジタルアナログ変換器 1901 及びアナログローパスフィルタ 1902 を追加したものである。以下、本実施形態が第 1 の実施形態と異なる点を説明する。デジタルアナログ変換器 1901 は、第 2 のローパスフィルタ 1505 により出力される遅延制御信号をデジタルからアナログに変換する。ローパスフィルタ 1902 は、アナログの遅延制御信号をローパスフィルタリングにより平均化して第 1 の時間デジタル変換器 901 内の第 1 の遅延素子 921 ~ 928 等に出力する。第 1 の遅延素子 921 ~ 928 は、アナログの遅延制御信号に応じて遅延時間が変化する。この場合、第 1 の遅延素子 921 ~ 928 は、図 10A 又は図 10C の構成によりアナログ制御可能となる。本実施形態によれば、第 1 の時間デジタル変換器 901 の遅延制御が簡単になる。なお、ローパスフィルタ 1902 は、削除してもよい。ローパスフィルタ 1902 を設けることにより、遅延制御信号が安定し、ノイズが減る。

[0062] (第 5 の実施形態)

図 20 は、第 5 の実施形態による多相クロック生成回路の構成例を示す図である。図 20 の回路は、図 18 の回路に対して、減算器 1504 及び第 2

のローパスフィルタ 1505 の代わりに逐次比較レジスタ（SAR : successive approximation register）エンジン 2001 を設けたものである。以下、本実施形態が第 1 の実施形態と異なる点を説明する。逐次比較レジスタエンジン 2001 は、図 9B の少なくとも第 1 のデジタル値 911 及び第 3 のデジタル値 913 を基に得られる発振クロック信号 CLK2 の周期と目標周期 RD との間で上位ビットから順に逐次比較することにより、上位ビットから順に遅延制御信号を決定し、第 1 の時間デジタル変換器 901 内の第 1 の遅延素子 921 ~ 928 等に出力する遅延制御部である。

[0063] 逐次比較レジスタエンジン 2001 は、上位ビットから順に、デコーダ 302 が出力する発振クロック信号 CLK2 の周期と目標周期 RD の差分を取り、第 1 の遅延素子 921 ~ 928 等の遅延制御信号を上位ビットから順に 1 ビットずつ変更する。第 1 の遅延素子 921 ~ 928 等の遅延時間を変更する前と後とを比較することにより、その遅延制御信号のビットを変更するとエラーが小さくなるか否かを判断し、次のビットについて同じことを繰り返し、1 ビットずつキャリブレーションする。

[0064] 逐次比較レジスタエンジン 2001 の処理は簡単なため、回路規模及び消費電力が小さくなり、収束も速くなる。ただし、全てのビットをキャリブレーションした後、逐次比較レジスタエンジン 2001 を止めると、温度又は電圧等の変動により、デコーダ 302 が出力する発振クロック信号 CLK2 の周期の値が変化する可能性がある。そのため、全てのビットをキャリブレーションした後でも、逐次比較レジスタエンジン 2001 を停止させないで、デコーダ 302 が出力する発振クロック信号 CLK2 の周期が正しかどうかを検出する必要がある。周期が正しくなければ、遅延制御信号の値を変更し、発振クロック信号 CLK2 の周期を合わせる必要がある。この場合、発振クロック信号 CLK2 の周期の変動は小さいため、遅延制御信号の下位ビットのみを変更すればよい。

[0065] （第 6 の実施形態）

図 21 は、第 6 の実施形態による多相クロック生成回路の構成例を示す図

である。図 21 の回路は、図 18 の回路に対して、分周器 2201 を追加したものである。以下、本実施形態が第 1 の実施形態と異なる点を説明する。発振器 305 は、第 1 のローパスフィルタ 304 が出力する基準クロック信号 CLK1 の周期を基に、基準クロック信号 CLK1 の周期の  $1/m$  ( $m$  は 2 以上の整数) の周期の複数相の発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  を生成する。すなわち、発振器 305 は、カウンタ 306 のカウント数及び第 1 ～第 3 のデジタル値 911 ～913 を基に得られる基準クロック信号 CLK1 の周期を基に、基準クロック信号 CLK1 の周期の  $1/m$  ( $m$  は 2 以上の整数) の周期の複数相の発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  を生成する。分周器 2201 は、複数相の発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  のうちの一の発振クロック信号 (例えば発振クロック信号  $\phi_{\alpha 1}$ ) を分周し、カウンタ 306、第 1 の時間デジタル変換器 901 及び第 2 の時間デジタル変換器 902 に出力する。すなわち、分周器 2201 は、発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  よりも周波数が低いクロック信号を出力する。第 1 のクロック信号  $\phi_{c 1} \sim \phi_{c p}$  は、分周器 2201 の出力クロック信号と同じ周波数を有する。その結果、複数相の第 1 のクロック信号  $\phi_{c 1} \sim \phi_{c p}$  は、複数相の発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  よりも低い  $1/m$  の周波数になる。本実施形態の多相クロック生成回路は、低周波数の複数相の第 1 のクロック信号  $\phi_{c 1} \sim \phi_{c p}$  及び高周波数の複数相の発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  を外部に出力することができる。例えば、第 1 のクロック信号  $\phi_{c 1} \sim \phi_{c p}$  の周波数は 100 MHz であり、発振クロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  の周波数は 1 GHz である。本実施形態によれば、2 種類の周波数のクロック信号  $\phi_{c 1} \sim \phi_{c p}$  及びクロック信号  $\phi_{\alpha 1} \sim \phi_{\alpha p}$  を生成することができる。

[0066] 以上のように、第 1 ～第 6 の実施形態によれば、時間デジタル変換器 1501 を用いることにより、その後段でデジタル処理が可能になるため、多相クロック生成回路は、小面積及び低消費電力になり、ノイズが減り、性能が上がる。時間デジタル変換器 1501 の精度を 2 ビット上げると量子化ノイズは 4 分の 1 に減る。また、粗時間デジタル変換器 901 及び微細時間デジ

タル変換器 902, 903 を用いることにより、図 3 A のように 1 ステージの時間デジタル変換器 301 を用いる場合に比べ、遅延素子数が減り、小型化及び低消費電力化することができる。上記実施形態の多相クロック生成回路は、無線通信回路、プロセッサ、アナログデジタル変換器、又はクロックデータリカバリシステム等に使用することができる。

[0067] なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

### 産業上の利用可能性

[0068] 第 1 の時間デジタル変換器は、複数相の第 1 のクロック信号を出力することができる。第 1 ～第 3 の時間デジタル変換器を設けることにより、デジタル処理が可能になるため、高精度及び／又は小型のクロック生成回路を提供することができる。

## 請求の範囲

[請求項1]

基準クロック信号の1周期内に存在する発振クロック信号のパルス数をカウントするカウンタと、

複数の第1の遅延素子を用いて前記発振クロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第1のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第1のクロック信号の値を第1のデジタル値として出力する第1の時間デジタル変換器と、

前記第1の遅延素子の遅延時間より短い遅延時間の複数の第2の遅延素子を用いて前記発振クロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第2のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第2のクロック信号の値を第2のデジタル値として出力する第2の時間デジタル変換器と、

前記第2の遅延素子の遅延時間と同じ遅延時間の複数の第3の遅延素子を用いて、前記複数の第1の遅延素子により遅延させられた前記第1のクロック信号を前記基準クロック信号に対して相対的に遅延させることにより複数相の第3のクロック信号を生成し、前記基準クロック信号のエッジ時点における前記複数相の第3のクロック信号の値を第3のデジタル値として出力する第3の時間デジタル変換器と、

少なくとも前記第1のデジタル値及び前記第3のデジタル値を基に得られる前記発振クロック信号の周期と目標周期との差分を基に遅延制御信号を出力する遅延制御部と、

前記カウンタのカウント数及び前記第1～第3のデジタル値を基に得られる前記基準クロック信号の周期を基に、前記基準クロック信号の周期の $1/m$  ( $m$ は2以上の整数)の周期の前記発振クロック信号を生成する発振器とを有し、

前記第1の時間デジタル変換器内の前記複数の第1の遅延素子は、

前記遅延制御部により出力される前記遅延制御信号に応じて遅延時間が変化し、

前記第 1 の時間デジタル変換器は、前記複数相の第 1 のクロック信号を出力することを特徴とするクロック生成回路。

[請求項2] さらに、前記発振器の入力端子に接続される第 1 のローパスフィルタを有することを特徴とする請求項 1 記載のクロック生成回路。

[請求項3] 前記遅延制御部は、少なくとも前記第 1 のデジタル値及び前記第 3 のデジタル値を基に得られる前記発振クロック信号の周期と目標周期との差分を出力する減算器を有することを特徴とする請求項 1 記載のクロック生成回路。

[請求項4] 前記遅延制御部は、前記減算器及び前記第 1 の時間デジタル変換器の間に接続される第 2 のローパスフィルタを有することを特徴とする請求項 3 記載のクロック生成回路。

[請求項5] 前記遅延制御部は、少なくとも前記第 1 のデジタル値及び前記第 3 のデジタル値を基に得られる前記発振クロック信号の周期と目標周期との間で上位ビットから順に逐次比較することにより、上位ビットから順に遅延制御信号を決定する逐次比較レジスタエンジンを有することを特徴とする請求項 1 記載のクロック生成回路。

[請求項6] さらに、前記第 2 のデジタル値及び前記第 3 のデジタル値の中に前記発振クロック信号のエッジが存在しない状態でロックした場合には、前記発振器に入力される周期にオフセット位相を付与するオフセットロック検出器を有することを特徴とする請求項 1 記載のクロック生成回路。

[請求項7] さらに、前記第 2 のデジタル値及び前記第 3 のデジタル値の中に前記発振クロック信号のエッジが存在しない状態でロックした場合には、前記発振器が出力する発振クロック信号にオフセット位相を付与するオフセットロック検出器を有することを特徴とする請求項 1 記載のクロック生成回路。

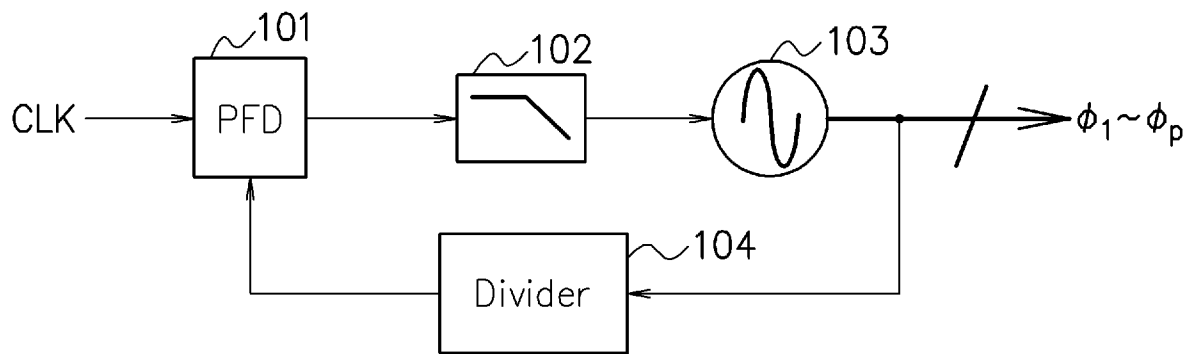
[請求項8]           さらに、前記遅延制御部により出力される遅延制御信号をデジタルからアナログに変換するデジタルアナログ変換器を有し、

前記第1の時間デジタル変換器内の前記複数の第1の遅延素子は、前記アナログの遅延制御信号に応じて遅延時間を変化することを特徴とする請求項1記載のクロック生成回路。

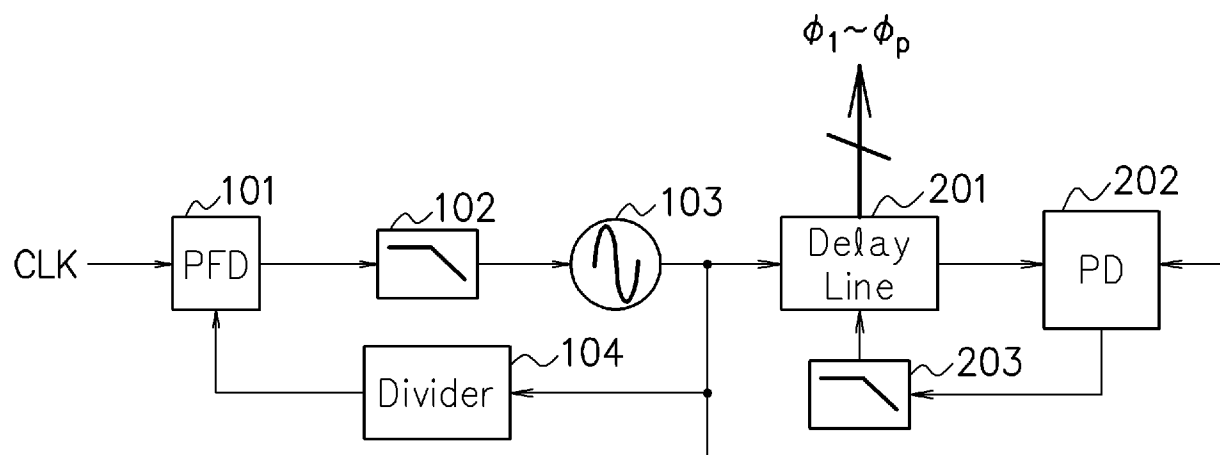
[請求項9]           前記発振器は、複数相の発振クロック信号を生成し、

さらに、前記複数相の発振クロック信号のうちの一の発振クロック信号を分周し、前記カウンタ、前記第1の時間デジタル変換器及び前記第2の時間デジタル変換器に出力する分周器を有することを特徴とする請求項1記載のクロック生成回路。

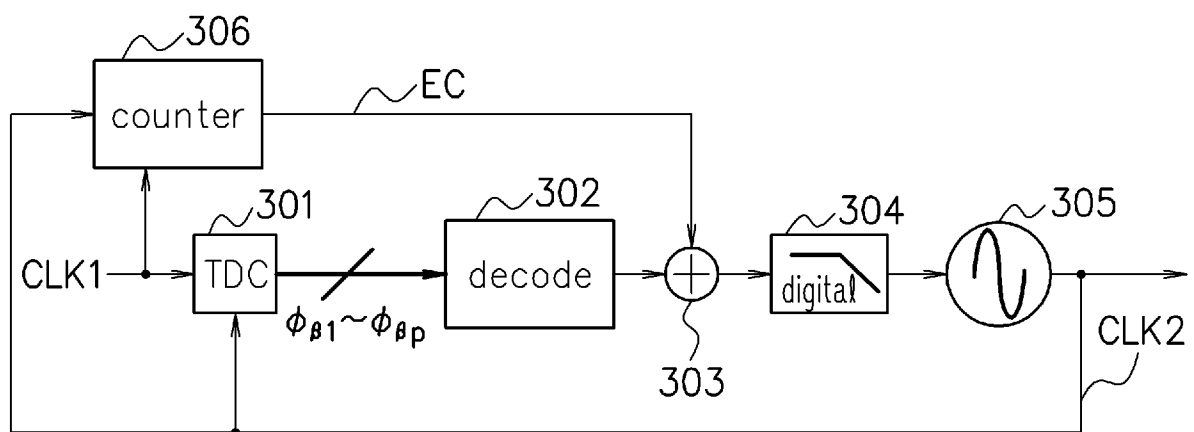
[図1]



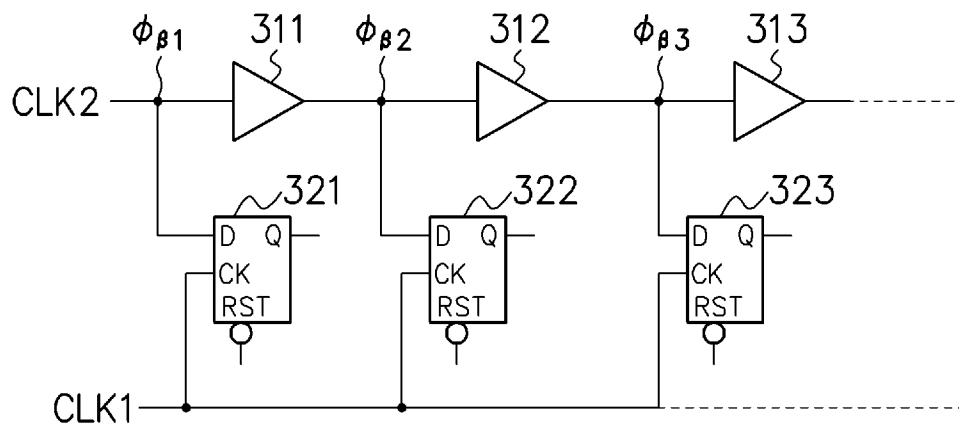
[図2]



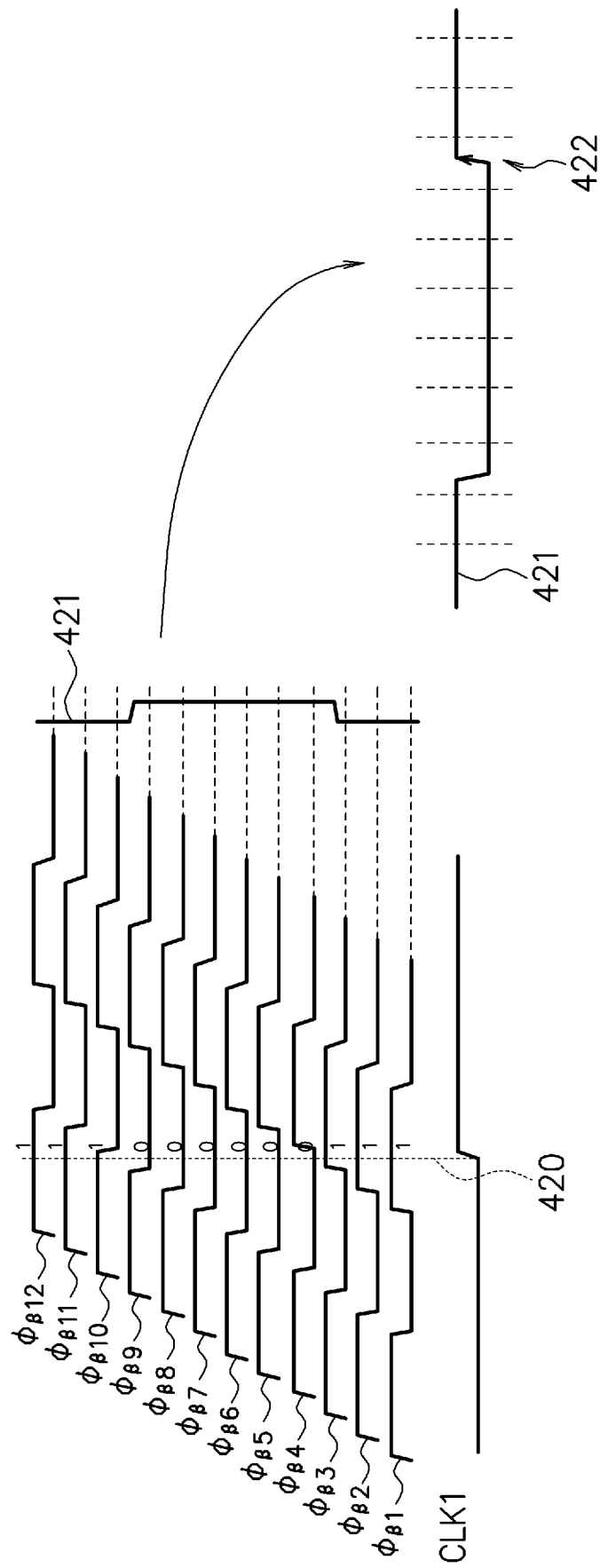
[図3A]



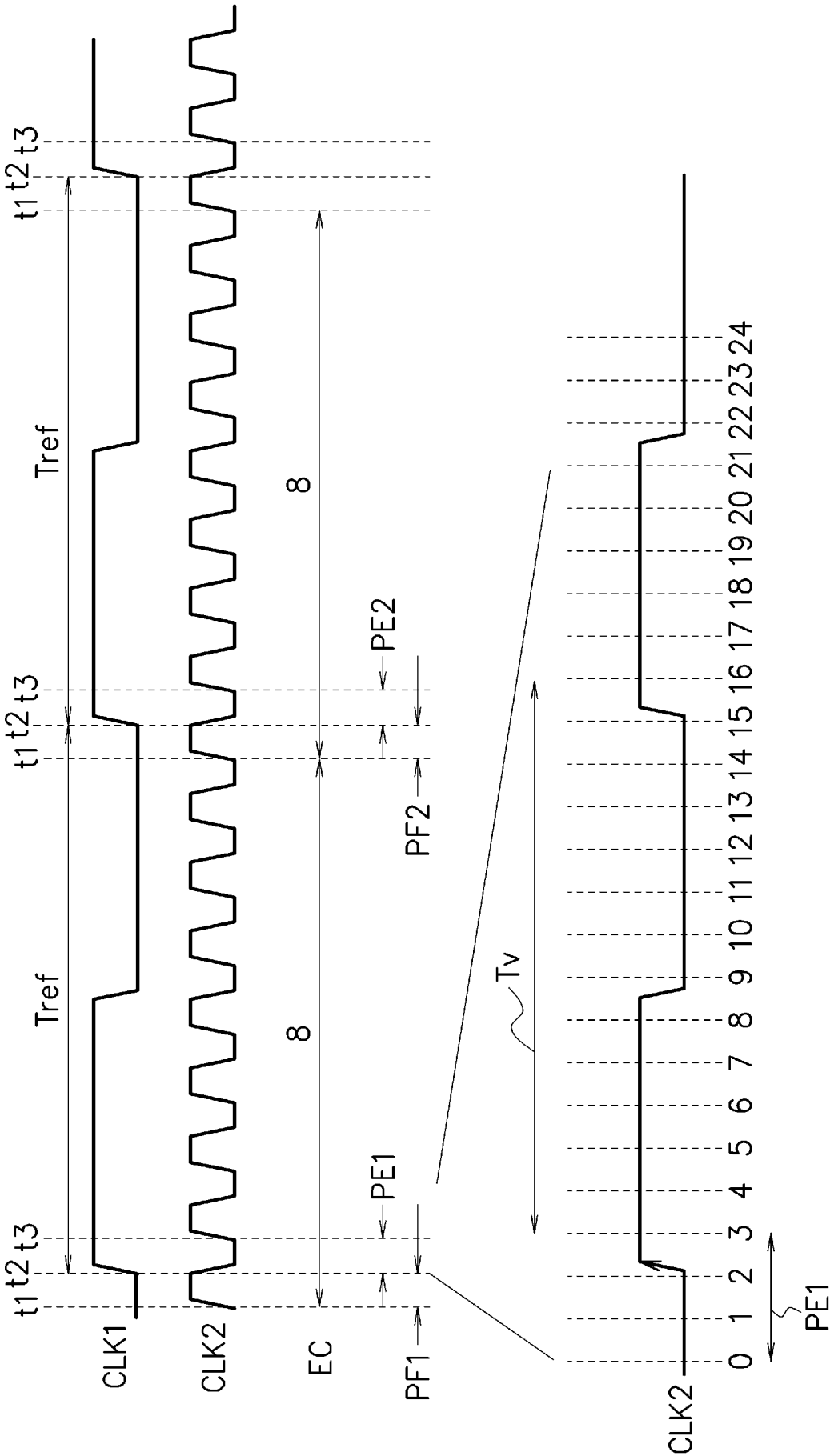
[図3B]



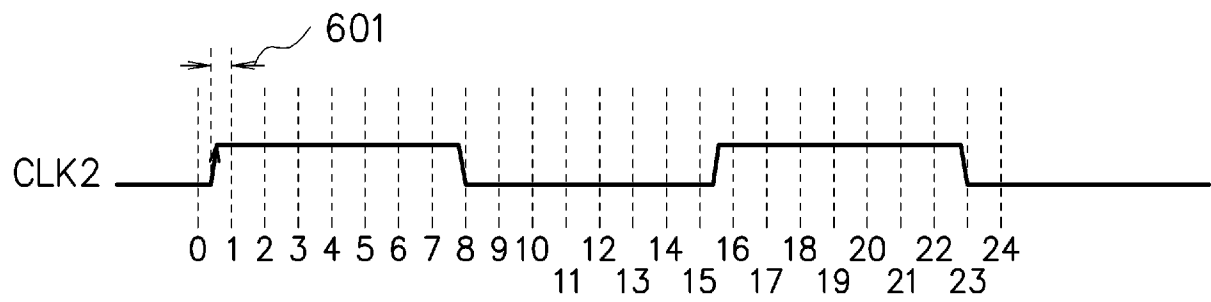
[図4]



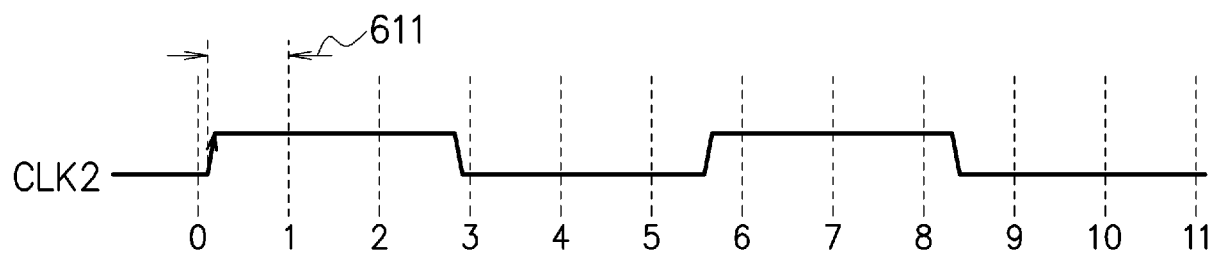
[図5]



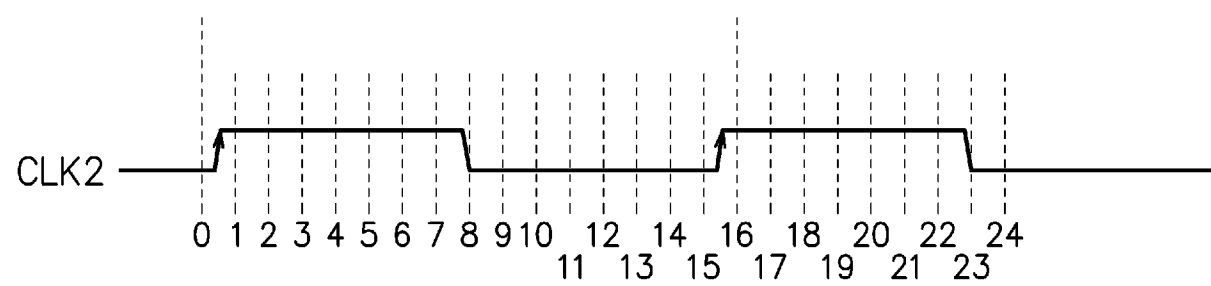
[図6A]



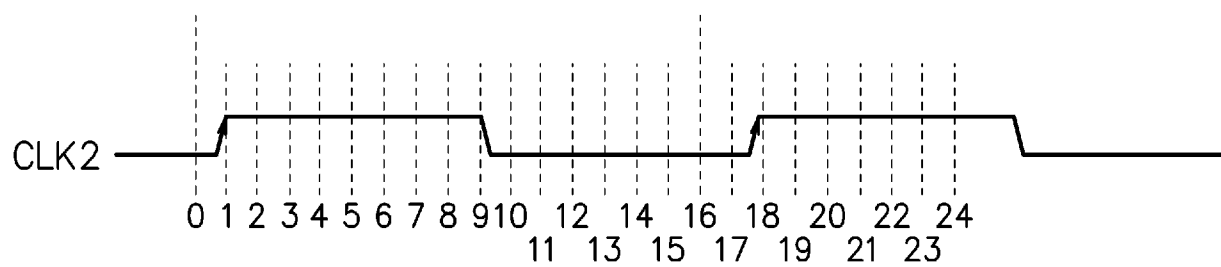
[図6B]



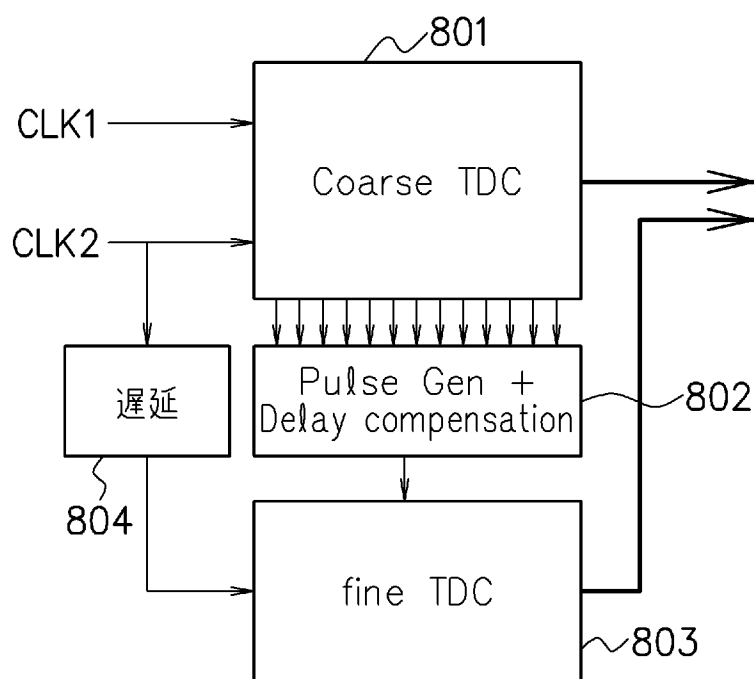
[図7A]



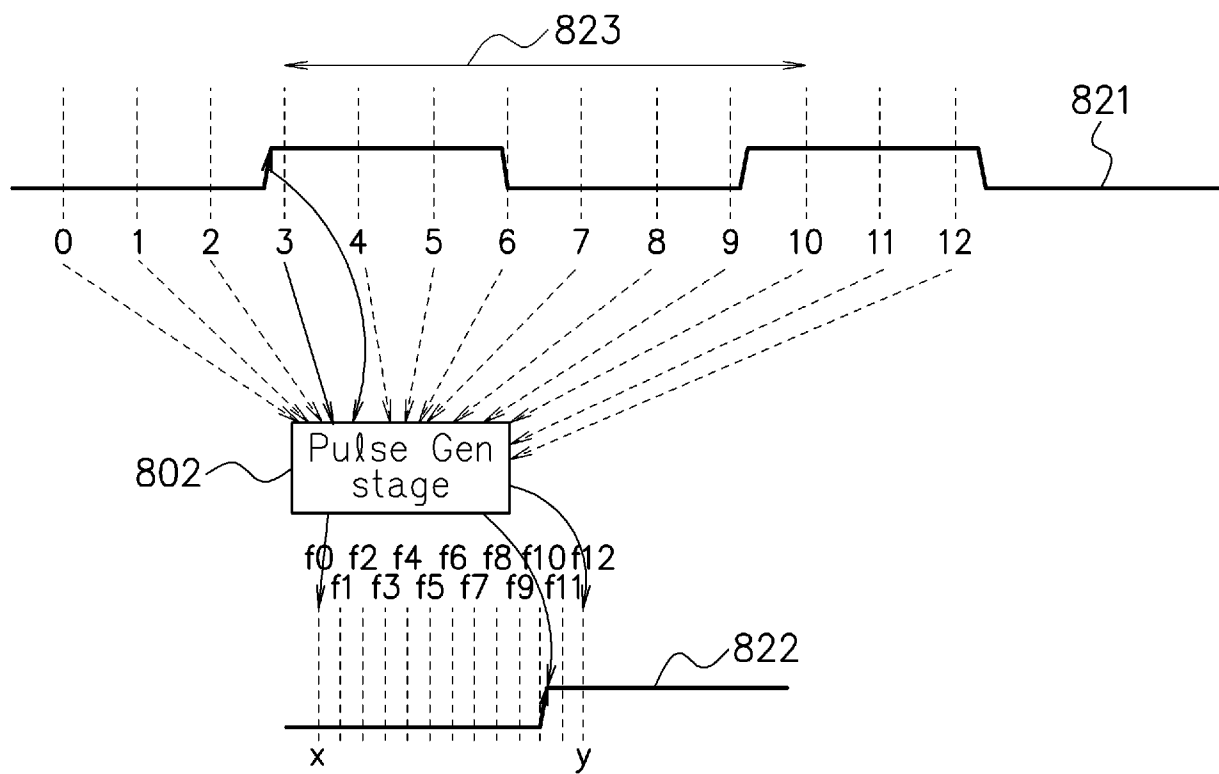
[図7B]



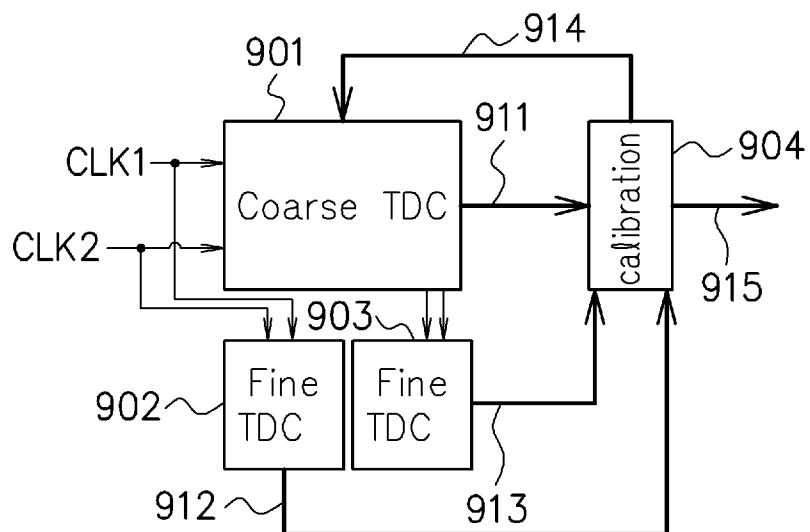
[図8A]



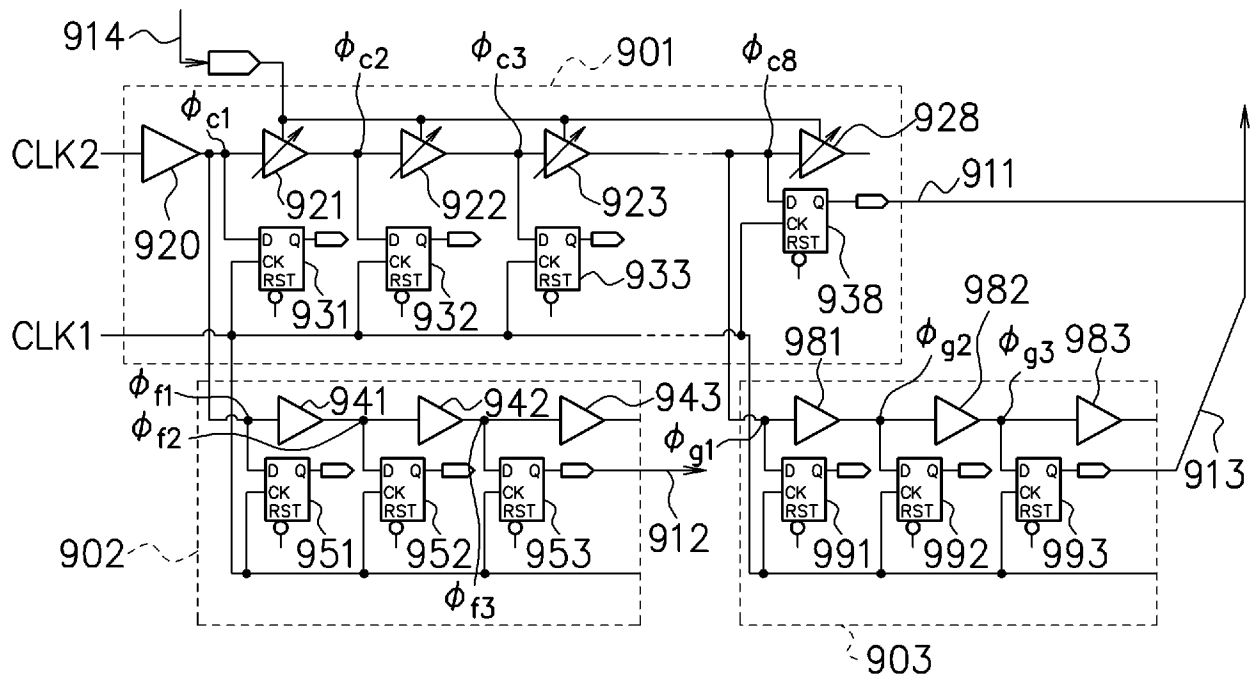
[図8B]



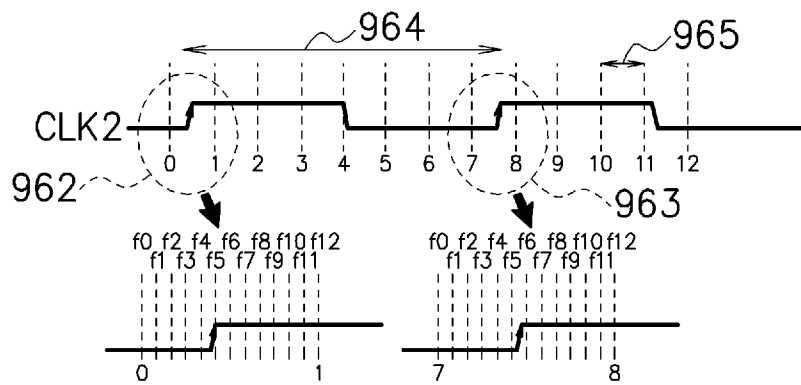
[図9A]



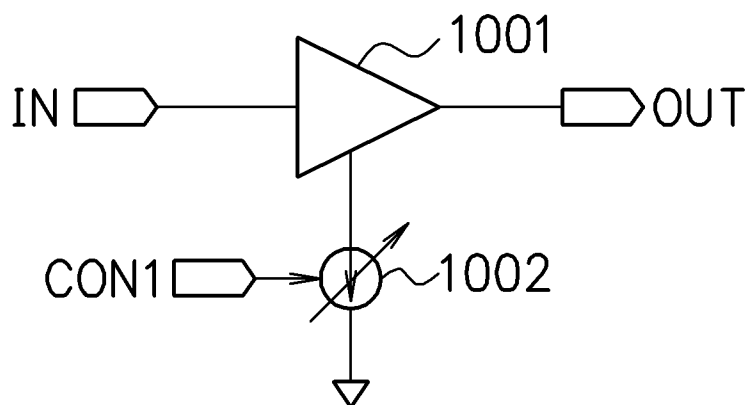
[図9B]



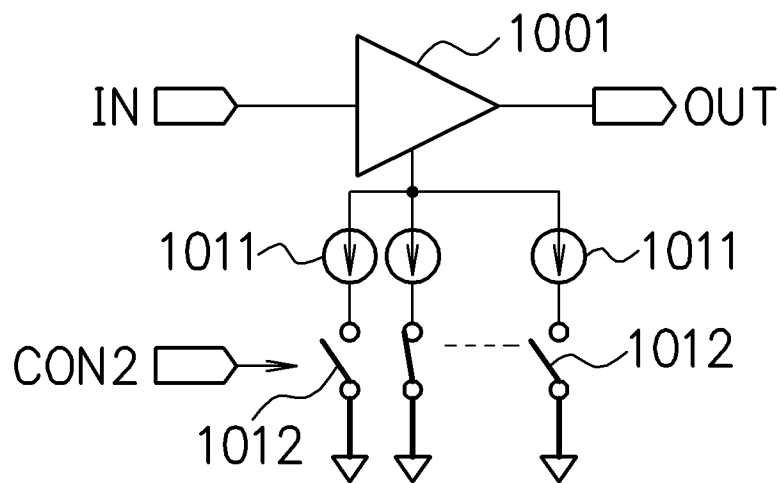
[図9C]



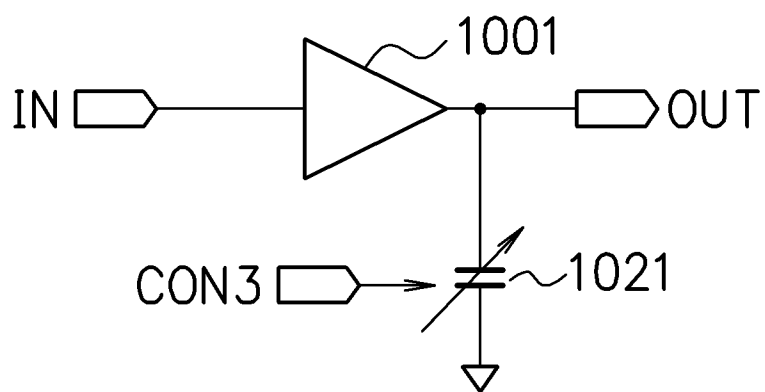
[図10A]



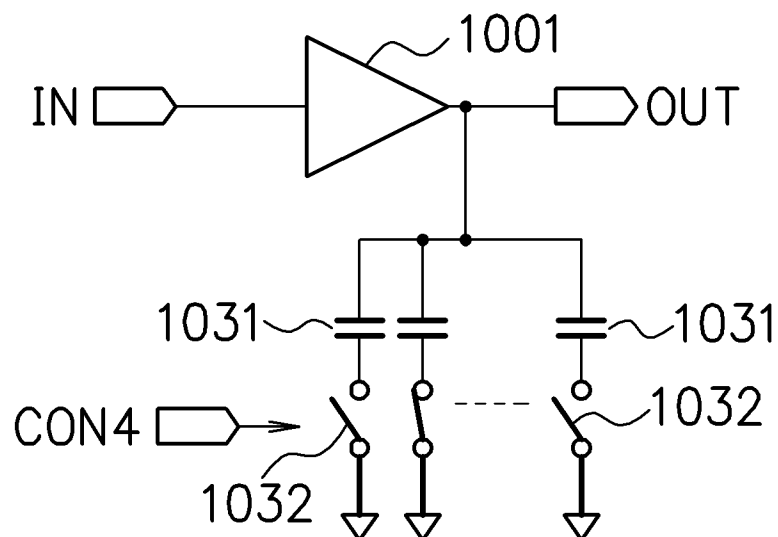
[図10B]



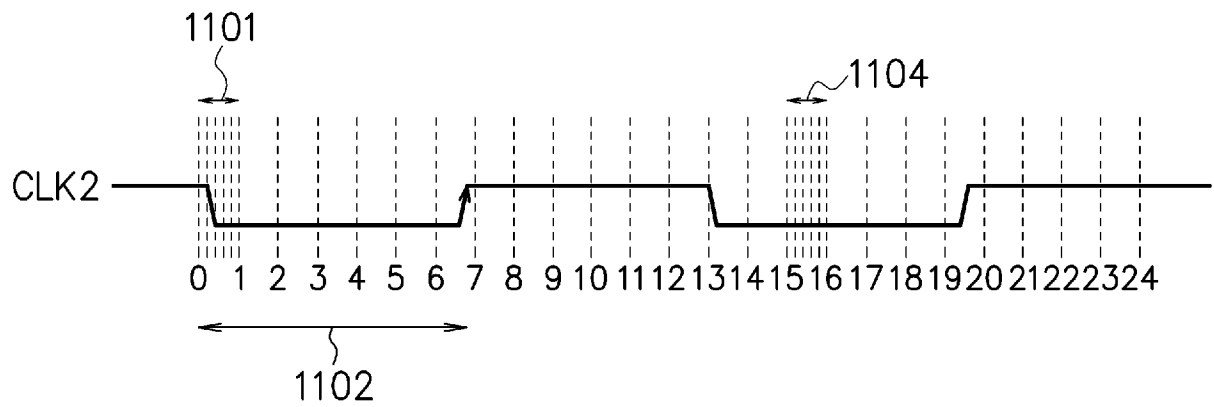
[図10C]



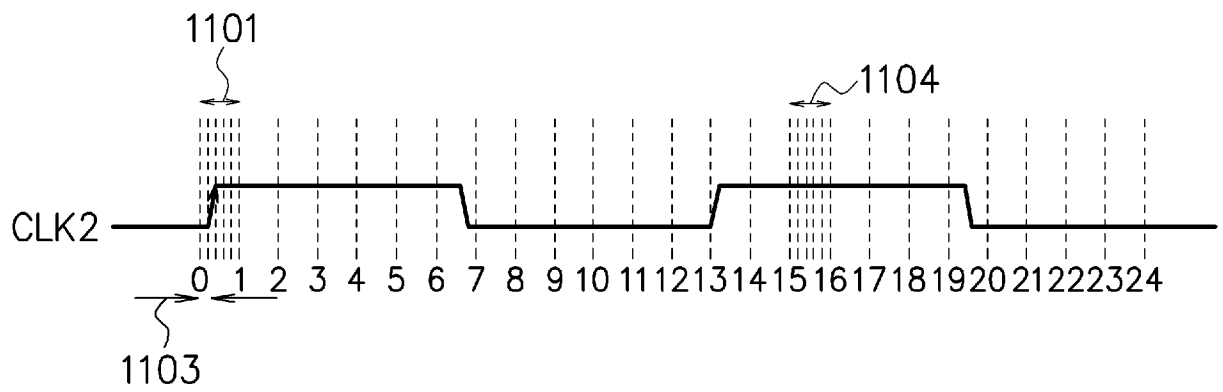
[図10D]



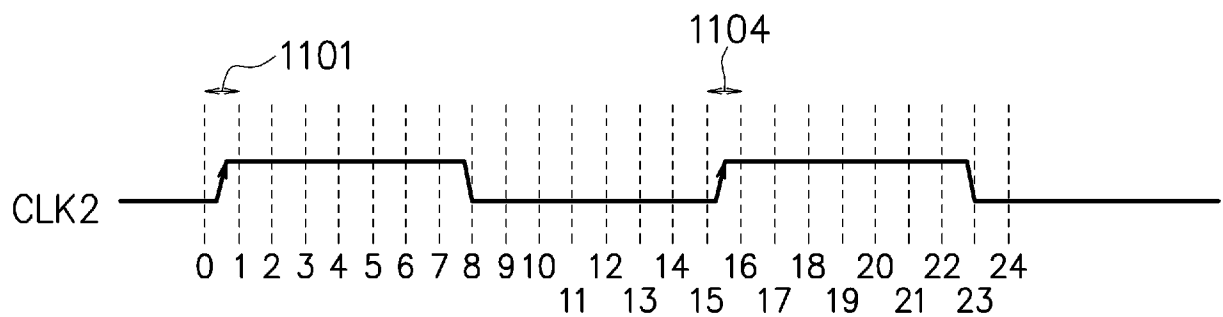
[図11A]



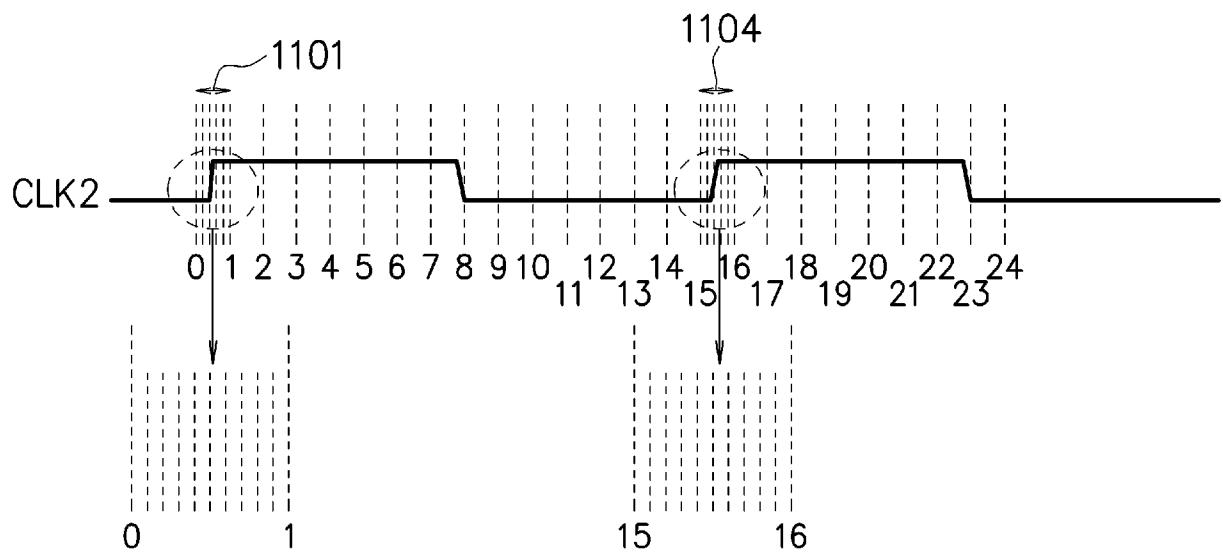
[図11B]



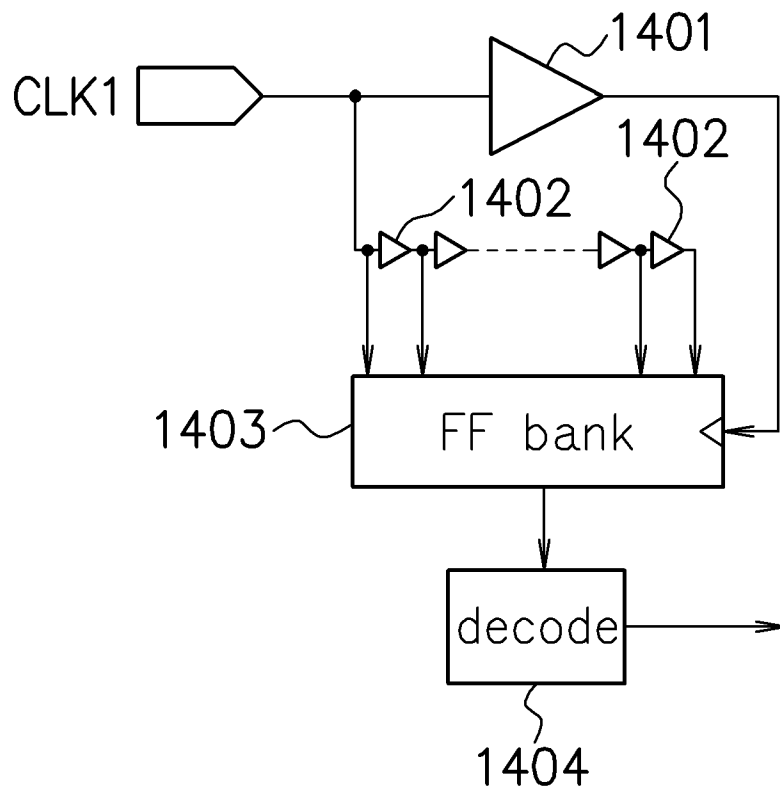
[図12]



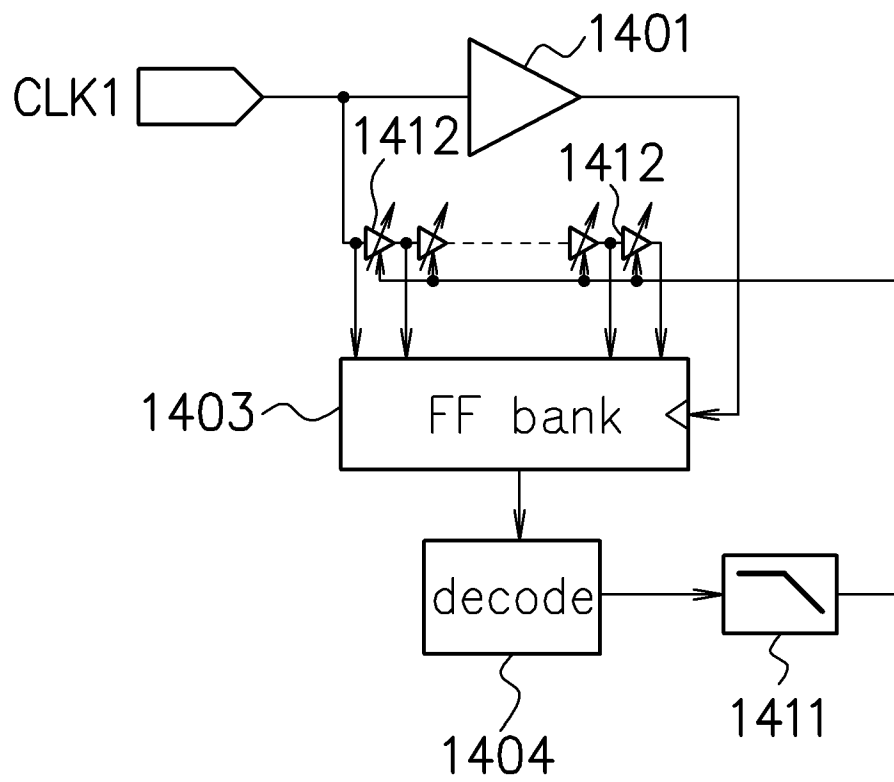
[図13]



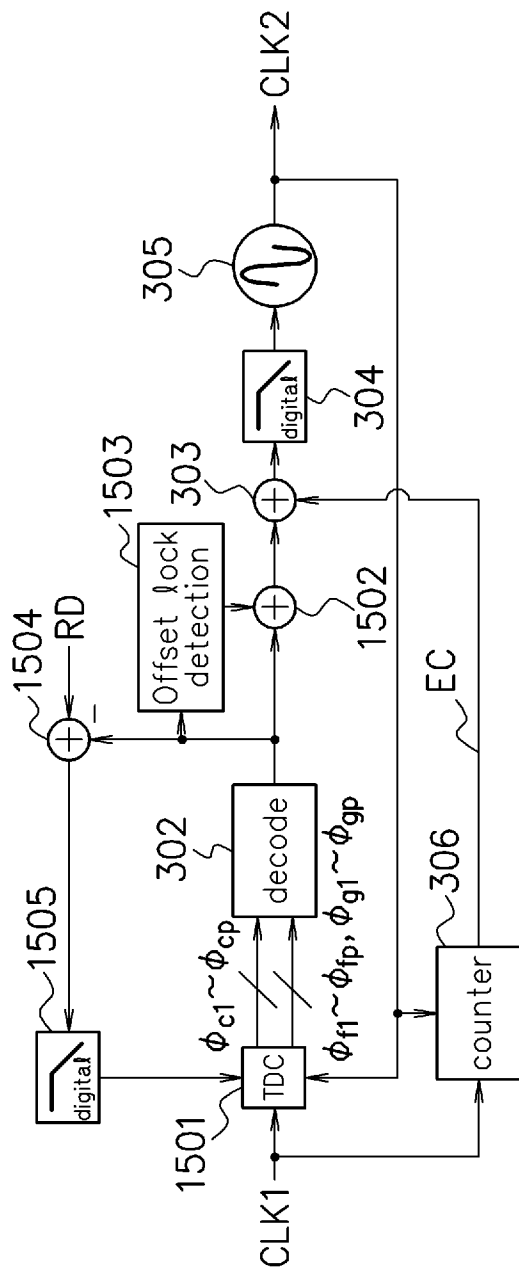
[図14A]



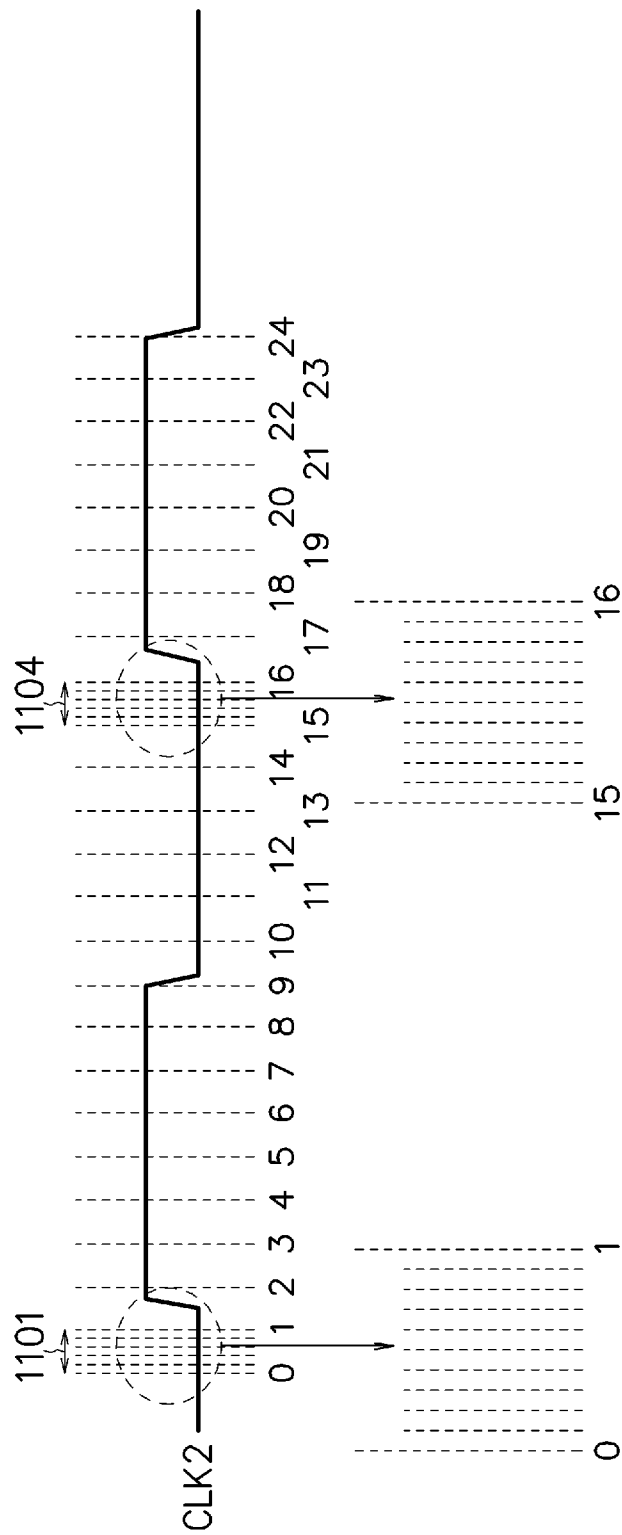
[図14B]



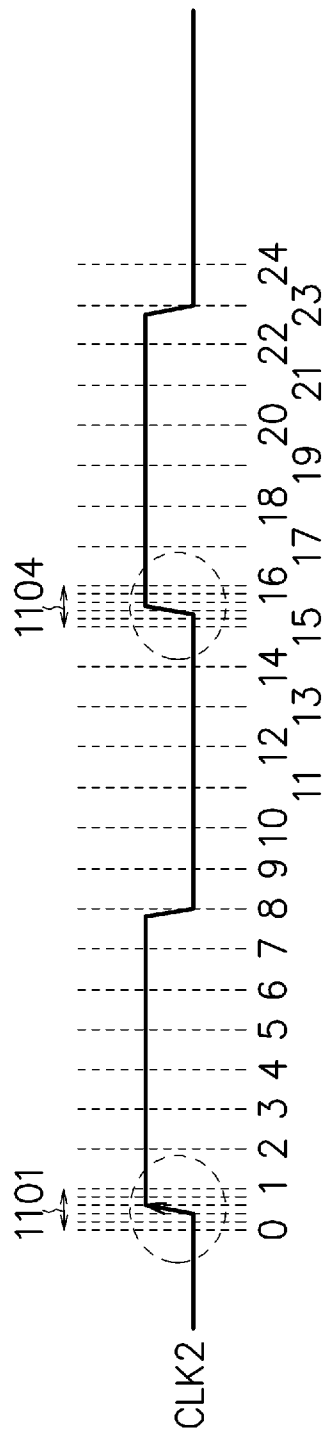
[図15A]



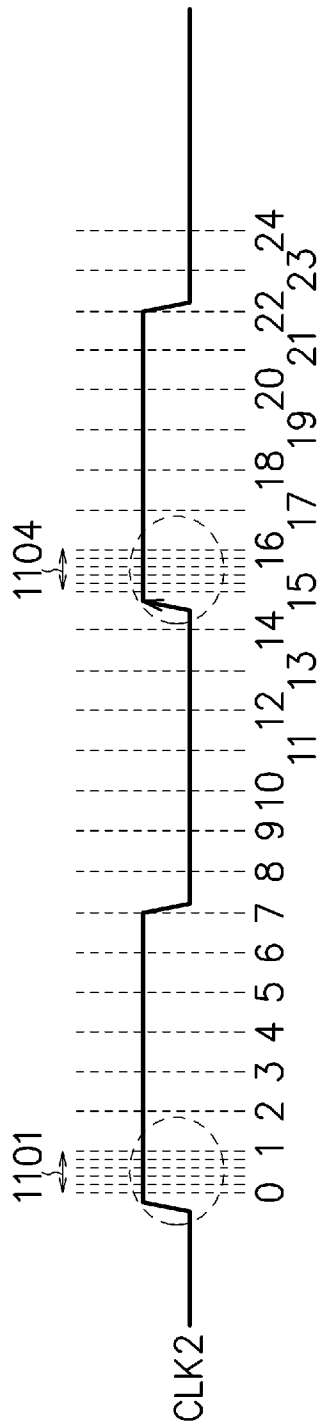
[図15B]



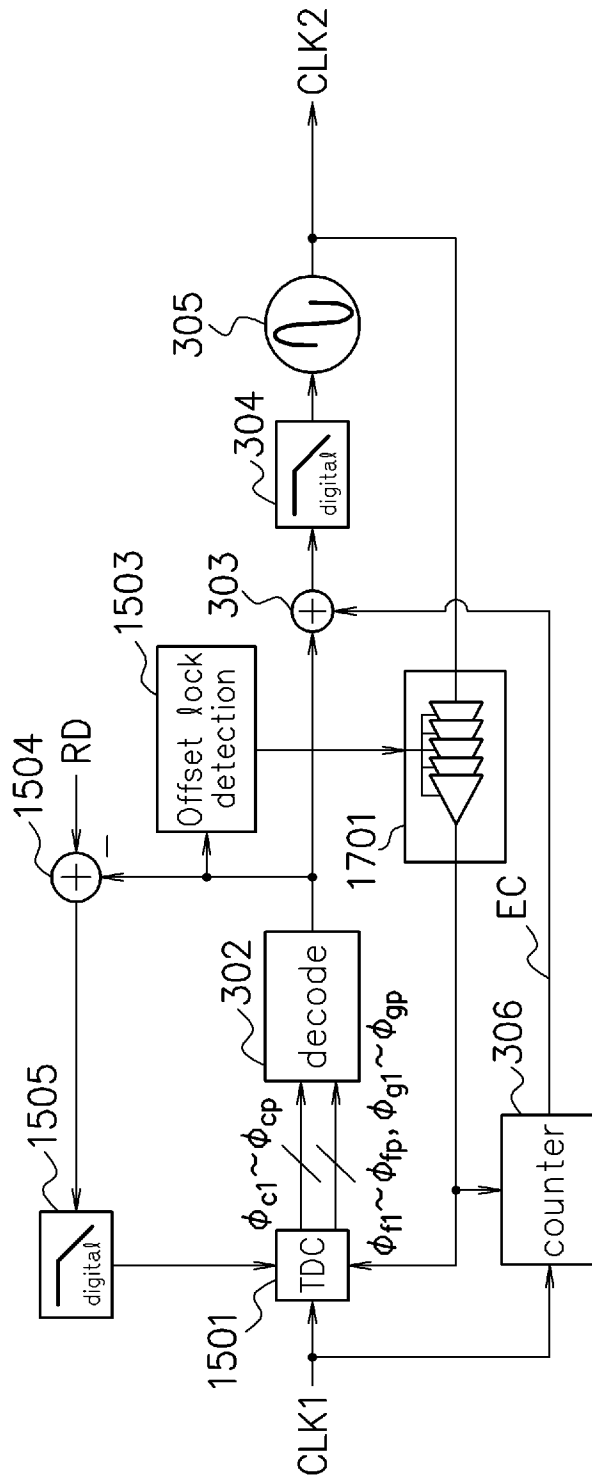
[図16A]



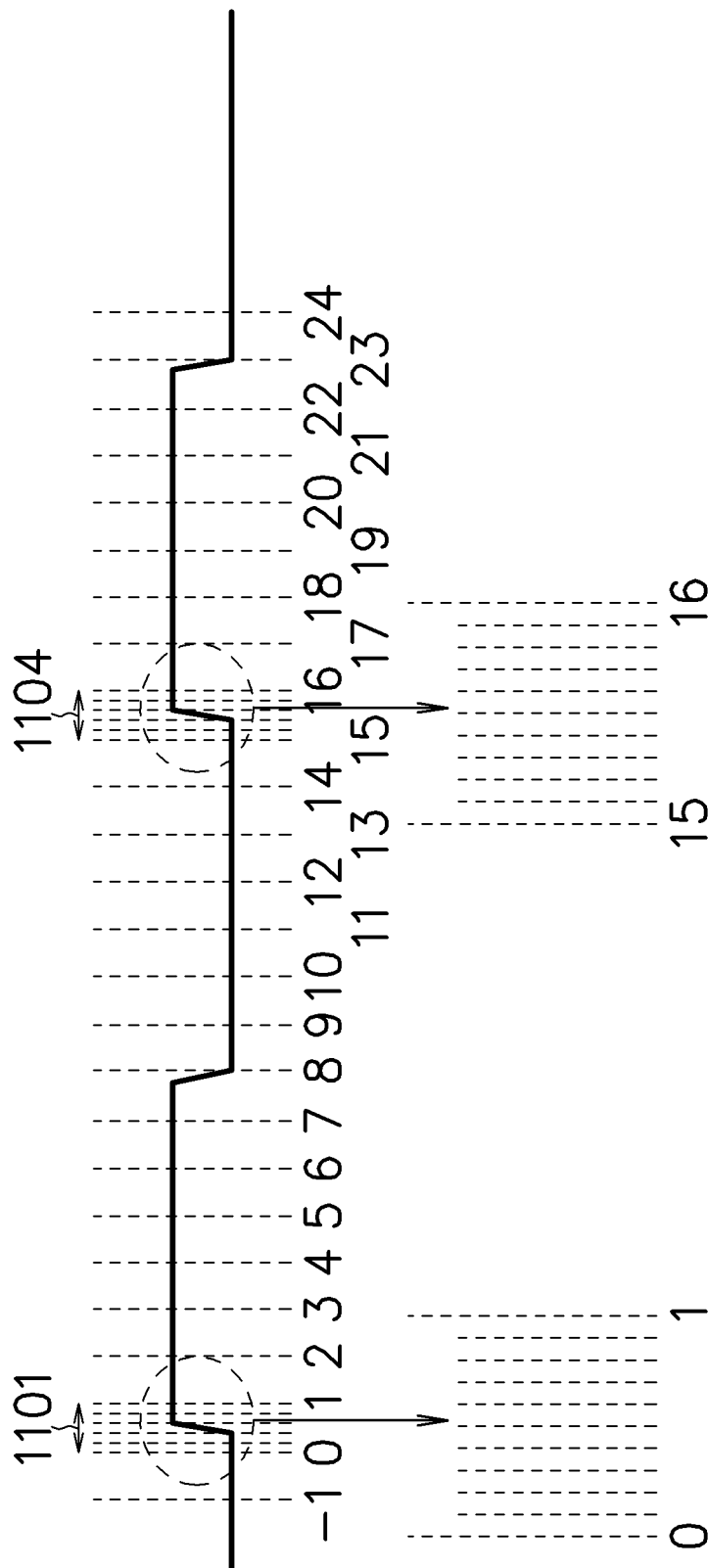
[図16B]



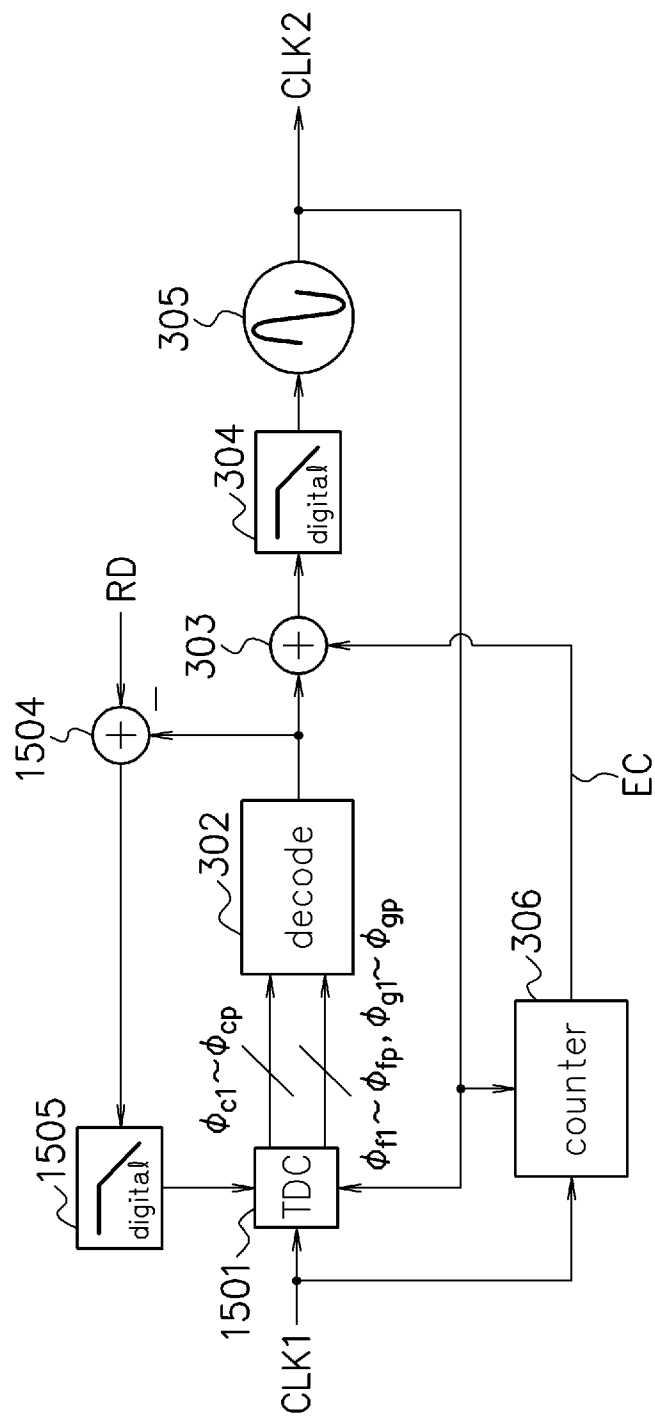
[図17A]



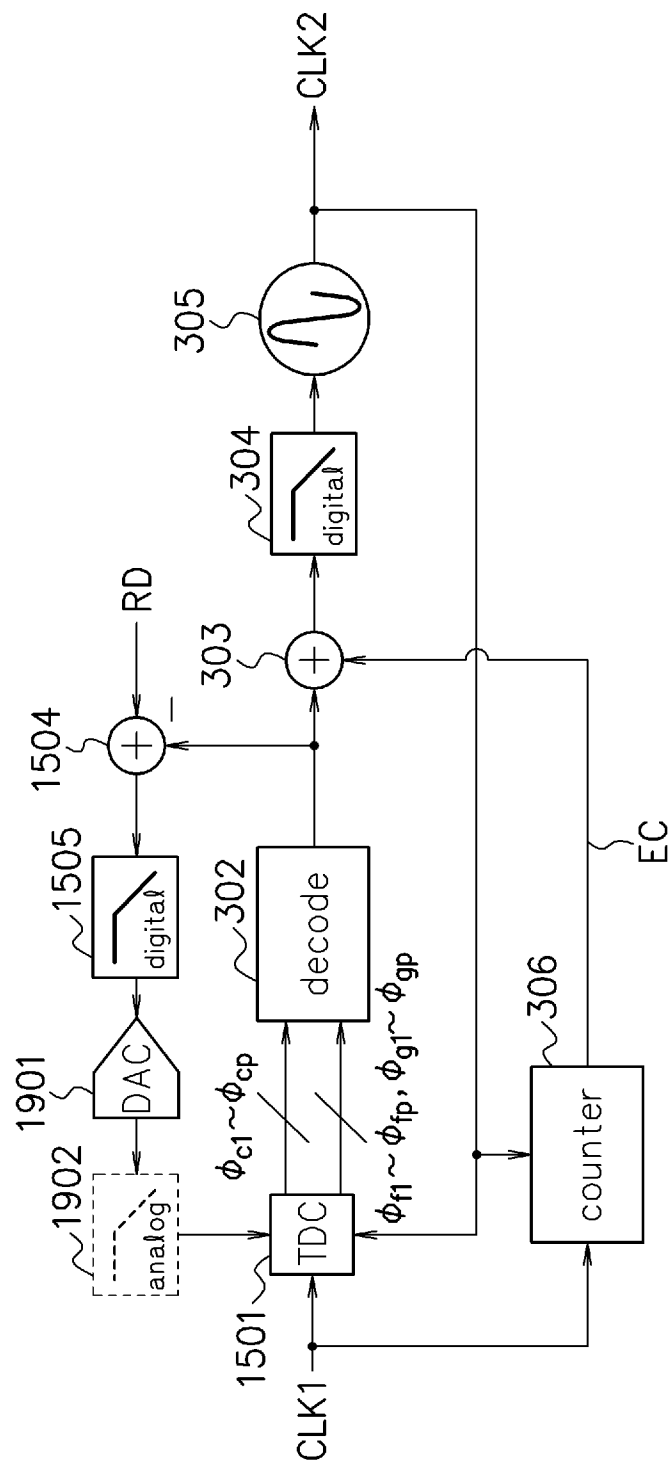
[図17B]



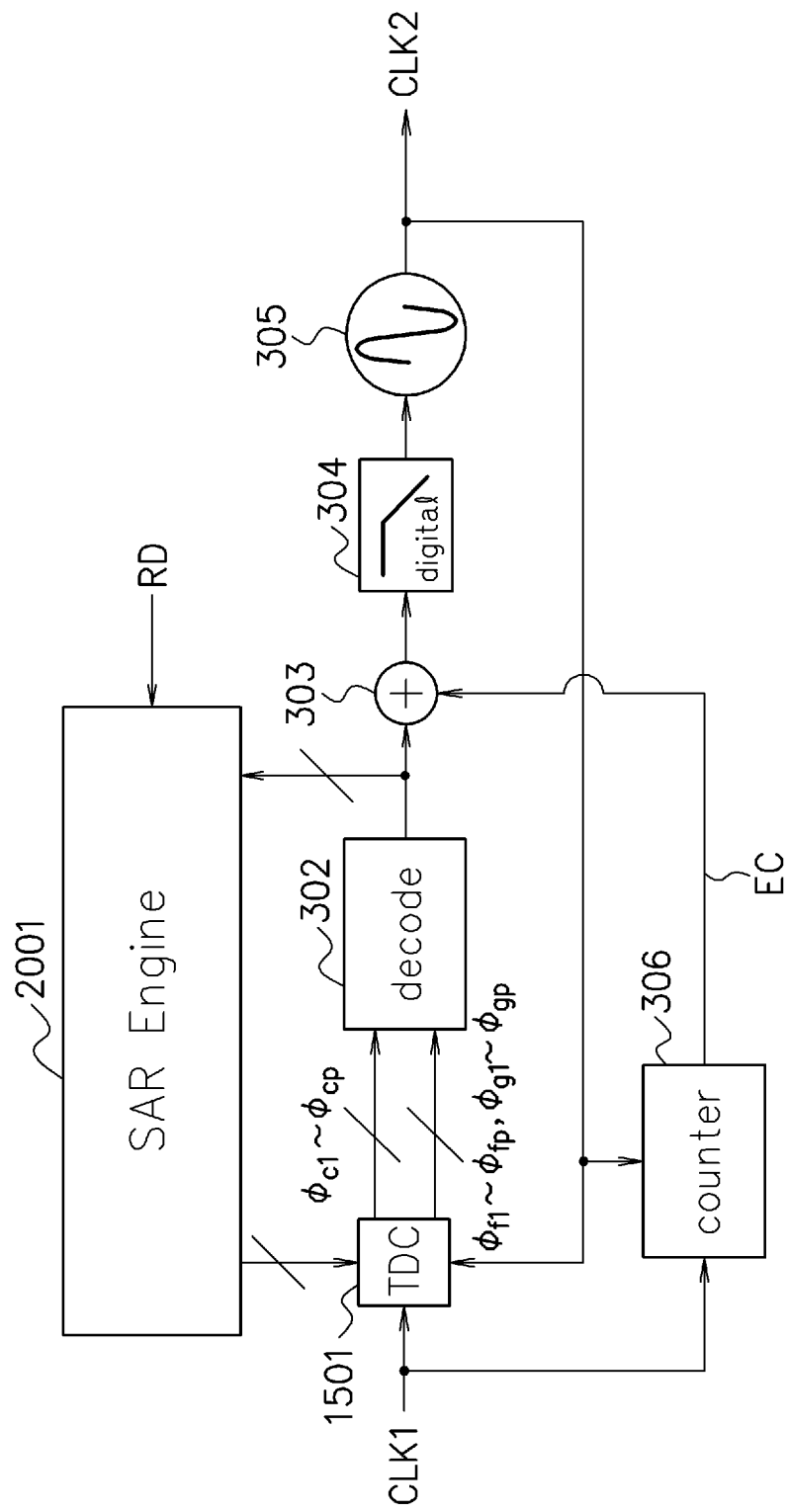
[図18]



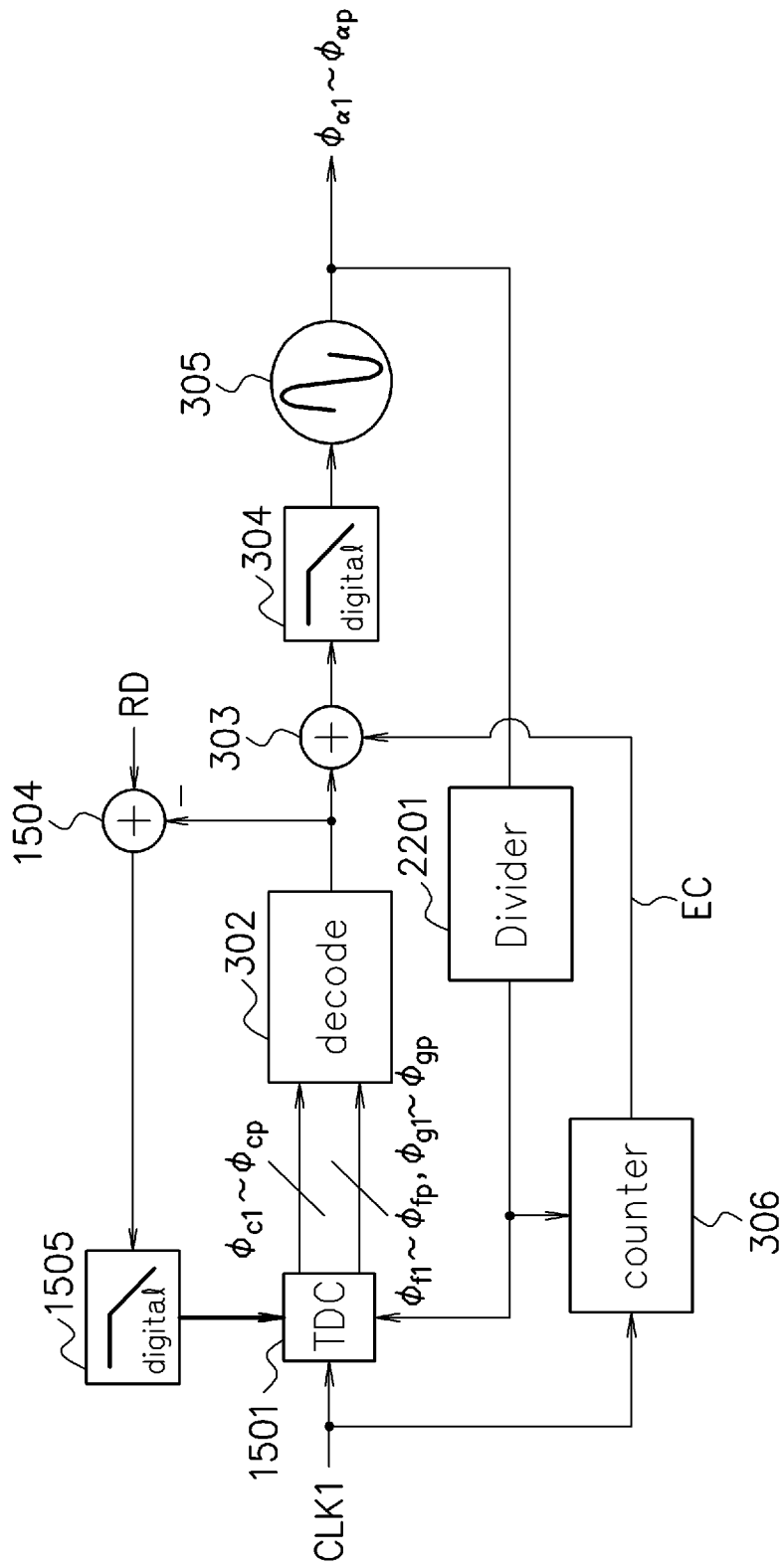
[図19]



[図20]



[図21]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/060584

## A. CLASSIFICATION OF SUBJECT MATTER

H03K5/26(2006.01) i, H03L7/06(2006.01) i, H03L7/085(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/26, H03L7/06, H03L7/085

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2011 |
| Kokai Jitsuyo Shinan Koho | 1971-2011 | Toroku Jitsuyo Shinan Koho | 1994-2011 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2010-199810 A (Toshiba Corp.),<br>09 September 2010 (09.09.2010),<br>entire text; fig. 1<br>& US 2010/0214028 A1                | 1-9                   |
| A         | JP 2010-98704 A (Renesas Technology Corp.),<br>30 April 2010 (30.04.2010),<br>entire text; fig. 1<br>& US 2010/0097150 A1          | 1-9                   |
| A         | JP 2002-76886 A (Texas Instruments Inc.),<br>15 March 2002 (15.03.2002),<br>entire text; fig. 1<br>& US 6429693 B1 & EP 1178609 A2 | 1-9                   |

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
31 May, 2011 (31.05.11)

Date of mailing of the international search report  
14 June, 2011 (14.06.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K5/26(2006.01)i, H03L7/06(2006.01)i, H03L7/085(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K5/26, H03L7/06, H03L7/085

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2011年 |
| 日本国実用新案登録公報 | 1996-2011年 |
| 日本国登録実用新案公報 | 1994-2011年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                     | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | J P 2 0 1 0 - 1 9 9 8 1 0 A (株式会社東芝)<br>2 0 1 0 . 0 9 . 0 9、全文、図1<br>& U S 2 0 1 0 / 0 2 1 4 0 2 8 A 1                                | 1-9            |
| A               | J P 2 0 1 0 - 9 8 7 0 4 A (株式会社ルネサステクノロジ)<br>2 0 1 0 . 0 4 . 3 0、全文、図1<br>& U S 2 0 1 0 / 0 0 9 7 1 5 0 A 1                           | 1-9            |
| A               | J P 2 0 0 2 - 7 6 8 8 6 A (テキサス インストルメンツ インコーポ<br>レイテッド) 2 0 0 2 . 0 3 . 1 5、全文、図1<br>& U S 6 4 2 9 6 9 3 B 1 & E P 1 1 7 8 6 0 9 A 2 | 1-9            |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

31.05.2011

国際調査報告の発送日

14.06.2011

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石田 勝

5 X

3572

電話番号 03-3581-1101 内線 3596